

# Initiation à la microélectronique ultime CMOS

A. Bournel, S. Galdin-Retailleau, J. Sée, V. Yam, V. Aubry-Fortuna  
bournel@ief.u-psud.fr  
IEF Université Paris Sud, Bât. 220, 91405 Orsay cedex

**RESUME** Dans cet article, nous présentons un projet proposé en 1<sup>ère</sup> année de master et permettant d'appréhender le contexte de la microélectronique CMOS, avec en particulier les enjeux actuels de la miniaturisation des composants. Pour cela, les étudiants mettent en œuvre des logiciels de simulation physique de transistors et pratiquent la réalisation technologique de structures élémentaires en salle blanche, objets qui sont ensuite caractérisés électriquement.

**Mots clés :** MOSFET, roadmap, simulation, technologie, salle blanche, caractérisation électrique

## 1 INTRODUCTION

Dans le domaine de la microélectronique CMOS (*Complementary Metal Oxide Semiconductor*), l'évolution des performances permise jusqu'à présent par la réduction des dimensions se heurte actuellement à des limites technologiques ou physiques de plus en plus difficiles à franchir [1].

Afin de sensibiliser les étudiants à ces enjeux, nous avons mis en place depuis quelques années un projet de deux semaines pour des étudiants en 1<sup>ère</sup> année de Master ou des élèves ingénieurs en 2<sup>ème</sup> année. Au cours de ce travail, 6 à 8 étudiants répartis en binômes ou trinômes évaluent d'une part par simulation physique (module commercial ATLAS de SILVACO [2]) les caractéristiques électriques de transistors à effet de champ de type MOSFET (*MOS Field Effect Transistor*) ultra-courts et, d'autre part, ont l'occasion d'avoir un aperçu des moyens de réalisation et de caractérisation disponibles dans la Centrale Technologique Universitaire de l'Institut d'Electronique Fondamentale. Ces deux semaines sont précédées par une période d'un mois au cours de laquelle les étudiants doivent effectuer une étude bibliographique qui se termine par la rédaction d'un rapport. Un rapport final et une soutenance orale permettent enfin l'évaluation de leur travail.

## 2 SIMULATION DE DISPOSITIFS ELECTRONIQUES

Du point de vue de la simulation, l'idée est de partir d'une structure "longue" ( $L_G = 180$  nm) de MOSFET bien dimensionné sur substrat massif, puis de demander aux étudiants de réduire la longueur de grille  $L_G$  et d'étudier l'évolution des caractéristiques électriques des transistors. Quand seul  $L_G$  est diminué, le comportement du transistor se dégrade bien évidemment, avec en particulier une élévation du courant dans l'état bloqué. Les étudiants doivent alors s'intéresser aux grandeurs microscopiques internes aux dispositifs pour comprendre physiquement l'origine des effets de "canal court" qui perturbent le contrôle du courant de drain par la tension de grille. Comme illustré par la figure 1, les cartographies du potentiel électrostatique permettent de mettre ainsi rapidement en évidence l'effet d'abaissement de la barrière source-cana dû à l'ap-

plication de la tension de drain. C'est l'effet DIBL pour "*Drain Induced Barrier Lowering*"). Cet effet induit l'apparition d'un courant de fuite qui peut se manifester dans la profondeur de la zone active comme on le constate sur la figure 2.

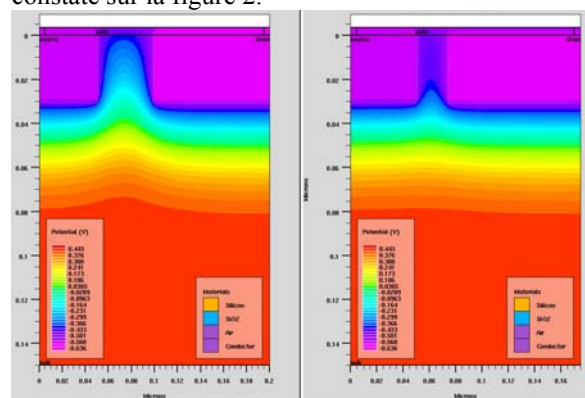


fig 1 : Illustration du phénomène d'abaissement de la barrière source-canal dû à la tension de drain grâce à la cartographie du potentiel dans des transistors MOSFET sur substrat massif. A gauche (resp. droite) MOSFET de longueur 50 nm (resp. 25 nm).

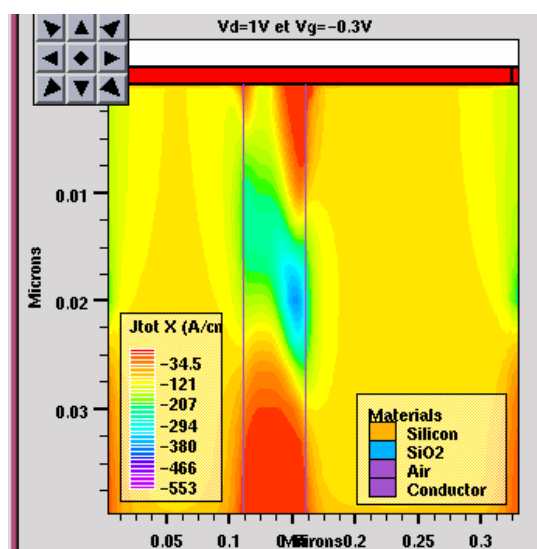


fig 2 : Visualisation du courant de fuite dans un transistor MOSFET de longueur 50 nm.

Les étudiants doivent ensuite mettre en œuvre les différentes solutions permettant de combattre les effets de canal court et d'atteindre des caractéristiques

électriques conformes à des spécifications inspirées de la feuille de route, ou *roadmap*, internationale de la technologie des semiconducteurs ITRS [3] : diminution de l'épaisseur d'oxyde, augmentation du dopage de substrat, amincissement des caissons source-drain. Ils peuvent en particulier s'intéresser à la possibilité de réaliser un dopage rétrograde, schématisé sur la figure 3, qui donne de bons résultats du point de vue du blocage du courant comme illustré sur la figure 4 que l'on peut comparer à la figure 2.

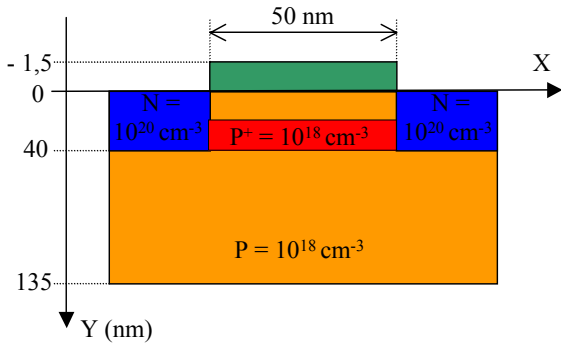


fig 3 : Architecture de transistor à dopage rétrograde.

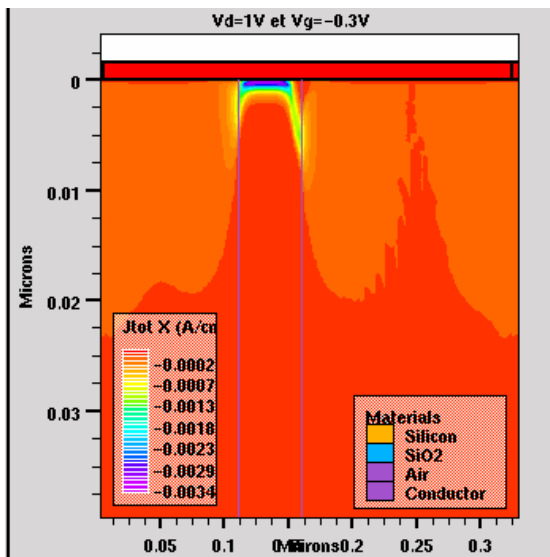


fig 4 : Diminution du courant de fuite dans le cas d'une structure à dopage rétrograde.

Quand la longueur de grille devient de l'ordre de 25 nm voire moins, ces solutions atteignent toutefois leurs limites, avec des épaisseurs d'oxyde de grille qui devraient devenir sub-nanométrique, des dopages rétrogrades de plus en plus délicats à réaliser, ... Il est alors intéressant de se tourner vers des architectures de transistors alternatives au transistor sur substrat massif, comme les MOSFET à double grille qui s'avèrent actuellement très prometteurs [4]. L'idée est alors de prendre un sandwich un film ultra-mince de Si entre deux grilles (*cf.* figure 5) de manière à contrôler efficacement l'ensemble du canal sans avoir besoin d'une épaisseur d'oxyde très faible, comme illustré par la figure 6.

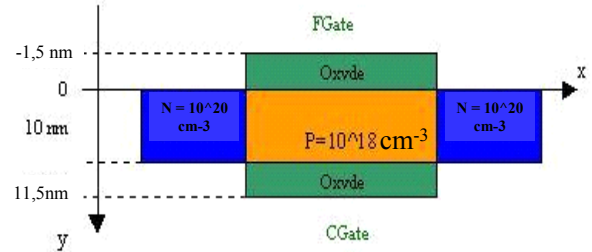


fig 5 : Architecture de transistor à double grille.

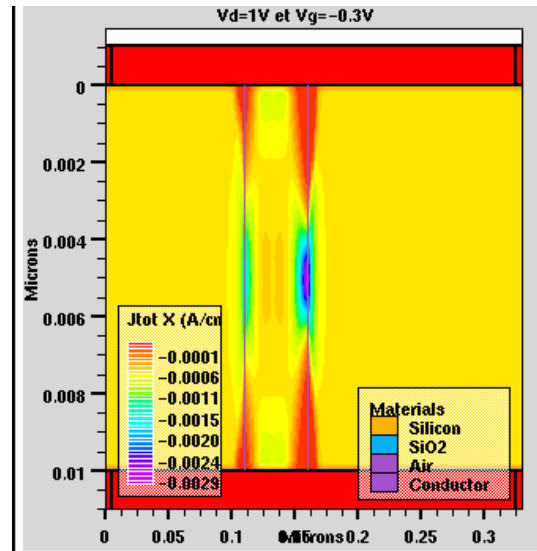


fig 6 : Diminution du courant de fuite dans le cas d'une structure à double grille et canal ultra-mince.

Une autre voie d'amélioration pour les performances des transistors est l'utilisation de couches contraintes permettant d'atteindre de meilleures mobilités pour les porteurs de charges dans le canal. Les étudiants peuvent ainsi étudier les performances d'un transistor P-MOSFET à canal enterré SiGe contraint en compression sur Si (*cf.* figure 7). Dans cette structure, il faut non seulement s'intéresser au problème de la mobilité mais aussi à la commande électrostatique : comme illustré par la figure 8, la concentration en trous dans le canal enterré peut être inférieure à celle dans le canal surfacique à l'interface entre l'espaceur de Si et l'oxyde de grille si le pourcentage de Ge est trop faible.

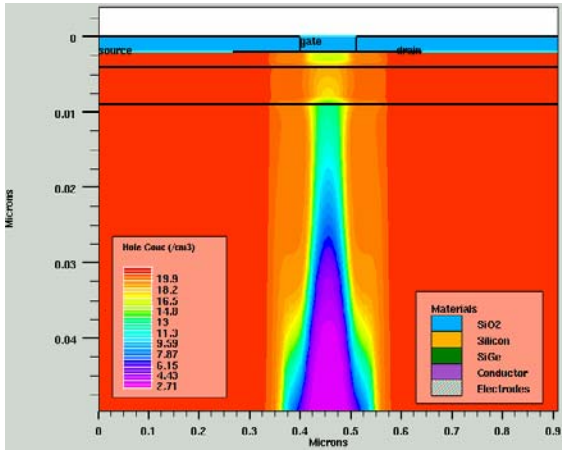


fig 7 : Zoom sur la partie active d'un transistor P-MOSFET à canal SiGe enterré.

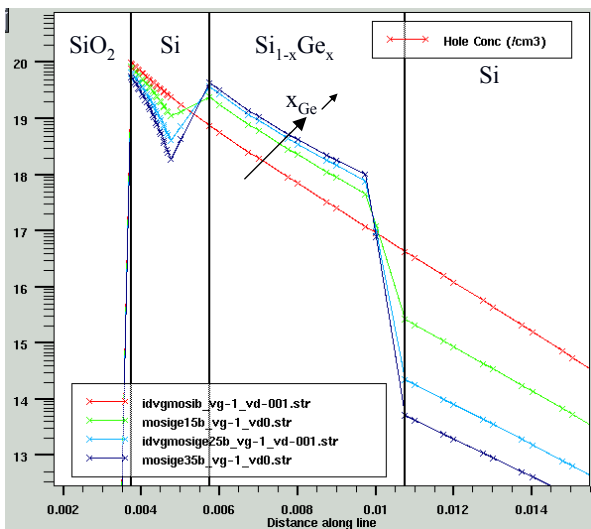


fig 8 : Densité de trous dans la direction perpendiculaire au plan de la grille au milieu du canal du transistor présenté en fig. 7.

Les performances des différents transistors simulés sont évaluées en termes de courants à l'état passant  $I_{on}$  et à l'état bloqué  $I_{off}$ , de décalage  $\Delta V_T$  de la tension de seuil en fonction de  $V_{DS}$  (par effet DIBL) et de pente sous le seuil  $S$ , comme défini sur la figure 9.

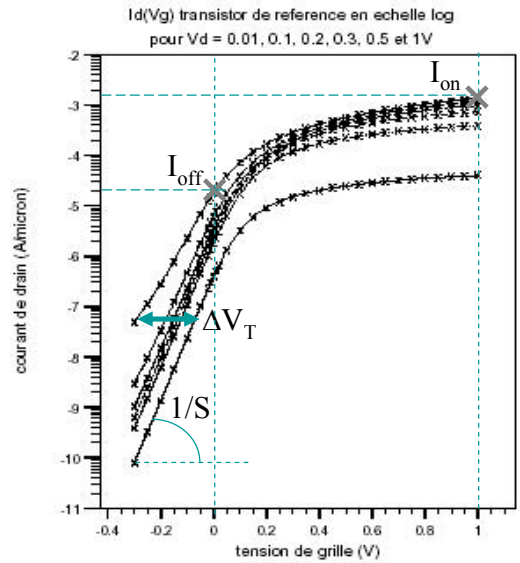


fig 9 : Caractéristiques courant de drain (tension de grille) d'un MOSFET sous différentes tensions de drain  $V_{DS}$ . Les facteurs de mérite du transistor étudiés sont indiqués dans le cas où la tension maximale considérée (tension d'alimentation  $V_{dd}$ ) est 1 V. La pente sous le seuil  $S$  est indiquée ici pour  $V_{DS} = 0,01$  V mais elle est plus généralement évaluée sur la courbe obtenue pour  $V_{DS} = 1$  V.

Ces différents facteurs de mérite sont ensuite comparés entre eux ainsi qu'à des spécifications données par les encadrants du projet pour des longueurs de grille données et sur la base des prédictions de la *road-map* [3].

La figure 10 présente ainsi les résultats obtenus pour des transistors ultra-courts de longueur 20 nm. Dans les cas étudiés, il est impossible d'atteindre toutes les spécifications "ITRS" si une architecture classique de MOSFET à substrat massif est utilisée. Dans un transistor à double grille, tous les objectifs peuvent être remplis mais à condition notamment d'utiliser un matériau de grille au travail de sortie de l'ordre de 4,65 eV (matériau "midgap") différent du polysilicium généralement employé (travail de sortie de 4,17 eV pour le poly Si dopé N).

	épaisseur d'oxyde	dopage canal	profondeur des caissons	travail de sortie	Ion	Ioff	S	DELTA Vt
unités	Å	cm-3	nm	eV	µA/µm	µA/µm	mV/dec	mV
ITRS					>1600	<0.07	<75	< Vdd / 10
structure classique	15	2.00E+018	15	4.17	1800	240	500	-
	8	2.00E+018	15	4.17	2690	240	344	-
	8	1.1E+019	15	4.17	1470	0.043	78	124
	8	1.1E+019	10	4.17	1220	0.007	77	101
	8	1.1E+019	10	4	1570	1	77	110
double grille	8	0	15	4.17	4260	741	107	221
	8	1.00E+015	15	4.17	5560	724	112	226
	8	1.00E+015	10	4.17	4750	447	77	88
	8	1.00E+015	10	4.65	2690	0.019	77	78
	12	1.00E+015	10	4.65	2200	0.182	89	120
	15	1.00E+015	10	4.65	1960	0.647	101	152
	8	1.00E+015	8	4.65	2450	0.002	70	50

fig 10 : Tableau des performances obtenues pour des MOSFET à canal N de longueur de grille  $L_G = 20$  nm architecture classique sur substrat massif ou architecture double grille. La profondeur des caissons dopés de source et drain correspond à l'épaisseur du film de Si contrôlée par les deux grilles dans ce dernier cas. Le travail de sortie du métal de grille est indiqué.

### 3 SIMULATION DE PROCÉDES TECHNOLOGIQUES

La partie du projet dédiée à la technologie commence avec une séance de TP [5] basée sur le module de simulation de procédés ATHENA/SILVACO [6]. Elle permet de présenter cette thématique et d'illustrer facilement les grandes étapes dans la fabrication d'un MOSFET (cf. figure 11).

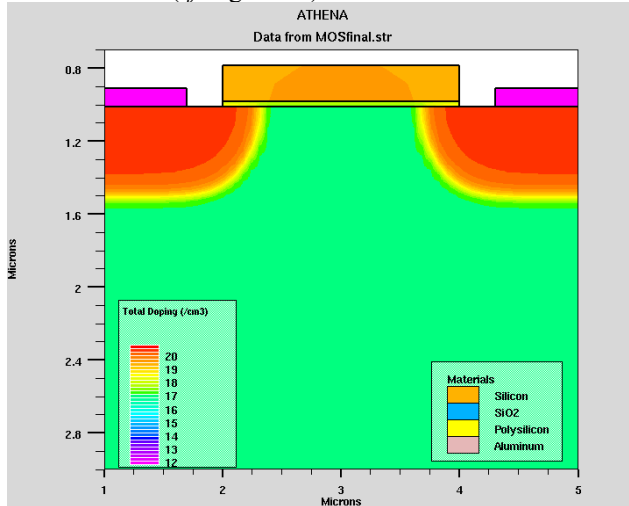


fig 11 . Transistor MOSFET obtenu après simulation d'étapes technologiques sous ATHENA/SILVACO.

Les étudiants s'intéressent notamment aux paramètres clés pour l'implantation des dopants, comme illustré sur la figure 12. Sur cette dernière, on peut observer l'élargissement des profils de dopages dû à la diffusion se produisant lors du recuit post-implantation. La maîtrise de tels phénomènes est essentielle si l'on veut réduire les effets de canal court par des zones de sur-dopage bien positionnées dans le substrat.

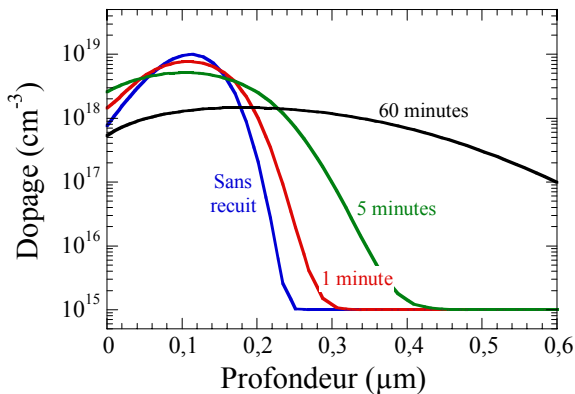


fig 12 . Effet de la durée d'un recuit à 1050°C sur les profils de dopants implantés dans un matériau amorphe.

### 4 REALISATION ET CARACTERISATION ELECTRIQUE DE CAPACITES MIS ET DE DIODES SCHOTTKY

Les étudiants passent une journée en salle blanche où ils réalisent des capacités MIS et des diodes

Schottky. Ces structures sont ensuite caractérisées électriquement par mesure sous pointes, grâce à des équipements pilotés sous LabVIEW et installés en salle grise (cf. figure 13). Les résultats sont enfin analysés pour en déduire les propriétés physiques des matériaux.



fig 13 : Caractérisation électrique à basse fréquence pratiquée en salle grise.

Après avoir revu les principes de fonctionnement d'une structure MIS et les différents régimes de polarisation de ces capacités, les étudiants extraient des courbes capacités(tension) (cf. figure 9) l'épaisseur d'isolant, le dopage du substrat, ainsi que la densité de défauts présents dans le diélectrique ce qui permet d'évaluer sa qualité. Ils effectuent des comparaisons entre les résultats obtenus avec différents isolants ( $\text{SiO}_2$  par croissance thermique,  $\text{SiO}_2$  par dépôt chimique en phase vapeur assisté par plasma,  $\text{Si}_3\text{N}_4$ ) ou en fonction des étapes technologiques mises en œuvre pour la réalisation des contacts métalliques (définis par gravures ioniques réactives par exemple). Des analyses comparables sont menées dans le cas des Schottky, grâce aux mesures courant(tension) et capacité(tension).

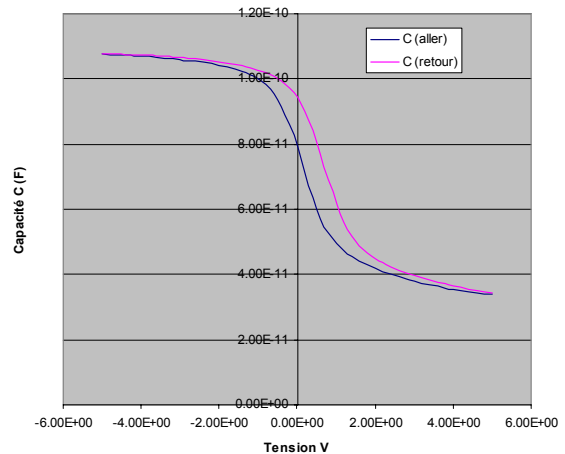


fig 9 : Caractéristique capacité(tension) d'une structure MOS incluant de la silice obtenue par croissance thermique. Le métal de grille est le tungstène.

### 5 CONCLUSION

Au cours du projet, les étudiants découvrent le monde de la microélectronique par le biais de simula-

tions, de la fabrication de structures de base et par la caractérisation électrique de ces dernières.

Le travail réalisé leur permet de mieux comprendre le fonctionnement des transistors. Ils acquièrent également des connaissances sur les limites rencontrées actuellement dans l'industrie de la microélectronique au niveau des problèmes de miniaturisation et dont la résolution nécessite l'emploi de nouvelles technologies. Le projet développe également leurs capacités à analyser une problématique et à proposer des solutions pour résoudre les difficultés rencontrées. En outre, l'activité d'étude de différentes structures MIS en salle blanche sensibilise les étudiants aux aspects pratiques du sujet.

Les étudiants jugent l'expérience très utile. Ils apprécient que le projet leur permette d'aller au-delà des bases théoriques qu'ils possèdent sur la thématique étudiée. Certains d'entre eux font ensuite le choix de poursuivre leurs études dans le domaine de la microélectronique, au niveau Master 2 ou en thèse.

## 6 REMERCIEMENTS

Les auteurs remercient les étudiants (les illustrations de cet article sont majoritairement issues de leurs rapports), les personnels de la CTU IEF/MINERVE pour leur assistance, ainsi que les collègues ayant par-

ticipé à l'encadrement de ce projet au fil des années : Guillaume Agnus, Francesca Carosella, Hugues Cazin d'Honinchtun, Philippe Lecoeur, Véronique Mathet, Jérôme Saint-Martin et Audrey Valentin.

## 7 REFERENCES

- [1] S. Galdin-Retailleau, A. Bournel, P. Dollfus, "L'électronique ultime", dans "Les nanosciences : Nanotechnologies et nanophysique", Berlin (collection Echelles), pp. 345-373 (2004).
- [2] ATLAS User's Manual, SILVACO International
- [3] International Technology Roadmap for Semiconductors, <http://public.itrs.net/>
- [4] M. Vinet *et al.*, "Bonded Planar Double-Metal-Gate NMOS transistors down to 10 nm", IEEE Electron Dev. Lett. 26, 317 (2005).
- [5] V. Aubry-Fortuna, "Initiation à la simulation de procédés de fabrication de composants", Colloque CETSIS-EEA'99, Montpellier, France, Nov. 1999, Cépaduès-Éditions, pp. 315-318.
- [6] ATHENA User's Manual, SILVACO International