

## Introduction à la microélectronique sub-micronique

E. Sicard \* et S. Delmas-Bendhia \*\*  
Mis en ligne le 22 février 2002.

### Résumé

Cet article présente une expérience pédagogique dans le domaine de la microélectronique, basée sur un ensemble d'outils spécifiques illustrant par simulation interactive le fonctionnement des circuits intégrés de très hautes performances. Les outils de base sont décrits : un didacticiel sur les dispositifs élémentaires intégrés, un éditeur et simulateur au niveau physique, intégrant un compilateur de cellules, enfin un éditeur et simulateur au niveau logique. Divers exemples de travaux pratiques sont donnés, pouvant être exécutés directement depuis ce fichier.

**Mots-clés.** Microélectronique, CMOS, simulation, technologie.

© EDP Sciences, 2002.

---

**Niveau de connaissances requis.** Composants. Circuits logiques.

**Niveau des étudiants.** Deuxième cycle : licence EEA, première année d'école d'ingénieurs.

---

\* **Étienne Sicard** est né à Paris en juin 1961. Il reçoit une maîtrise EEA à l'Université Paul Sabatier de Toulouse en 1983, un DEA à l'Université de Bordeaux en 1984 et une thèse de doctorat en 1987, au LAAS de Toulouse. Il obtient une bourse du Monbusho pour 18 mois au Japon avec le Professeur Kinoshita, devient professeur à l'Université des Iles Baléares, Espagne, puis maître de conférences à l'Institut National des Sciences Appliquées de Toulouse, en 1991, département de génie électrique et informatique. Ses recherches concernent différents aspects de la conception de circuits, incluant l'intégrité de signal et la compatibilité électromagnétique. Étienne Sicard est l'auteur de plusieurs logiciels (Audio, Labo3, Microwind, Vocalab, Dsch) et de publications.

Adresse postale : INSA/DGEI, 135 avenue de Rangueil, 31077 Toulouse Cedex 4, France.  
email : [etienne.sicard@insa-tlse.fr](mailto:etienne.sicard@insa-tlse.fr)  
<http://intrade.insa-tlse.fr/~etienne>

\*\* **Sonia Delmas-Bendhia** a obtenu son diplôme d'ingénieur INSA en Automatique, Électronique, Informatique en 1995. Après un DEA et une thèse au LESIA en conception de circuits microélectroniques et microsystèmes (1998), elle devient maître de conférences au département de génie électrique de l'INSA de Toulouse. Elle conduit des recherches sur l'intégrité du signal et la susceptibilité des circuits intégrés et s'investit dans la formation en conception de circuits CMOS et compatibilité électromagnétique.

Adresse postale : INSA/DGEI, 135 avenue de Rangueil, 31077 Toulouse Cedex 4, France.  
email : [sonia.bendhia@insa-tlse.fr](mailto:sonia.bendhia@insa-tlse.fr)  
<http://www.lesia.insa-tlse.fr/~delmas>

## 1. Introduction

L'évolution principale qui caractérise le domaine de la microélectronique est la réduction des dimensions des dispositifs intégrés. La taille des transistors élémentaires ne cesse de diminuer, permettant d'augmenter la vitesse et de réduire la consommation. La mesure de référence est la longueur minimale du canal du transistor (Fig. 1).

### Lithogravure ( $\mu\text{m}$ )

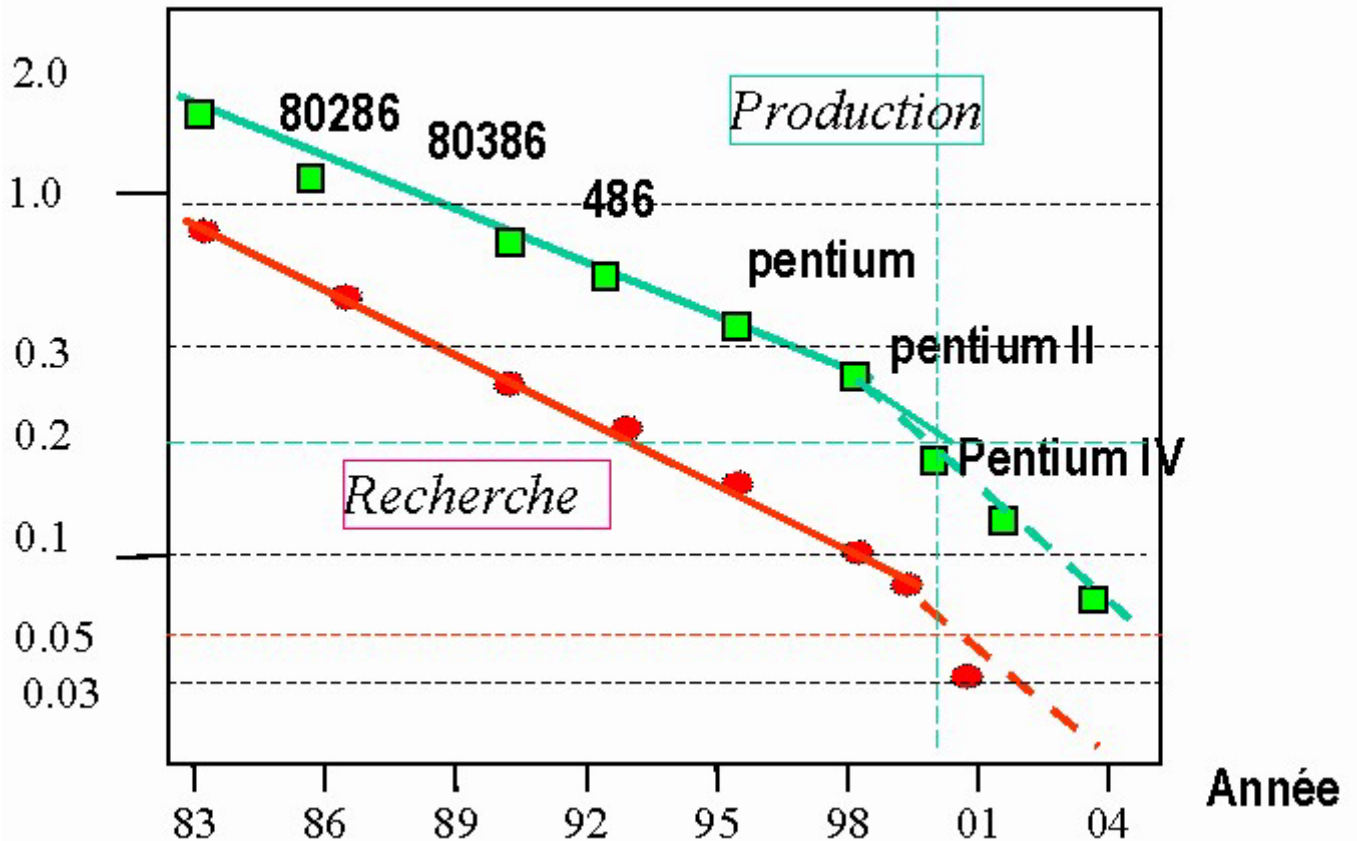


Figure 1 : Évolution de la technologie sur 20 ans.

Celle-ci est passée de 2  $\mu\text{m}$  en 1980 à 0,18  $\mu\text{m}$  en 2001, correspondant à un gain en vitesse supérieur à 500%. Le passage sous la barre des 1,0  $\mu\text{m}$  de longueur de canal a inauguré l'ère du « sub-micronique », celle sous la barre de 0,5  $\mu\text{m}$  du « sub-micronique profond ». À l'horizon 2003 se profile le franchissement de la barre des 0,10  $\mu\text{m}$ , inaugurant l'ère « ultra sub-micronique ».

Les effets de la réduction des dimensions ne se limitent pas à un simple facteur d'échelle : des effets secondaires apparaissent, des limitations physiques et technologiques font surgir de nouvelles contraintes. Au niveau du dispositif, il s'agit principalement de la fragilité de l'oxyde de grille, et de l'accélération très forte des électrons sous le canal, pouvant créer des phénomènes parasites d'ionisation. Au niveau des interconnexions, ce sont l'électromigration, l'effet de ligne à retard, le couplage diaphonique, ou encore l'effet d'antenne.

L'avènement des technologies sub-microniques profondes impose de profonds bouleversements dans les enseignements de microélectronique. Le tableau ci-dessous donne un comparatif du comportement des circuits entre 1990 et 2000.

Paramètres	Année 1990	Année 2000	Éducation
<b>Tension d'alimentation</b>	5 V.	5 V ; 3,3 V ; 2,5 V ; 2,0 V ; 1,8 V ; 1,5 V.	Causes de la réduction de la tension. Translateurs de tensions. Conception faible consommation.
<b>Fréquences internes</b>	2-50 MHz.	20 MHz - 1,2 GHz.	Explication de l'augmentation de fréquence. Modèles sub-microniques. Conception RF.
<b>Transistors</b>	MOS canal N et P.	MOS n et p, low power, high speed, high voltage.	Problème des fuites. Transistors haute tension. Compromis vitesse, consommation statique.
<b>Interconnexions</b>	2 niveaux de métal en alu.	6 niveaux de métal. Vias empliés. Cuivre, diélectriques faible permittivité.	Conception « 3d ». Effet de propagation. Intérêt du cuivre. Intégrité du signal, pertes de tension.
<b>Interfaces d'entrée sortie</b>	CMOS, TTL.	CMOS, STTL, LVDS.	Expliquer les bus différentiels.
<b>Boîtiers</b>	DIL, QFP, PGA.	BGA, $\mu$ BGA, CSP.	Augmentation du nombre d'E/S. Propagation dans les boîtiers.
<b>Swing des bus</b>	5 V.	5V, 3,3 V ; 1,5 V - 0,3 V.	Bus LVDS, bus CAN, bus très haut débit. Intégrité du signal.

Tableau 1. Évolution des principaux paramètres technologiques sur 10 ans (1990-2000) et conséquences éducatives.

Si la tâche de concevoir, simuler et faire fabriquer les circuits du commerce tels que les micro-contrôleurs est du domaine des outils professionnels, coûteux et gourmands en configuration matérielle, l'enseignement des principes de base de la microélectronique peuvent être fait à l'aide de logiciels sur PC. Nous décrivons ci-dessous un logiciel spécifiquement dédié à l'apprentissage de la microélectronique sub-micronique sur PC.

Bâti autour de 4 modules, il est utilisé avec succès depuis dix ans en France et dans le monde par plus de 800 instituts et universités. Les versions successives du logiciel depuis 10 ans [1,2] sont le reflet de l'évolution constante de la technologie.

## 2. Étude du Transistor MOS

Il est pédagogiquement très intéressant de faire figurer sur un même écran la vue du composant en coupe qui décrit l'effet interrupteur du canal, la vue de dessus qui permet de bien comprendre le principe des interconnexions, et les courbes caractéristiques du transistor. Celles-ci ne peuvent véritablement être comprises qu'avec la possibilité laissée à l'étudiant de manipuler les tailles du dispositif, les tensions mises en jeu et les paramètres technologiques.

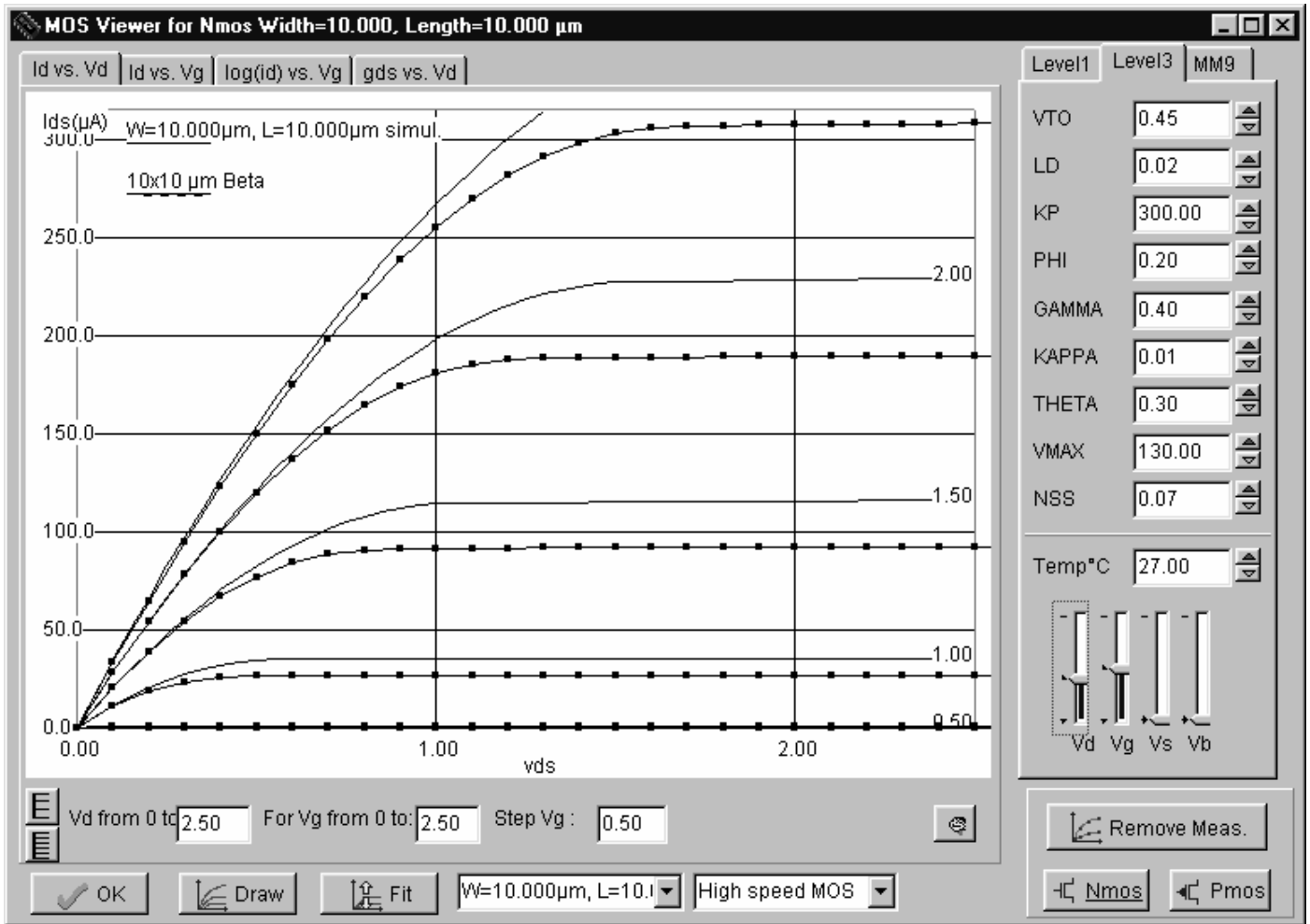


Figure 2. Didacticiel sur le transistor MOS.

L'étudiant a accès aux différents paramètres technologiques, aux tailles et aux options. Il peut visualiser le point de fonctionnement en fixant les tensions  $V_d$ ,  $V_g$ ,  $V_s$ , et  $V_b$  du dispositif.

### Simulation

1. Lancer le programme Microwind2.EXE.
2. Cliquer sur Simulate -> MOS Characteristics. Par défaut, le MOS canal N, longueur  $0,25 \mu\text{m}$ , largeur  $10 \mu\text{m}$ , est représenté.
3. Agir sur les curseurs de tensions pour observer le point de fonctionnement.
4. Agir sur les paramètres du modèle pour voir leurs conséquences sur les courbes simulées.
5. Cliquer sur Pmos pour simuler le transistor PMOS.

Grâce au didacticiel de la figure 2, l'étudiant peut sélectionner la description de modèle, du modèle le plus ancien et le plus simple (Level 1 de SPICE), toujours utilisable cependant pour des transistors de canal supérieur à  $5 \mu\text{m}$ , modèle niveau 3 (Fig. 3) ainsi que le modèle MM9 développé par Philips [3] pour le sub-micronique profond. Nous proposons pour chaque modèle une introduction pédagogique [2] explicitant l'influence de chaque paramètre et le principe d'extraction pas à pas du modèle. Un exemple concernant le modèle 9 [4] est donné sur la figure 3.

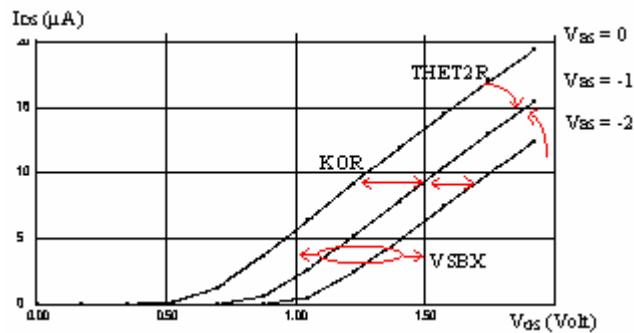


Figure 3. Explication de l'effet des différents paramètres du modèle niveau 9 en 0,25 µm.

Le MOS en sub-micronique profond n'est pas fondamentalement différent de ses prédécesseurs. Cependant, en 0,18 µm et en deçà, il se décline en trois versions : transistor rapide, transistor faible fuite (low leakage), et transistor haute tension. La vue de dessus de ces trois transistors est proposée en haut de la figure 4. La simulation laisse apparaître la fréquence d'oscillation la plus grande pour les transistors rapides. Par contre les courants de fuite dans le cas du circuit à base de MOS "low leakage" sont divisés par un facteur supérieur à 10.

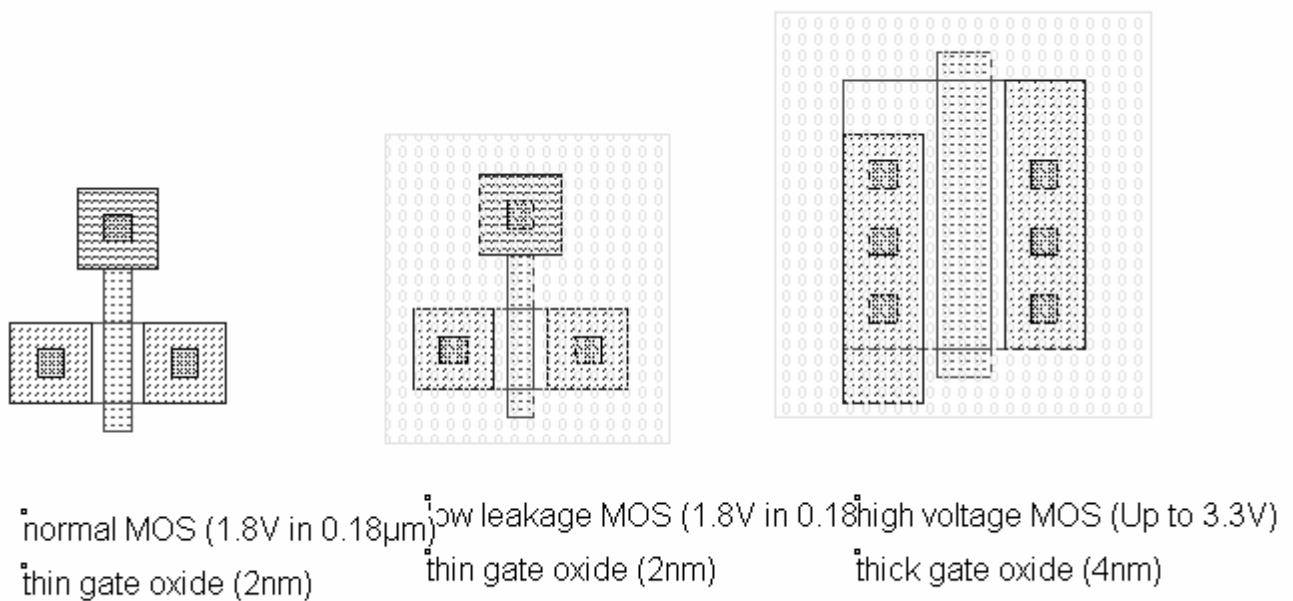


Figure 4. Trois types de transistors MOS sont disponibles en 0,18 µm et en deçà. Vue de dessus et simulation à l'aide d'un oscillateur en anneaux.

### Simulation

1. Lancer le programme Microwind2.EXE.
2. Cliquer sur File, Open et choisir INV3.MSK. Ce fichier correspond à l'oscillateur en anneaux, composé de trois inverseurs rebouclés.
3. Cliquer sur Simulate puis Run simulation. Observer la fréquence d'oscillation qui se stabilise à 10 GHz (technologie 0,25 µm).
4. Cliquer sur File, Open et choisir INV3LL.MSK. Il s'agit de transistors de type « low leakage », avec un très faible courant de fuite.
5. En relançant la simulation, observer la réduction de fréquence.

### 3. Le process CMOS

Le procédé de fabrication des circuits intégrés CMOS est très difficile à expliquer sans support adapté. Le nombre de niveaux de fabrication est passé de 4 aux premières heures de la microélectronique à plus de 20 aujourd'hui, certains diffusés, d'autres déposés et gravés.

Nous avons donc réalisé une représentation des étapes de procédé CMOS, permettant de suivre la fabrication étape par étape des transistors canal N et canal P, puis du réseau d'interconnexion (Fig. 5).

Le scénario intègre certaines étapes liées au sub-micronique : la fabrication de la diffusion latérale de drain (LDD) qui limite le champ électrique au voisinage des zones grille/drain et grille/source, l'isolation par tranche et l'empilement de couches métalliques jusqu'à 8 niveaux, avec planarisation et via empilés.

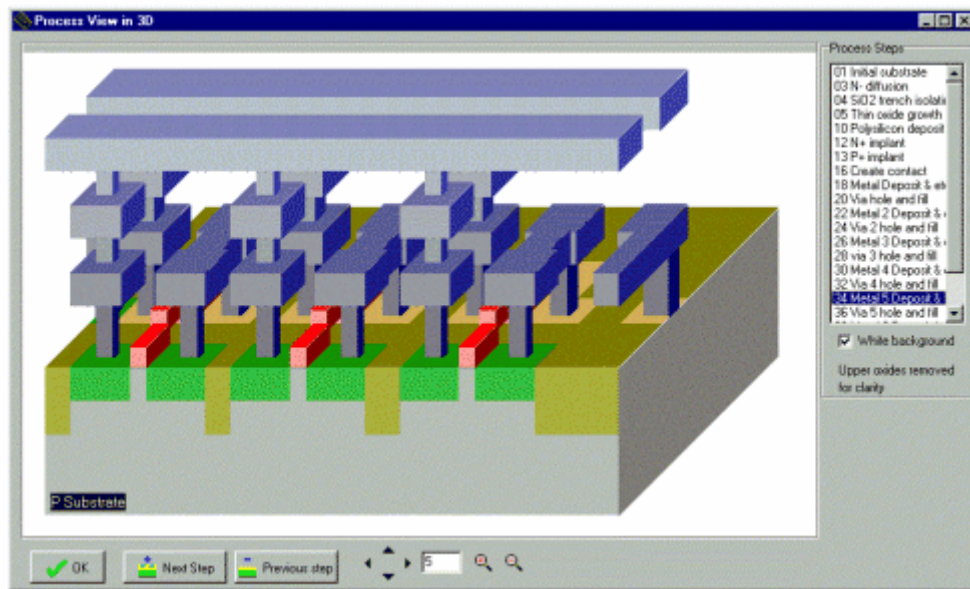


Figure 5. Vue 3D d'une technologie CMOS 0,25  $\mu\text{m}$ , avec une coupe au niveau des transistors MOS canal N. Les alimentations sont dessinées en niveau métallique 3.

Une très large gamme de technologies est accessible, allant de la très ancienne 1,5  $\mu\text{m}$ , encore accessible au travers du programme MOSIS [4] jusqu'à la technologie SOI 0,12  $\mu\text{m}$  en cours de développement chez ST microelectronics [5], en passant par la technologie 0,18  $\mu\text{m}$  accessible par le biais du programme français CMP [6].

#### Simulation

1. Lancer le programme Microwind2.EXE.
2. Cliquer sur File, Open et choisir INV3.MSK. Ce fichier correspond à l'oscillateur en anneaux.
3. Cliquer sur Simulate, Process Steps in 3d.
4. Cliquer sur Next Step pour dérouler les étapes de fabrication du process CMOS.

#### 4. Conception et simulation au niveau physique

Microwind est avant tout un éditeur et simulateur analogique de circuits dessinés au niveau physique. L'intérêt de l'outil est de permettre des itérations immédiates entre le dessin et la simulation, permettant à l'étudiant d'appréhender rapidement le rôle des dimensions physiques, du placement, des matériaux et des générations technologiques sur les performances de son circuit. Plus d'une centaine de circuits élémentaires sont proposés, prêts à simuler, allant de la brique très simple jusqu'à un bloc complexe.

Le dessin au micron permet à l'étudiant d'apprendre par la pratique les principes de conception de cellules au plus proche de leur implémentation. Le logiciel dispose de commandes de dessin, d'une palette de niveaux, et de vérifications diverses telles que les zones électriquement connectées, la violation possible de règles de dessin, la cohérence du dessin et sa transcription au format de simulateurs analogiques standards. L'extraction des paramètres électriques d'après le dessin de l'utilisateur fait appel à un outil intégré assez sophistiqué, lié au fabricant de semi-conducteur choisi grâce à un ensemble de règles et de paramètres technologiques. Une fois le circuit extrait, la simulation analogique, totalement intégrée à l'éditeur, effectue la simulation transitoire et statique du circuit. La définition des stimulations du circuit, des sources de tension et des noeuds à observer est faite directement sur le dessin au moyen d'icônes appropriées.

Nous illustrons ci-après le cas du dessin et de la simulation d'un amplificateur élémentaire (Fig. 6). Le dessin fourni initialement propose une tension sinusoïdale d'entrée mal polarisée. L'offset initial est de 0,3 V, ce qui n'autorise quasiment aucun gain, au vu de la caractéristique statique donnée ci-dessous. En décalant la tension d'offset vers 0,7 V, le gain est significatif. L'amplificateur fonctionne alors correctement (Fig. 7).

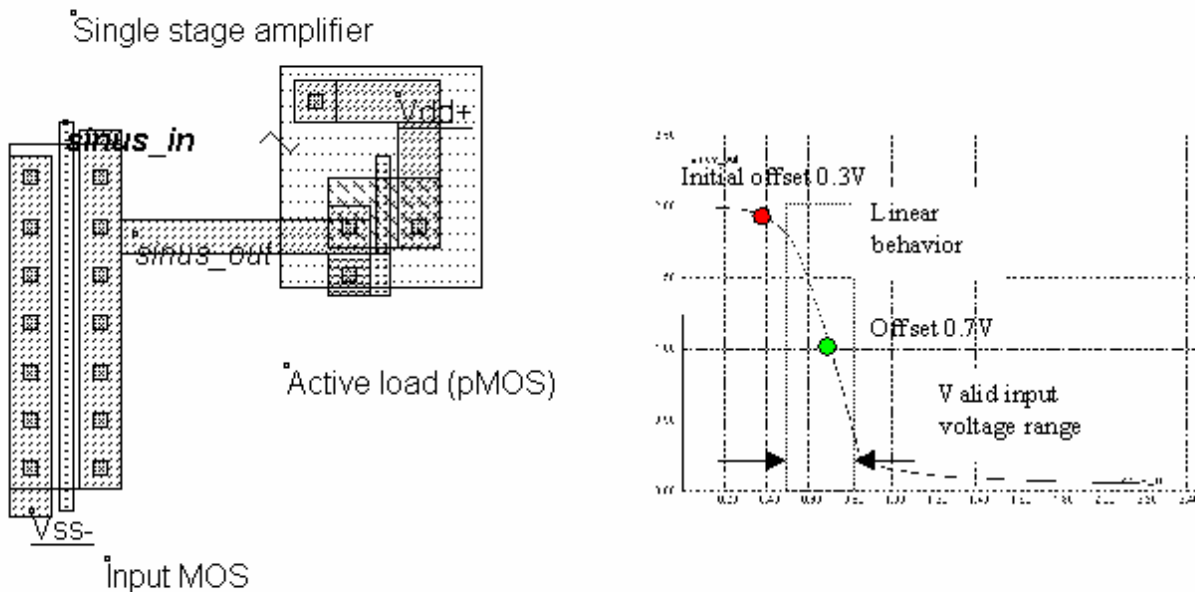


Figure 6. Conception de blocs analogiques, cas d'un simple amplificateur (AmpliSingle.MSK).  
(7 Ko-GIF)

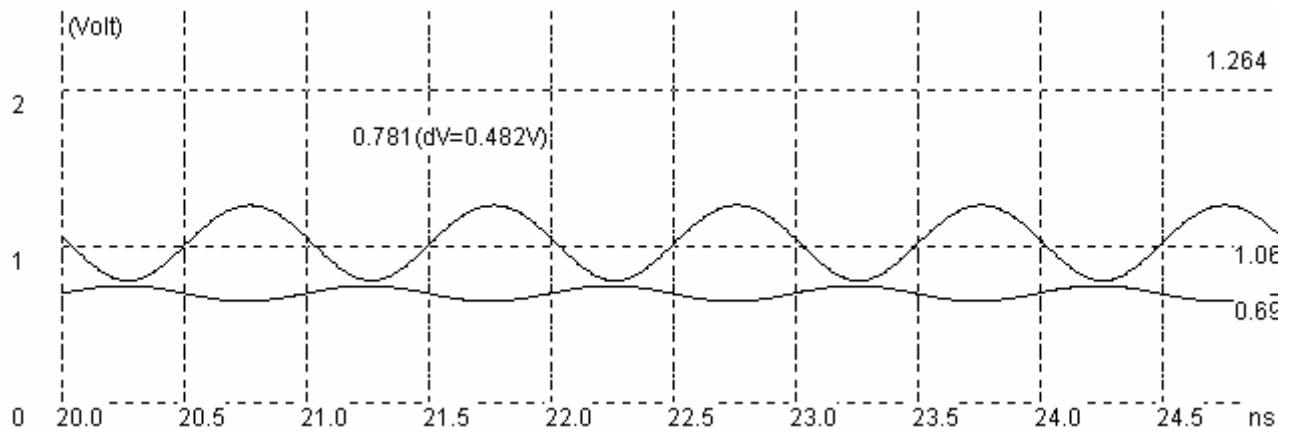


Figure 7. Simulation analogique d'un étage d'amplification.

Un autre exemple de conception au niveau physique concerne un additionneur  $n$  bits. La cellule élémentaire est créée de manière à simplifier les tâches de routage entre blocs d'addition élémentaire (Fig. 8). La simulation analogique permet de valider le circuit et d'évaluer les temps de propagation et consommation avec précision.

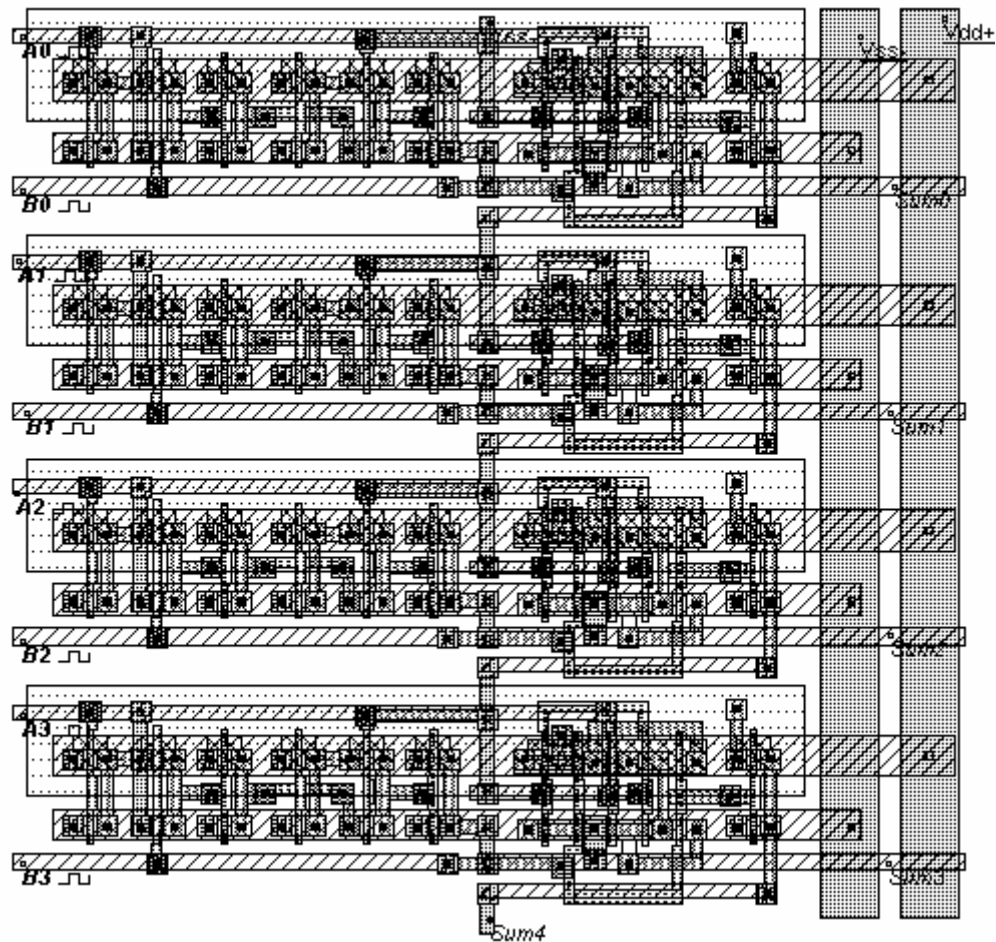


Figure 8. Dessin d'un additionneur  $n$  bits (ici 4 cellules en étage).



### **Simulation**

1. Lancer le programme Microwind2.EXE.
2. Cliquer sur `File`, `Open` et choisir `AmpliSingle.MSK`. Ce fichier correspond à l'amplificateur de la figure 8.
3. Cliquer sur `Simulate`, `Run Simulation`. L'amplificateur est mal polarisé, et n'amplifie pas.
4. Cliquer sur `Close` pour revenir dans la fenêtre d'édition.
5. Double-cliquez sur `Sinus In`. Augmenter la valeur du paramètre `Offset` (0,7 environ) puis `Assign`.
6. Relancez la simulation. L'amplificateur réalise la fonction d'amplification du signal d'entrée avec un gain de 7 environ.

## **5. Conception et compilation de blocs logiques**

Nous avons développé un outil de conception logique basé sur VERILOG [7] appelé DSCH [2]. La conception logique est basée sur un ensemble de symboles génériques pouvant être connectés, assemblés et structurés de manière hiérarchique. La simulation logique remet à plat le schéma de l'utilisateur puis le simule soit de manière interactive par le biais de symboles actifs (boutons, claviers, horloges, lampes, afficheurs), soit par des stimuli et chronogrammes conventionnels (Fig. 9).

L'éditeur logique génère une description du circuit sous forme de modules hiérarchisés en VERILOG, la plus petite fonction étant la porte logique « primitive » telle que la porte Inverseur, Ou, etc. Le transistor NMOS et PMOS figurent dans la liste des primitives, bien qu'étant simulés comme de simples interrupteurs. Un exemple de travaux pratiques réalisé à l'INSA concerne un additionneur codé en décimal.

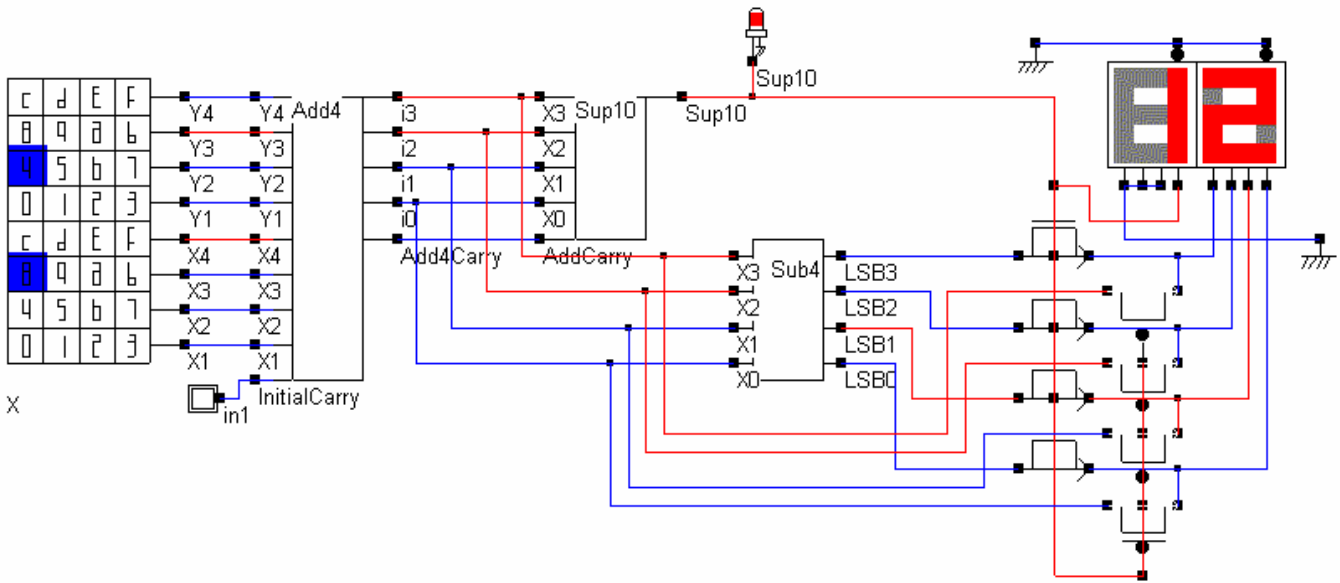
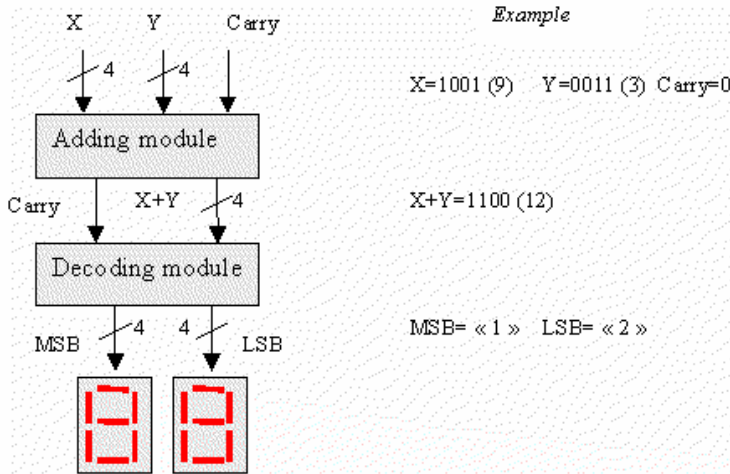


Figure 9. Conception logique d'un additionneur binaire codé décimal (AddBCD.SCH).

### Simulation

1. Lancer DSCH2.EXE.
2. Charger le fichier AddBCD.SCH.
3. Lancer la simulation en cliquant sur .
4. Agir sur les claviers situés à gauche pour observer le résultat à droite.

Le logiciel de conception au micron possède un outil de traduction directe d'une description logique VERILOG vers un circuit microélectronique. Le traducteur place les descriptions de portes de base les unes à côté des autres et réalise le routage en accord avec l'interconnexion spécifiée dans la description logique. L'intérêt de cet outil est de générer très rapidement des cellules complexes, permettant à l'étudiant de simuler au niveau physique des blocs raisonnablement sophistiqués en un temps relativement court (Fig. 10).

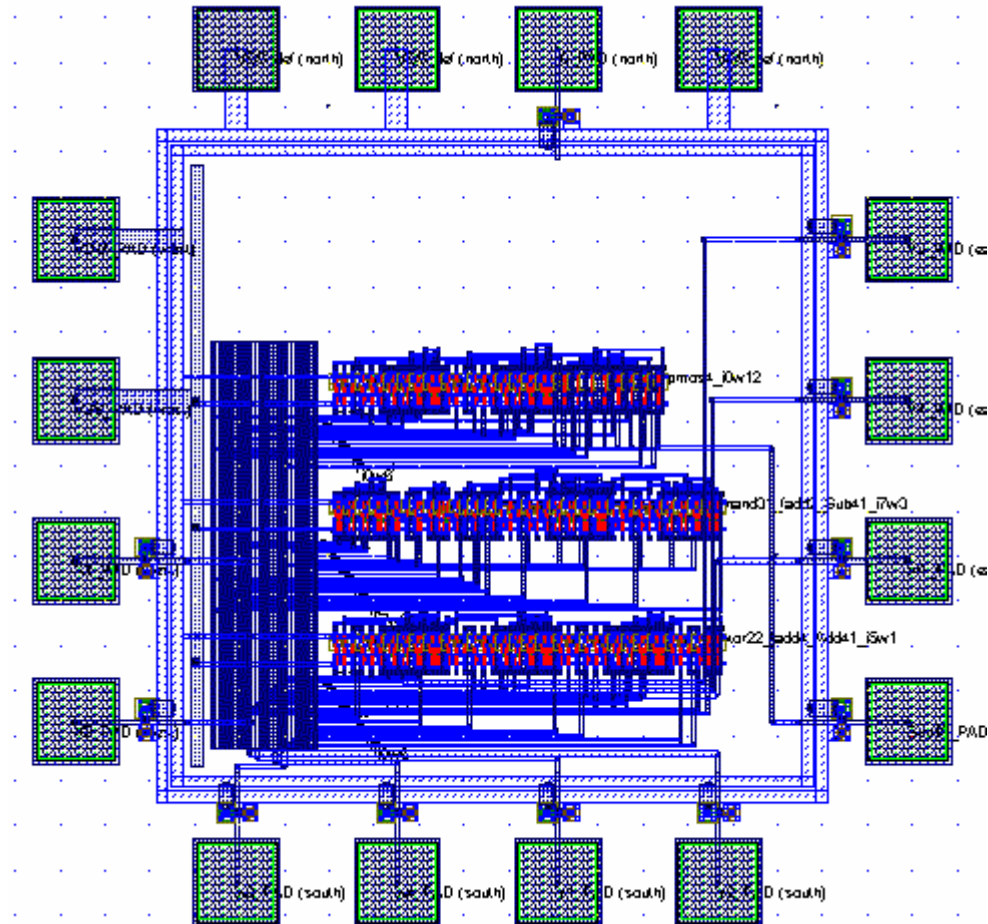


Figure 10. Compilation de l'additionneur binaire codé décimal (AddBCD.MSK).

## 6. Conclusion

L'évolution constante des technologies microélectronique vers les petites dimensions oblige à remettre continuellement en question les acquis. La création d'outils spécifiques tels que ceux présentés dans cet article est une tâche passionnante mais exigeante. Le succès du logiciel auprès des institutions académiques et des industries de la micro-électronique a un caractère éphémère. L'approche physique défendue dans cette démarche permet de comprendre les mécanismes de base des cellules élémentaires, analogiques et logiques. Seule une action de développement continue d'interaction constante avec les formateurs et étudiants et une ouverture aux standards émergents permettent de maintenir l'intérêt de cette démarche.

## Références bibliographiques

- [1] E. Sicard, *La Micro-électronique, simulateur en main* (Lavoisier, 1992) ISBN 2-85206-816-8.
- [2] E. Sicard, *Microwind, an introduction to deep sub-micron CMOS layout design* et *Dsch, an introduction to logic design on PC* (INSA Toulouse, France) [Logiciels, gratuits Windows 95, 98 ou NT] accessibles à partir de la page <http://intrade.insa-tlse.fr/~etienne>.
- [3] R. Velle et D. Klassen, *MOS Model 9*, Report NL UR003/94 (Philips Research Labs, June 95).
- [4] MOSIS [en ligne] [www.mosis.org](http://www.mosis.org).
- [5] ST Microelectronics [en ligne] <http://www.st.com>.
- [6] CMP [en ligne] <http://cmp.imag.fr>.
- [7] *Verilog HDL Reference Manual, Version 2.0* (March 93).