

**Didacticiel pour l'enseignement de la conception de circuits intégrés analogiques**

M. Kayal, D. Stefanovic et M. Pastre

Laboratoire d'Électronique Générale  
École Polytechnique Fédérale de Lausanne  
STI/IMM/LEG  
CH-1015 Lausanne, Suisse

# Didacticiel pour l'enseignement de la conception de circuits intégrés analogiques.

M. Kayal, D. Stefanovic et M. Pastre.  
Laboratoire d'Electronique Générale  
Ecole Polytechnique Fédérale de Lausanne  
STI/IMM/LEG  
CH-1015 Lausanne, Suisse  
E\_mail: [maher.kayal@epfl.ch](mailto:maher.kayal@epfl.ch)

## Résumé :

Cet article présente un nouvel outil d'enseignement assisté par ordinateur EAO, PAD (Procedural Analog Design), basé sur une approche interactive pour concevoir progressivement les cellules analogiques. Il permet aux utilisateurs de suivre une démarche systématique et d'ajuster les paramètres en observant les conséquences en même temps.

Dans son état actuel, PAD couvre la conception de cellules analogiques de base, ainsi que la conception procédurale de cellules analogiques plus complexes, telles que : amplificateurs à transconductance (OTA) et différentes topologies d'amplificateurs opérationnels. La génération du layout est également disponible pour les cellules matchées, telles que : miroir de courant, paire différentielle, etc.

**Mots clés :** Conception de circuits intégrés, Structures analogiques,

interaction avec un simulateur, il permet alors de garantir que le nombre de simulations nécessaires est minimal.

## 1. Introduction

La méthodologie de conception de circuits analogiques est fortement liée au type de fonction qu'il faut implémenter. Le choix de la topologie et le dimensionnement du circuit imposent la conception au niveau transistor. L'optimisation de paramètres, ainsi que réutilisation des topologies ou migration d'une technologie à l'autre, sont presque impossibles sans intervention du concepteur. D'autre part, les outils CAO dédiés à la conception automatique de circuits analogiques fournissent souvent des possibilités limitées à l'interaction et aux décisions de l'utilisateur. Par conséquent, la démarche de conception est souvent basée sur un grand nombre de simulations et dépend fortement de la maîtrise et de l'intuition du concepteur.

L'outil PAD propose une nouvelle méthodologie interactive dédiée au dimensionnement de cellules analogiques et à la génération de layout. Une démarche systématique qui relie l'expérience d'un concepteur "expert" et la théorie de circuits analogiques est implémentée afin de fournir une assistance à l'utilisateur. De plus, les éléments d'interface graphique permettent la visualisation instantanée des dépendances entre les paramètres ainsi que la possibilité de découvrir de façon interactive les compromis entre les paramètres importants. Ainsi, le concepteur obtient une compréhension intuitive du comportement du circuit. PAD est un outil qui guide l'utilisateur pour choisir les paramètres optimaux pour les spécifications données et qui permet de diminuer les efforts nécessaires pour découvrir les compromis. Ceci optimise le temps de développement des cellules analogiques pour circuits intégrés. PAD peut également être utilisé en

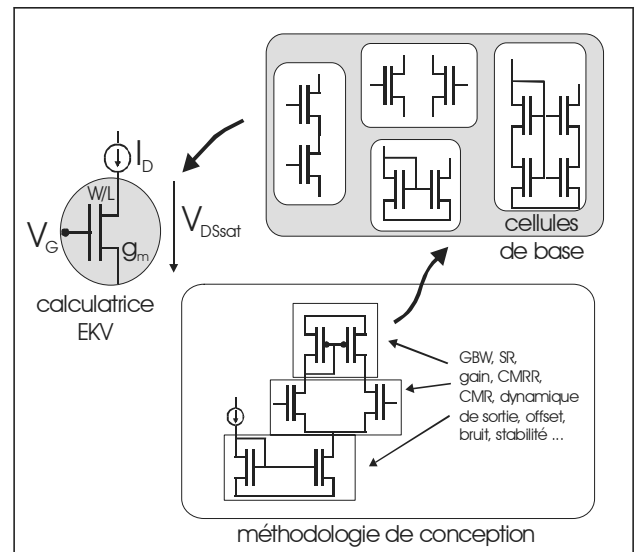


Figure 1. Structure de PAD

La structure de PAD est représentée sur la figure 1. Une calculatrice au niveau transistor est capable d'explorer les relations complexes et de fournir des solutions pour des ensembles des paramètres différents. Une bibliothèque de cellules analogiques de base reliée à la calculatrice donne la possibilité d'analyser et de comprendre les relations et les dépendances entre les paramètres de cellules de base dans un environnement imposé par le circuit. De plus, une démarche pour la conception procédurale de cellules analogiques plus complexes, basée sur la division de cellules complexes en un ensemble de cellules de base, a été

développée. Un scénario pas à pas, sans règle de conception imposée et qui contient les conseils et les directives basés sur l'expérience et la théorie, est proposé pour chaque topologie. Ceci permet de découvrir les meilleurs compromis et d'évaluer les performances. Une visualisation de tous les paramètres, en utilisant des éléments d'interface graphique appropriés, rend l'utilisation de PAD très simple et intuitive. L'utilisateur suit une procédure de conception guidée avec beaucoup de liberté d'action et découvre d'une façon interactive quels sont les meilleurs paramètres.

## 2. Le dimensionnement de transistor MOS en utilisant modèle EKV

En se basant sur une approche de conception associée au niveau transistor, PAD intègre une calculatrice qui utilise l'ensemble des équations du modèle EKV du MOS [1,2]. Ce modèle est particulièrement adapté à la conception de circuits analogiques parce qu'il fait le lien entre la forte et la faible inversion de façon continue [3]. On trouve facilement les solutions pour des ensembles de paramètres d'entrée différents sans utiliser des méthodes numériques complexes. Le modèle permet de calculer tous les paramètres importants pour la conception, tels que : facteur d'inversion, tension de saturation, tension de pincement, tension d'Early, paramètres petits signaux, capacités parasites, rapport  $g_m/I_D$ , TEF (rapport  $g_m/I_D$  normalisé). Tous ces paramètres sont affichés sous forme graphique, donnant ainsi une compréhension intuitive de toutes les relations [4].

### 2.1 Procédure de conception basée sur le rapport $g_m/I_D$

La procédure pour le dimensionnement du transistor, ainsi que pour le dimensionnement de cellules de base (ensembles de transistors dans un certain environnement) est basé sur le choix du rapport  $g_m/I_D$  [5]. Le rapport  $g_m/I_D$  est la mesure de transformation de courant en transconductance : plus la valeur du rapport  $g_m/I_D$  est élevée, plus grande est la transconductance pour une valeur de courant constante. En même temps, ce rapport permet de suivre la région de fonctionnement (inversion faible, modérée ou forte).

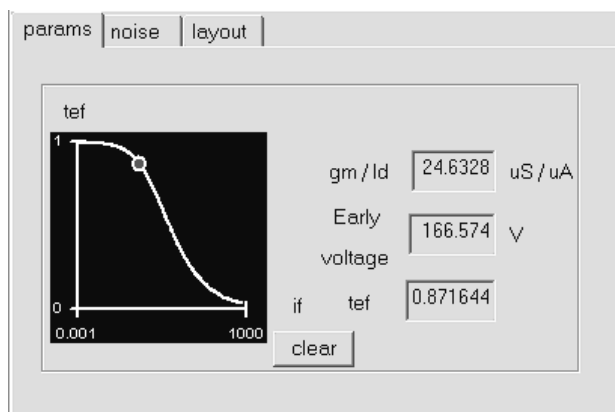


Figure 2. Courbe  $g_m/I_D$

La courbe  $g_m/I_D$  est une caractéristique de la technologie. Il est cependant possible de s'en affranchir en travaillant sur la courbe normalisée (TEF) dont l'allure générale reste invariante. Le concepteur choisit sur la courbe normalisée le point le plus approprié en fonction des objectifs (figure 2). Ceci revient à choisir  $g_m/I_D$ .

Il reste alors à déterminer le courant  $I_D$  et les dimensions géométriques L et W en sachant qu'il ne reste plus que deux degrés de liberté (puisque  $I_D$ , L et W sont liés par le choix de  $g_m/I_D$ ) et qu'il faut satisfaire au mieux les autres paramètres (vitesse, bruit, dynamique, consommation, etc.). Les compromis possibles sont présentés sur la figure 3. Bien entendu, il est possible de reconsidérer le choix de  $g_m/I_D$  si nécessaire.

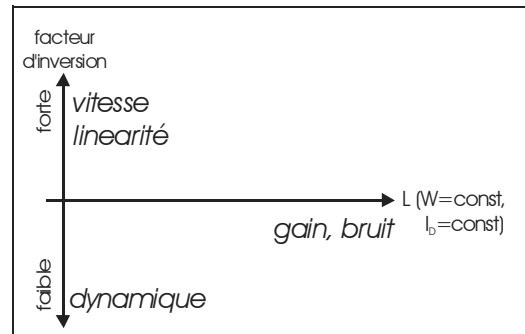


Figure 3. Compromis de conception

## 3. La librairie de cellules de base de PAD

La librairie, qui couvre la conception de cellules analogiques de base, est composée de cellules telles que : miroir de courant, miroir de courant cascodé, paire différentielle, étage cascode, étage cascode plié. Un seul transistor est aussi considéré et analysé comme une cellule de base. La procédure de conception se base sur la démarche du chapitre précédent.

Pour chaque cellule, un ensemble de paramètres (par exemple : paramètres petits signaux, paramètres de polarisation, capacités parasites, vitesse, etc.) est affiché. De plus, des paramètres spécifiques pour chaque cellule sont calculés et affichés. Par exemple :

- offset à l'entrée (pour la paire différentielle)
- mismatch des courants (pour le miroir de courant)
- résistance de sortie
- capacités d'entrée
- somme des capacités parasites de certains nœuds

Ceci permet d'analyser le comportement de cellules analogiques de base dans un environnement imposé par le circuit et de découvrir les dépendances et les compromis nécessaires concernant les paramètres importants pour la conception. Un exemple d'interface graphique est présenté sur la figure 4.

La génération automatique du layout est disponible pour les cellules matchées, telles que : miroir de courant, paire différentielle, etc. Les versions de layout générées sont exportées dans le format CIF.

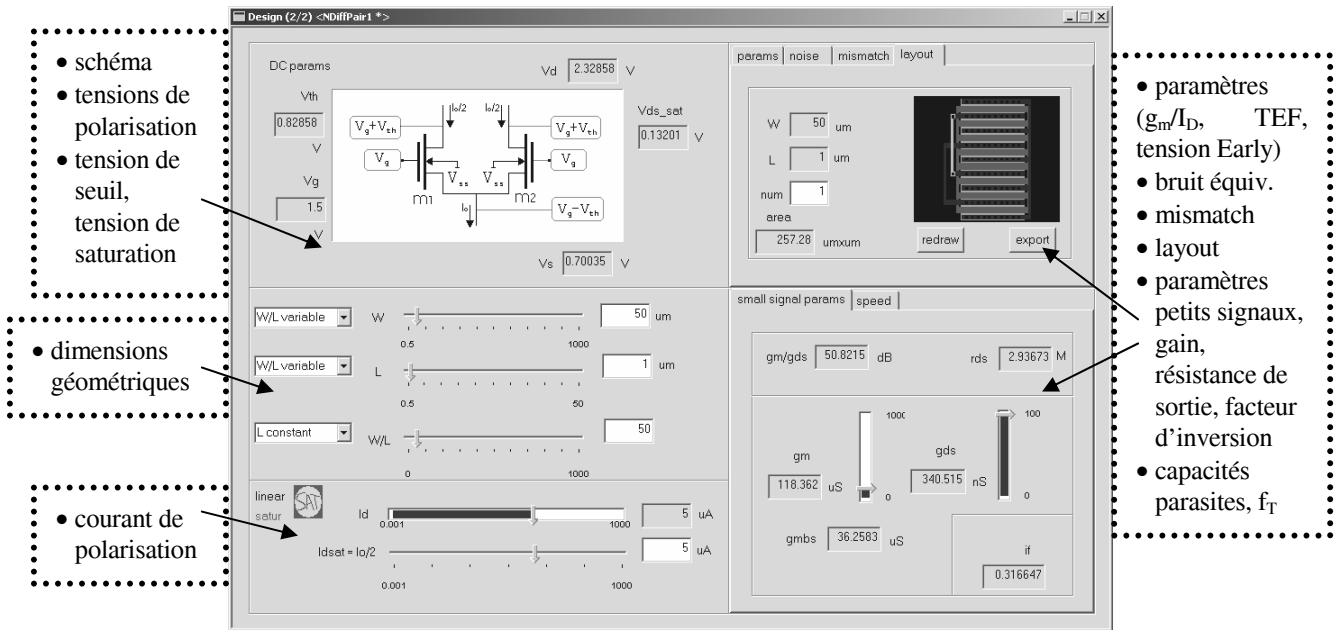


Figure 4. Interface graphique

#### 4. Conception procédurale de cellules complexes

Une méthodologie de conception de cellules analogiques plus complexes a été développée et implémentée. Elle recouvre la conception de cellules telles que les architectures pour amplificateurs à transconductance (OTA), amplificateurs opérationnels et est ouverte à l'introduction des nouvelles cellules.

La version actuelle de PAD permet la conception procédurale d'OTA, d'OTA à cascode plié et d'amplificateurs opérationnels Miller.

La procédure proposée est découpée comme suit : division d'une cellule complexe en un ensemble de cellules de base, conception de chaque cellule de base et évaluation des performances au niveau du circuit. Cette démarche de conception procédurale est détaillée ci-dessous sur l'exemple de la conception d'OTA à cascode plié.

##### 4.1 Conception d'un OTA à cascode plié avec PAD

La topologie de l'OTA à cascode plié est présentée sur la figure 5. La séquence de conception est la suivante :

- initialisation : paramètres du modèle EKV, spécifications initiales (SR\_init, f\_GBW\_init), tensions d'alimentation  $V_{DD}/V_{SS}$ , courant de polarisation  $I_{BIAS}$  et capacité de charge  $C_L$
- division du circuit : L'OTA à cascode plié est divisé en un ensemble de cellules de base :
  - miroir de courant p (bias 1)
  - miroir de courant n (bias 2)
  - étage à cascode plié
  - miroir de courant cascodé
  - cellule de polarisation pour miroir de courant cascodé (bias3)

- cellule de polarisation pour étage à cascode plié (bias4)
- L'ensemble des équations décrivant le comportement au niveau circuit qui est implémenté dans PAD est présenté dans la table 1.

$SR = \frac{I_o}{C_L}$
$f_{-GBW} = \frac{g_{m1}}{2\pi C_L}$
$PowDisip = (V_{dd} - V_{ss}) \cdot (2 \cdot I_1 + 2 \cdot I_{bias} + I_{bias1} + I_{bias2})$
$A = \frac{g_{m4}}{g_{ox} + g_{oy}}, g_{ox} = \frac{g_{ds8} \cdot g_{ds10}}{g_{m8}}, g_{oy} = \frac{g_{ds6} \cdot (g_{ds4} + g_{ds4})}{g_{m6}}$
$CMR+ = V_{dd} -  V_{ds\_sat17}  -  V_{th1} $ $CMR- = V_{ss} +  V_{ds\_sat4}  +  V_{ds\_sat1}  -  V_{th1} $
$V_{out\_swing} = V_{dd} - V_{ss} - ( V_{ds\_sat8}  +  V_{ds\_sat10}  +  V_{ds\_sat6}  +  V_{ds\_sat4} )$
$v_{-eq}^2 = v_{-eq1}^2 + v_{-eq2}^2 + \left(\frac{g_{m4}}{g_{m1}}\right)^2 (v_{-eq3}^2 + v_{-eq4}^2) + \left(\frac{g_{m9}}{g_{m1}}\right)^2 (v_{-eq9}^2 + v_{-eq10}^2)$
$V_{off}^2 = (\sigma(\Delta V_{G1}))^2 + \left(\frac{g_{m4}}{g_{m1}}\right)^2 (\sigma(\Delta V_{G4}))^2 + \left(\frac{g_{m9}}{g_{m1}}\right)^2 (\sigma(\Delta V_{G9}))^2$ $(\sigma(\Delta V_G))^2 = \sigma_r^2 + \left(\frac{I_D}{g_m}\right)^2 \cdot \sigma_\beta^2$ $\sigma_r = \frac{A_V}{\sqrt{WL}}, \sigma_\beta = \frac{A_\beta}{\sqrt{WL}}$
$f_{-p1} = \frac{g_{ox} + g_{oy}}{C_L}, f_{-p2} = \frac{g_{m6}}{C_{gs6} + C_{d4} + C_{d1}}$ $PM = 180^\circ - \arctg\left(\frac{f_{-GBW}}{f_{-p1}}\right) - \arctg\left(\frac{f_{-GBW}}{f_{-p2}}\right)$

Table 1. Equations pour la conception de l'OTA à cascode plié

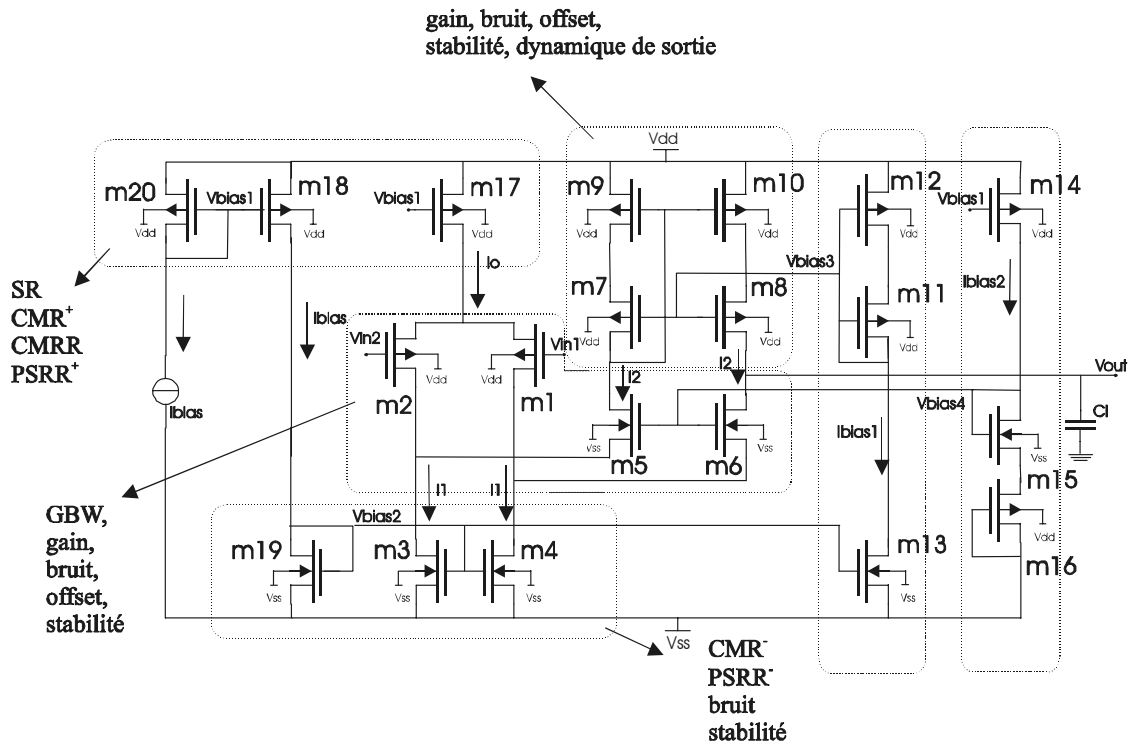


Figure 5. OTA à cascode plié

- dimensionnement des cellules de base :

A partir des spécifications initiales deux valeurs sont proposées :

$$I_{o\_calc} = SR \cdot C_L$$

$$g_{m1\_calc} = 2\pi f_{GBW} \cdot C_L$$

La procédure de conception est prédéfinie et basée sur l'expérience. Elle permet de comprendre l'influence de chaque cellule de base et de découvrir les dépendances entre les paramètres des cellules et les paramètres du circuit. Les effets des modifications des paramètres sont affichés instantanément. Le plus important est de déterminer les courants dans le circuit et le  $g_m$  de chaque transistor en fonction des objectifs imposés. Chaque cellule est dimensionnée comme décrit précédemment. Pour chaque cellule, une liste de paramètres associés est affichée (figure 5).

- évaluation au niveau circuit :

Pendant la conception de chaque cellule de base, on peut observer les performances acquises et les comparer avec les spécifications initiales. A la fin, un résumé de tous les paramètres importants est affiché avec la possibilité de faire une analyse fréquentielle et de calculer le bruit équivalent et l'offset à l'entrée. Le résultat est un circuit optimisé, prêt pour la simulation. La procédure décrite peut être répétée plusieurs fois en interaction avec le simulateur afin d'effectuer un ajustement fin. Le nombre de simulation requis est minimal.

## 5. Conclusion

PAD intègre une méthodologie de conception basée sur une approche systématique et un modèle de transistor adapté pour la conception de circuits analogiques. Il permet

aux utilisateurs de contrôler la démarche de réalisation de leurs circuits et d'optimiser le temps de conception. Il est à la fois un outil de CAO capable d'assister le concepteur et un didacticiel pour la microélectronique.

## Références

- [1] C. Enz, F. Krummenacher and E. A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications", J. Analog Integrated Circuits and Signal Processing, Vol. 8, July 1995, pp. 83-114.
- [2] M. Bucher, C. Lallement, C. Enz, F. Théodoloz and F. Krummenacher, "The EPFL-EKV MOSFET Model Equations for simulation, Version 2.6" Technical Report, EPFL, July 1998, available on-line: <http://legwww.epfl.ch/EKV>
- [3] D. Binkley, M. Bucher, D. Foty, "Design-oriented characterisation of CMOS over the continuum of inversion level and channel length", The 7th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2000, Volume: 1, Page(s): 161 -164
- [4] R. Spence, "The facilitation of insight for analog design", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Volume: 46 Issue: 5, May 1999, Page(s): 540 -548.
- [5] F. Silveira, D. Flandre, P.G.A. Jespers, "A  $g_m/ID$  based methodology for the design of CMOS analog circuits and its application to the synthesis of a Silicon-on-Insulator micropower OTA", IEEE Journal of Solid-State Circuits, 31 (1996) 1314-1319.