

Enseignement de la microélectronique à Supélec : une nouvelle pédagogie mise en place en 2012

**Philippe Benabes, Caroline Lelandais-Perrault, Emilie Avignon, Morgan Roger,
Laurent Bourgois, Filipe Vinci, Francis Trélin**

SUPELEC, 3 rue Joliot-curie, 91192 Gif / Yvette

Email : prénom.nom@supelec.fr

Pole PMIPS (Pôle Microélectronique de Paris-Sud)

Résumé : *La rentrée 2012 a été le cadre d'une réforme de l'enseignement de l'électronique intégrée au sein de la majeure MNE (Micro et Nano Electronique) à Supélec. Les objectifs étaient de proposer une nouvelle forme d'enseignement pratique au moyen d'un projet long, de regrouper un ensemble de cours dans un ensemble cohérent, de faire intervenir tous les enseignants de l'équipe auprès des élèves dès la rentrée, et surtout de proposer un maximum de pratique aux élèves de manière à remotiver les élèves autour d'une discipline qui n'est pas toujours très à la mode dans le monde numérique actuel. L'évaluation des élèves a aussi été repensée de manière à sortir les élèves d'un cadre scolaire et les mettre dans la peau d'un responsable de projet au sein de l'industrie. L'introduction de points de passage formels avec remise de rapports et présentation orale permet aux élèves de découvrir la réalité de leur métier de futur ingénieur. Le retour des élèves a montré que ce nouvel enseignement a été très apprécié de l'ensemble des élèves.*

1. Introduction : cadre de l'enseignement

Supélec est une école d'ingénieurs généraliste dans le domaine des sciences de l'information. L'enseignement comprend aussi bien des cours un peu plus théoriques (mathématiques, statistiques, physique), que des cours relatifs aux sciences de l'ingénieur (informatique, automatique, traitement du signal, électronique, télécommunications, électrotechnique, ...).

Les élèves suivent 2 années de tronc commun avec un socle de base de connaissances commun à tout le monde et se spécialisent en troisième année par le choix d'une majeure. 14 majeures sont proposées dans tous les domaines de l'école.

La rentrée 2012 a été le cadre d'une réforme de l'enseignement de l'électronique intégrée au sein de la majeure MNE (Micro et Nano Electronique). Les objectifs étaient les suivants :

- Proposer aux élèves une méthodologie de conception top-down partant de spécifications de haut niveau (Matlab), en passant par de la modélisation comportementale (VHDL-AMS) jusqu'à aboutir à un circuit placé et routé prêt à envoyer en fonderie.
- Regrouper plusieurs manipulations (cours, TDs, BE, TP) en un projet fédérateur de manière à mettre les élèves dans des conditions d'ingénieur chef de projet.
- Faire intervenir tous les enseignants de l'équipe de façon collégiale avec chacun sa spécialité de manière à fédérer l'équipe autour de cet enseignement.
- Proposer un enseignement avec un maximum de pratique de manière à motiver les élèves autour de la discipline

2. Le projet retenu

Le projet retenu est un circuit mixte, comprenant de l'analogique et du numérique, mais cependant pas trop complexe, de manière à être mené complètement en une centaine d'heures.

Le but de l'étude est de concevoir un amplificateur faible-coût à haut rendement énergétique pour commander un haut-parleur (par exemple pour un appareil mobile).

La solution utilise un amplificateur de classe D, comme le montre la Figure 1. . Il doit pouvoir recevoir un signal PCM (*Pulse Code Modulation*) échantillonné à 44.1 kHz et commander directement le haut-parleur.

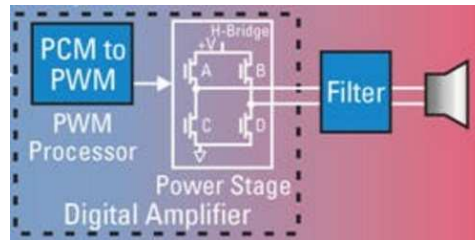


Figure 1 : Amplificateur de puissance de classe D

Le signal d'entrée est tout d'abord sur-échantillonné, puis transformé en un train binaire qui commande des interrupteurs (transistors MOS). Le signal à l'entrée du haut parleur doit être filtré de manière à réduire l'énergie des composantes hautes fréquences dues à la modulation.

Le filtre se compose en général de capacités et d'inductances comme le montre la Figure 2. Ces composants ont pour effet d'éliminer les transitions abruptes dues aux commutations et ainsi de lisser le signal.

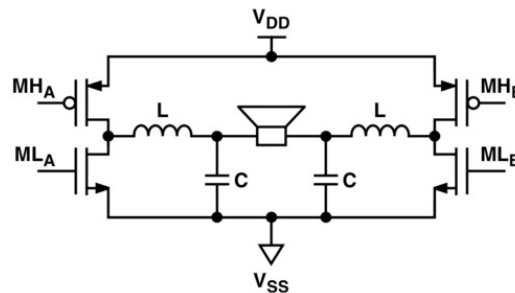


Figure 2 : Circuit de commande d'un haut parleur pour amplificateur de classe D

Le but de l'étude est donc de spécifier puis de concevoir un tel amplificateur. Le produit final doit être un circuit intégré possédant un étage numérique et un étage analogique, placé et routé, prêt à être envoyé en fabrication.

3. Organisation de la formation

La formation a été divisée en cours magistraux, en TDs et bureaux d'étude, et en étude de laboratoire.

3.1. Les cours magistraux

Les cours magistraux ont été réduits à leur strict minimum. Il s'agit de donner aux élèves les bases qu'ils ne peuvent pas acquérir par eux même. Ils sont au nombre de 2 : la conception de fonctions numériques en langage VHDL et la CAO des circuits intégrés analogiques (essentiellement les règles à suivre pour réaliser le layout d'un circuit intégré).

3.2. Les B.E. préliminaires

1A) Etude d'un interpolateur et d'un modulateur sous MATLAB (2 B.E. de 3h)

Le but du premier B.E. est de se rafraîchir la mémoire des élèves sur des notions de filtrage simple (interpolation), ainsi que sur le logiciel MATLAB.

Le deuxième BE présente les modulations de type PWM et sigma-delta au travers d'une étude sous Matlab. Les signaux et les spectres obtenus pour les deux types de modulation sont comparés, et la notion de mise en forme du bruit est abordée. L'étude des divers degrés de liberté offerts par la modulation sigma-delta permet d'introduire le concept de compromis performance/complexité /consommation qu'il faudra réaliser lors du choix des spécifications.

1B) Conception et modélisation d'un étage de puissance (5 B.E. de 3h)

Le but de ces B.E. est d'apprendre à spécifier et modéliser une fonction analogique avec des outils simples (LT-Spice par exemple).

3.3. Les études de laboratoire

Validation des spécifications

Le but des 6 premières séances de Travaux de Laboratoire (6x4h30) est de caractériser complètement l'ensemble interpolateur, modulateur, étage de puissance et filtre passif avant de commencer sa conception.

Elles se découpent en 3 parties :

1°) Modélisation de l'étage numérique complet composé de l'interpolateur suivi du modulateur.

Il s'agit ici de modéliser complètement la chaîne numérique comprenant un interpolateur et un modulateur. Le programme réalisé devra être configurable selon les paramètres de chaque étage et devra permettre de générer des trains binaires de commande de l'étage de puissance

2°) Création d'un environnement de caractérisation de l'étage analogique.

L'objectif est de mettre en place un environnement de test permettant d'utiliser les signaux générés dans les séances précédentes afin de caractériser les performances de l'étage analogique. La simulation de cet étage s'effectue sous le logiciel Matlab à partir de modèles simplifiés des différents composants.

3°) Optimisation des performances de l'ensemble.

Il s'agit d'utiliser les parties 1°) et 2°) de manière à fixer définitivement les spécifications des étages analogique et numérique dans une approche système pour optimiser l'ensemble. A la fin de cette partie, chaque groupe d'élèves doit être capable de justifier ses choix (type d'interpolation, facteurs de sur-échantillonnage, type de modulation et paramètres du modulateur) en évaluant pour chaque solution potentielle le nombre d'opérations par seconde à réaliser pour l'étage numérique, la qualité de la sortie en termes de bruit résiduel et de distorsion harmonique, ainsi que le rendement de l'étage analogique.

Réalisation de l'étage numérique

L'étage numérique sera décrit en langage VHDL, simulé, puis synthétisé pour un circuit FPGA. Le code sera téléchargé sur une carte FPGA disposant d'un étage de puissance extérieur fourni aux élèves de manière à tester de façon pratique et auditive la qualité de leur amplificateur.

1) Conception en VHDL de l'étage numérique

Le code VHDL sera conçu au moyen de model-sim (PC) ou NCLaunch (Linux). Les élèves devront d'abord définir un testbench, puis décriront en VHDL l'étage numérique.

2) Test et caractérisation de l'étage numérique

Le code VHDL sera compilé au moyen de l'outil Quartus d'Altera et intégré dans un projet déjà préparé qui contient l'ADC et l'interface vers l'étage de puissance. La caractérisation se fera au moyen d'un casque, d'un système de mesure avec un micro de bonne qualité et d'une carte d'acquisition professionnelle déjà disponible dans le département.

3) Synthèse et placement routage de l'étage numérique

La synthèse se fera grâce à l'outil RC. Le placement routage se fera au moyen de l'outil automatique encounter de Cadence. On fera ensuite l'extraction des éléments parasites, puis la simulation post-layout.

Réalisation de l'étage analogique et floorplanning

Il s'agit dans cette dernière partie de réaliser le routage de l'étage analogique sous Cadence puis de faire le *floorplanning* de l'ensemble du circuit (analogique, numérique, et entrées sorties)

1) Conception et routage de l'étage analogique

Il s'agit de rentrer sous cadence le schéma définitif, de le simuler pour vérifier son bon fonctionnement, et de faire son routage, ainsi que le DRC (Design Rule Checking) et LVS (Layout Versus Schematic).

2) *Floorplanning* du circuit final

Dans cette dernière étape, les élèves vont regrouper les différentes fonctions au sein d'un circuit unique, prêt à être envoyé en fabrication.

4. Outils pédagogiques créés par l'équipe et fournis aux élèves

Un certain nombre d'outils pédagogiques ont été développés sous forme de tutoriaux d'auto-apprentissage, pour permettre aux élèves de prendre en main les outils de CAO qui seront utilisés au cours de l'étude. Ces outils sont des manuels qui sont disponibles en ligne avec cet article.

Ils permettent aux élèves d'apprendre la démarche de conception d'une fonction électronique et d'apprendre les commandes de base des logiciels de la suite cadence fournie par le CNFM qui seront utilisés au cours de l'étude.

5. Compétences et savoirs acquis au cours de l'étude

Ce projet permet aux élèves d'acquérir une première expérience dans la conception de circuit intégré analogique ou numérique. Les connaissances acquises lors de cette étude sont les suivantes :

- description d'un traitement numérique au moyen du langage MATLAB
- architecture et implémentation en temps réel de traitements de signaux
- apprentissage du langage VHDL
- conception de système synthétisable en VHDL
- synthèse logique et placement routage numérique.
- modélisation de fonctions analogiques sous LT-spice
- conception au niveau transistor
- layout analogique et vérification

6. Evaluation et notation

Chaque B.E. fait l'objet d'un compte rendu pour chaque groupe de T.L. :

- 1 compte rendu de B.E. pour l'interpolation
- 1 compte rendu de B.E. pour la modulation
- 1 compte rendu de B.E. pour la conception et la modélisation de l'analogique
- 1 compte rendu de T.L. : spécification de l'étage numérique
- 1 compte rendu de T.L. : conception de l'étage numérique
- 1 compte rendu de T.L. : conception de l'analogique et placement-routage final

Chaque séquence de 6 TL se termine par une présentation orale sur machine du résultat à un enseignant de l'équipe.

Chaque compte rendu fait l'objet d'une note séparée. En particulier l'évaluation des cours de VHDL et de conception analogique se fera à travers les BE et les TLs, au lieu d'un examen spécifique comme cela était le cas les années précédentes.

7. Evolutions pour l'année prochaine

Le bilan de cette année a montré qu'un certain nombre de modifications devront être apportées au projet. Tout d'abord, concernant la partie analogique, il est apparu qu'il est très difficile de faire correctement un étage de puissance car les règles de dessin sont très contraignantes dès que les courants mis en jeu sont importants. Nous avons décidé pour l'an prochain de donner aux élèves cette partie. En échange, ils dessineront un modulateur analogique en complément du modulateur numérique, qui permet d'avoir une entrée analogique en plus de l'entrée numérique dans l'ampli.

Le layout global n'a pas pu être mené à son terme cette année, par manque de connaissances des outils à notre disposition. Nous sommes en train d'investiguer de manière à pouvoir faire automatiquement le routage des plots d'entrées-sorties.

Nous allons probablement faire faire aux élèves une étude bibliographique en amont du projet de manière à leur permettre de rentrer dans le sujet plus rapidement en début de projet.

8. Conclusion

Ce nouvel enseignement vient d'être mis en place cette année. Nous avons senti une véritable motivation de la part des élèves pour cette étude. Nous leur avons laissé une grande liberté sur le choix de leurs architectures. Chaque groupe a abouti à des spécifications différentes en termes d'OSR, de filtres d'interpolation, d'ordre de modulateur. Il s'est créé une véritable entraide entre les groupes, chacun aidant les autres à régler leurs problèmes techniques.

Le retour de bilan fait avec les élèves a été extrêmement positif. Tous les élèves ont dit avoir apprécié le projet et ont été motivé par celui-ci. Vu du côté des enseignants, le bilan est aussi positif. Il n'y a pas eu d'élèves qui ne se soient pas impliqués dans le projet. Tous les élèves ne présentent pas les mêmes facilités. Les projets n'ont pas tous atteint le même degré de maturité. Cependant tous les binômes ont pu aller jusqu'au bout du projet de façon plus ou moins aboutie.

Le projet reste ambitieux. Les élèves ont parfois du mal à prendre du recul sur leurs choix. Certains rencontrent des difficultés sur les notions mathématiques, d'autres sur l'écriture de code VHDL. D'autres enfin sur la conception analogique. Les enseignants ont parfois été obligés d'aider certains groupes en leur donnant une partie du projet (codes VHDL par exemple), de manière à pouvoir avancer de manière synchronisée. Nous pensons aboutir à un circuit validé en simulation « prêt à être envoyé en fabrication ».

Il faudrait probablement quelques séances en plus pour permettre à tous les binômes d'aboutir à un projet fini par eux même. L'emploi du temps ne permet pas de consacrer plus de créneaux à ce cours. Nous restons cependant persuadés que même si tout n'est pas abouti et validé à 100%, ce projet va permettre aux élèves d'acquérir des compétences en conception électronique et en conduite de projet.

9. Biographie des auteurs

Philippe BENABES est professeur HDR à Supélec depuis 2003. Responsable de la majeure de 3^e année MNE (micro et nano électronique), il assure des enseignements d'électronique numérique et analogique auprès d'élèves des 3 années de Supélec. Ses thématiques de recherche concernent entre autre la conversion analogique-numérique de type sigma-delta. En tant que responsable du programme de MNE, il a assuré la mise en place de l'enseignement présenté dans cet article.

Laurent BOURGOIS est Enseignant Chercheur à Supélec depuis septembre 2011. Il assure des enseignements d'électronique analogique auprès d'élèves de 1^{ère} et 3^{ème} année. Sa thématique de recherche est principalement axée sur le contrôle et l'identification de systèmes non linéaires. En

tant que membre de l'équipe pédagogique de la majeure MNE, il a assuré une partie des études de laboratoire de la partie « validation des spécifications ».

Morgan ROGER est professeur assistant au département Signaux et Systèmes électroniques de Supélec depuis 2006, et a obtenu son doctorat en 2007. Il enseigne principalement l'électronique analogique (CM, TD, TP) et l'électronique radiofréquences (TP). Il intervient également dans l'enseignement de la mécanique quantique et des probabilités (TD). Ses thèmes de recherche actuels incluent les méthodes de traitement du signal pour les systèmes électroniques et les convertisseurs.

Caroline Lelandais-Perrault est enseignant-chercheur au Département Traitement et Systèmes Electroniques de Supélec. Elle est en charge d'un cours de systèmes logiques et électronique numérique dispensé en première année du cursus ingénieur à Supélec, ainsi que de travaux dirigés en électronique analogique et traitement du signal, et de divers projets d'élèves en première et deuxième année. Elle participe aussi à l'encadrement du projet de conception micro-électronique, plus particulièrement sur la conception et l'implémentation de la partie numérique de la chaîne d'amplification. Ses recherches concernent la conversion analogique-numérique et plus particulièrement la calibration de structures de conversion parallèles.

Emilie AVIGNON est assistant professeur à Supélec depuis 2008. Elle enseigne l'électronique analogique en première année, encadre des travaux pratiques d'électronique radiofréquence en 2ème année et enseigne les méthodes de conception de circuit microélectronique analogique en 3ème année. Sa thèse de doctorat a porté sur la conception d'une structure de modulateur sigma-delta agile en technologie GaAs 0.2 μm et son thème de recherche actuelle concerne le radar de type FMCW (Frequency Modulated Continuous Wave).

Filipe Vinci est le titulaire de la Chaire Thales en Conception Analogique Avancée. Créée en 2010 par Thales et Supélec, cette chaire sert de support à la recherche et à l'enseignement dans le domaine interdisciplinaire des signaux mixtes et de la conception de systèmes analogiques, favorisant ainsi l'intérêt des étudiants vers les carrières d'ingénierie des systèmes analogiques. En matière de recherche, la Chaire Thales mène des travaux sur les domaines des capteurs MEMS résonants, de la modélisation hétérogène, et du test des circuits mixtes/RF. En matière d'enseignement, le titulaire donne des cours aux élèves de 3ème année de Supélec autour du thème "modélisation des systèmes multi-domaines".

Francis Trélin est technicien (DUT Mesures Physiques). Embauché à Supélec en 1989, il assiste l'équipe microélectronique pour la réalisation des circuits (layout) ainsi que pour le maintien des systèmes de CAO (administration système, CAD, PDK). Son expérience lui permet d'assister les utilisateurs et d'encadrer les travaux de laboratoire tant en ce qui concerne le maniement des outils que la réalisation des layouts. A ce titre il a rédigé des manuels pédagogiques destinés aux utilisateurs et concepteurs débutants avec les outils Cadence (Virtuoso, Encounter).

10. Références

- [1] Introduction à la CAO des circuits intégrés : Méthodologie et outils de conception. Polycopié de Supélec.
- [2] Synthèse logique et placement-routage des fonctions numériques. Polycopié de Supélec.