

# NANOCRYSTALS INSIDE : FABRICATION DE COMPOSANTS MEMOIRES MOS A BASE DE NANOCRISTAUX DE SILICIUM

J. GRISOLIA<sup>1,2</sup>, G. BEN ASSAYAG<sup>3</sup>, R. DIAZ<sup>1</sup>, CH. DUPRAT<sup>2</sup>, F. GUERIN<sup>2</sup>, C. CAPELLO<sup>2</sup>, C. ROUABHI<sup>2</sup>, F. GESSINN<sup>2</sup>, M. RESPAUD<sup>2</sup>

<sup>1</sup>LPCNO/INSA: Laboratoire de Physique et Chimie de Nano-Objets, 135 Avenue de Rangueil, 31077 Toulouse,

<sup>2</sup>AIME pôle CNFM de TOULOUSE,

<sup>3</sup>CEMES : Centre d'Elaboration de Matériaux et d'Etudes Structurales, 29 rue J. Marvig, BP 94347, 31055 Toulouse.

**Résumé :** *Cet article présente une formation de courte durée, en salle blanche, donnant une approche pratique complète du concept « NANO-INSIDE » appliqué à la réalisation de mémoire de type FLASH par l'intégration de nanocristaux de silicium dans la technologie NMOS. Il aborde toutes les opérations de fabrication des circuits intégrés de type « mémoires », ainsi que leurs caractérisations à la fois matériaux et composants (électriques). In fine, le but est de montrer à un public étudiant comment une information peut être mémorisée avec des objets nanométriques de façon durable et conservée même sans alimentation.*

L'explosion du marché des appareils multimédia, des systèmes portables ou nomades (téléphone, ordinateur, ...) et des technologies embarquées a eu pour conséquence un développement considérable du marché des composants mémoires. Ce développement a été motivé par le besoin de gérer et de stocker des quantités de données de plus en plus importantes, avec des vitesses d'accès et de traitement accélérées, sur des supports de plus en plus petits, tout en consommant de moins en moins d'énergie. Cet essor est aujourd'hui un enjeu commercial important qui stimule l'industrie et la recherche. Dans le domaine des mémoires non volatiles de type « Flash », cette tendance à la miniaturisation conduit à réduire les tensions d'adressage ainsi que l'épaisseur d'oxyde de grille, mais aussi à des temps de rétention toujours plus élevés (80% de la charge pendant 20 ans au lieu de 10 ans). Malheureusement, ces objectifs sont quasiment impossibles à tenir avec une technologie de stockage de charge dans une grille flottante en polysilicium. Dans ce cadre, le remplacement de cette grille par une couche granulaire de nanocristaux de Si enfouis dans l'oxyde de grille semble très prometteur et permettrait de repousser les limites actuelles de ces mémoires [1]. En effet, elle permet en particulier de limiter et de diminuer la perte de charge pour des épaisseurs d'oxyde comprises entre un et dix nanomètres. En outre, si le nombre d'électrons et donc de nanocristaux est faible, des effets de transport quantifiés apparaissent jusqu'à la température ambiante pour des dimensions nanométriques. Ce concept, dit « Nano-Inside », permet le développement d'une technologie hybride qui inclut des objets de taille nanométrique tout en restant compatible avec la technologie CMOS. Ces objets permettront alors d'envisager des applications « grand public » du type mémoires Flash de nouvelle génération, mémoires à un électron [2], interconnexions optiques de circuits intégrés [3], dispositifs électroluminescents (DEL), et ce à température ambiante.

La déclinaison de cette technologie en une formation de courte durée met ici en œuvre un procédé de synthèse de nanocristaux (NCs) par implantation ionique à très basse énergie ( $\leq 1\text{keV}$ ), procédé « NANOCRYSTALS INSIDE », permettant de fabriquer un plan 2D de nanocristaux de silicium de taille inférieure à 3 nm dans une couche de SiO<sub>2</sub> ultra-fine (<10nm) [4, 5, 6] à l'aide des moyens de l'AIME, du CEMES/CNRS et du LPCNO/INSA. Cette formation se déroule en salle blanche et permet d'aborder par la pratique l'ensemble des procédés de micro-nanotechnologies appliqués à l'intégration de nanocristaux de silicium dans la technologie NMOS. Elle met ainsi en œuvre toutes les opérations de fabrication des

circuits intégrés de type « mémoires », ainsi que leurs caractérisations à la fois matériaux et composants. Les étudiants utilisent un procédé basé sur 4 niveaux de masquage pour réaliser des composants mémoires de type N à grille polysilicium auto-alignée. Ce procédé peut être réalisé en 8 demi-journées et le reste du temps est consacré à la caractérisation des divers éléments réalisés (matériau et composants). In fine, le but est de montrer à un public étudiant comment une information peut être stockée sous forme de charge électrique dans des objets nanométriques de façon durable et conservée même sans alimentation.

En partant d'un wafer de silicium vierge (ou oxydé), les étudiants effectuent les diverses opérations de fabrication des composants (photolithographies, gravures chimiques et sèches, oxydations thermiques, dépôts de couches minces de polysilicium et d'oxyde de grille, dopage par diffusion thermique, synthèse des nanocristaux par implantation ionique très basse énergie et recuit inerte et/ou oxydant, métallisation). Le procédé utilisé par les étudiants peut être résumé en 12 grandes étapes décrites ci-dessous :

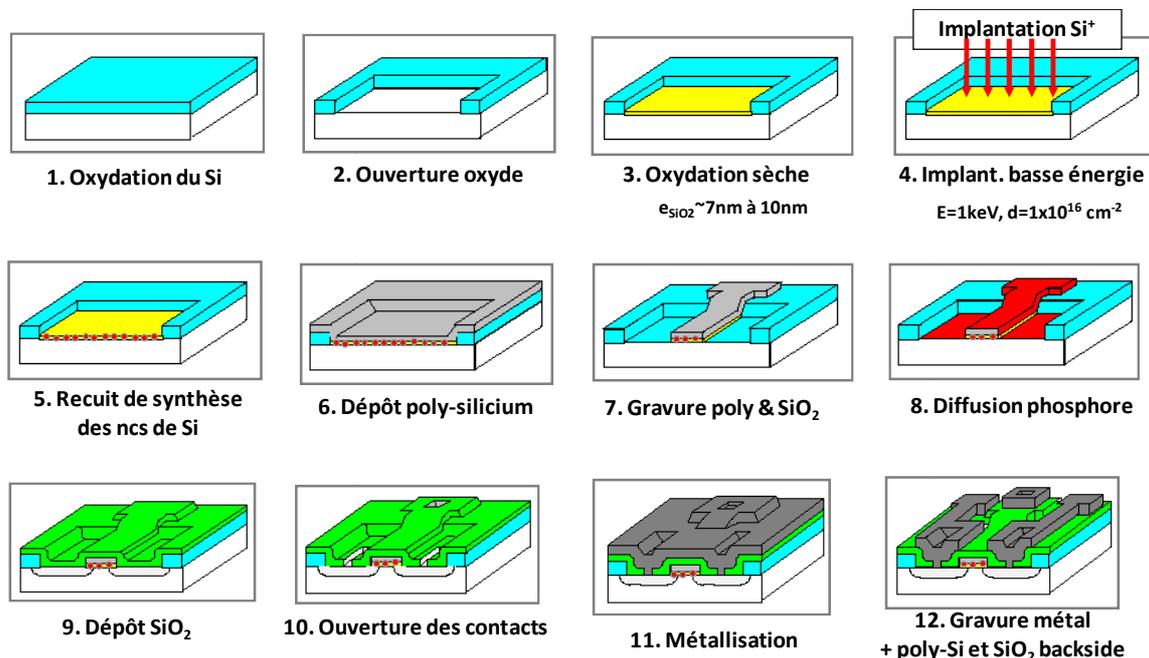


Figure 1 : Enchaînement des étapes technologiques pour la réalisation de transistors NMOS « mémoire » incorporant des nanocristaux de silicium enfouis dans une couche de silice inférieure à 10nm.

A l'issue de ces 12 grandes étapes, qui représentent 4 jours de procédé, les étudiants obtiennent des cellules mémoires élémentaires illustrées ci-dessous Figure 1 à gauche. Ces cellules comportent deux transistors MOS dits canal court (TCC) et canal long (TCL), deux capacités MOS, une photodiode, et des éléments permettant de tester le contact métal/semiconducteur ainsi que la résistivité des couches d'aluminium et polysilicium.

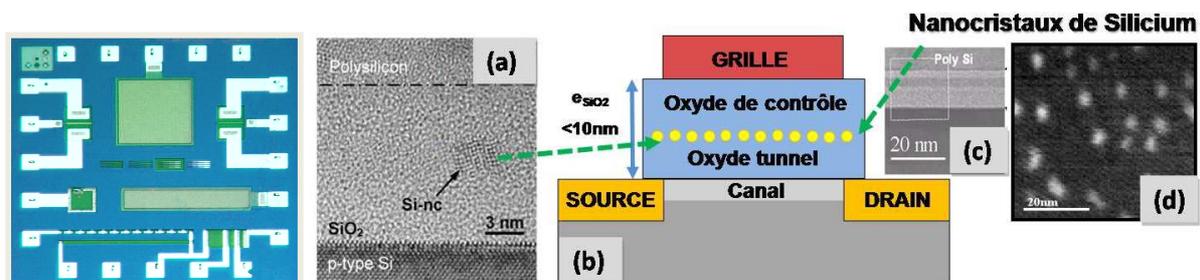


Figure 2 : (gauche) image optique d'une cellule élémentaire comportant les transistors MOSFET mémoire ; (droite) (a) Image en section transverse par microscopie électronique haute résolution d'un nanocrystal de Silicium dans SiO2. (b) Coupe schématique d'un transistor MOS à base de nanocristaux de Silicium dans SiO2 (c) Image en section transverse du

plan de nanocristaux synthétisé à basse énergie => localisation (d) Image en vue plane par microscopie électronique d'une population de nanocristaux de Silicium dans SiO2

Pour garantir un bon rendement de fabrication, ils effectuent des caractérisations physiques (épaisseurs des couches, résistivité, profondeur de jonction). Des caractérisations structurales supplémentaires ont par ailleurs été réalisées au CEMES sur ces structures et montrent la présence de nanocristaux de silicium d'une taille moyenne de 3nm enfouis dans l'oxyde  $\leq 10\text{nm}$ . Ce plan de nanocristaux se trouve à des distances tunnel du canal et permet l'injection de porteurs servant à charger les nanocristaux. Les composants sont ensuite découpés et montés en boîtier afin de procéder aux tests électriques des structures réalisées (diodes, résistances, capacités et transistors MOS). Ils portent ensuite un soin particulier aux tests électriques fonctionnels déterminant les caractéristiques de lecture, écriture et effacement des mémoires à nanocristaux ainsi qu'aux tests de performances: rétention et endurance à différentes températures, au LPCNO.

### 3.1. Principe et réalisation du banc de test des mémoires

A partir des composants réalisés, les étudiants caractérisent les mémoires grâce à un montage d'endurance des mémoires basé sur les travaux de T. Ohzone [7]. Ils appliquent un signal sinusoïdal à la grille  $\pm V_G$  d'amplitude suffisamment élevée afin de cyclé la mémoire entre un état chargé et un état déchargé, et ainsi suivent l'effet mémoire d'un composant sous des conditions de fonctionnement dynamique :

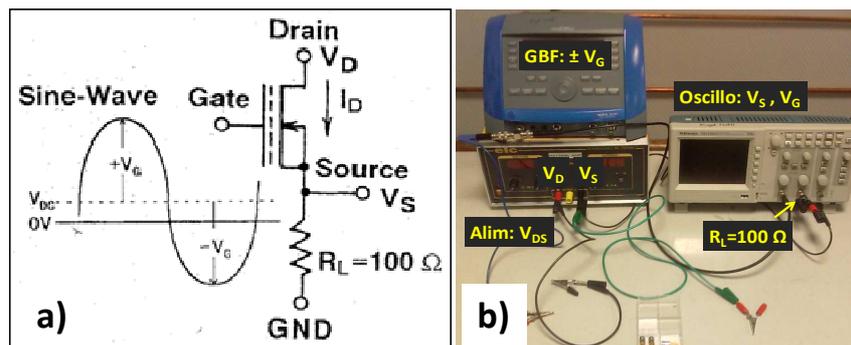


Figure 3 : a) Schéma électrique du montage de T. Ohzone [7] permettant de suivre l'évolution de la fenêtre mémoire dans un transistor à nanocristaux au cours de cycles d'écritures et d'effacements, b) Banc de test réalisé à partir de ce schéma, comprenant une alimentation, un générateur basse fréquence (GBF), un oscilloscope et résistance 100  $\Omega$

### 3.2. Tests préliminaires des transistors MOSFET sans et avec nanocristaux:

Dans un premier temps, les étudiants balayent rapidement la fréquence de la tension de grille afin de voir si une fenêtre mémoire apparaît. Comme le montre les caractéristiques  $I_D - V_{GS}$ , une fenêtre mémoire ( $\Delta V_T$ ) d'environ 1V pour des cycles à basse fréquence (BF) ( $f \sim 100\text{Hz}$ ) est obtenue pour les transistors TCC à nanocristaux (a), tandis qu'aucune fenêtre apparaît ( $\Delta V_T = 0$ ) pour les transistors TCC à oxyde vierge (b).

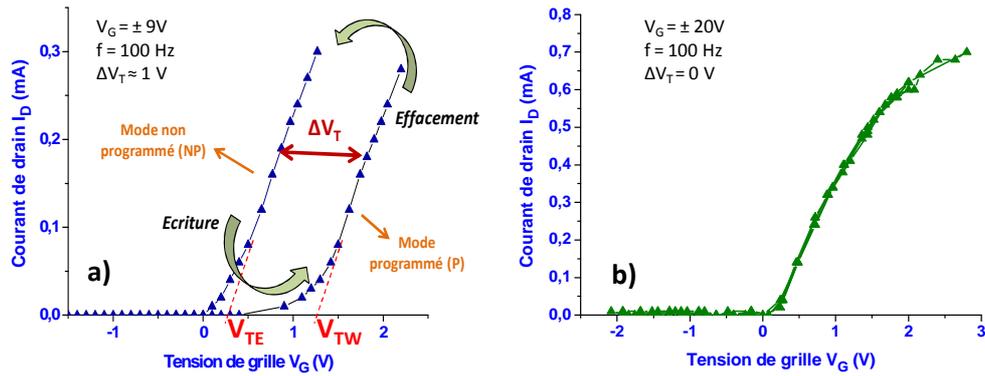


Figure 4 : Courbes  $I_D$ - $V_{GS}$  extraites de mesures cyclées à basses fréquence (100 Hz) sur un « transistor canal court » : a) à  $V_{GS} = \pm 9V$  et  $V_{DS} = 0,15 V$ , b) à  $V_{GS} = \pm 20V$  et  $V_{DS} = 0,15 V$

Ces mesures cyclées présentent l'avantage d'obtenir le sens de l'hystérésis de la fenêtre mémoire. La courbe de droite sur la Figure 4a correspond à l'état « chargé » lorsque des électrons sont piégés/stockés dans l'oxyde ; la mémoire étant alors « écrite », la cellule mémoire élémentaire est donc en mode programmé (P). A l'inverse, la courbe de gauche correspond à l'état « déchargé », pour lequel les pièges (*i.e.* les NCs) sont vidés de leurs charges. La mémoire est alors effacée et la cellule mémoire est en mode non programmé (NP). Lorsque l'on passe du mode P au mode NP, le point de pincement supérieur de l'hystérésis ( $I \neq 0$ ,  $V_{GS} > 0$ , non présenté sur la courbe) indique l'effacement de la mémoire tandis que le passage du mode NP au mode P (point de pincement tel que  $I = 0$  et  $V_{GS} < 0$ ) indique que la mémoire est en cours d'écriture.

Cette figure montre aux étudiants que la densité de pièges à l'interface entre le substrat et l'oxyde de grille, générés lors de l'élaboration de l'oxyde mince, restent très inférieure à la densité de nanocristaux introduits, et ainsi que ce sont bien les nanocristaux qui gouvernent les caractéristiques de leur mémoire.

### 3.3. Test en fréquence des transistors à ncx :

Après obtention de ce maximum local à BF, les étudiants répètent les mesures sur une série de transistors (TCC et TCL), avec et sans nanocristaux, en prenant davantage de points de mesures pour étudier finement l'évolution de la fenêtre mémoire en fonction de la fréquence. Ils font alors varier la fréquence entre le domaine des BF et la limite en hautes fréquences (HF) permise par le montage ( $\sim 500$  kHz). Ils obtiennent alors la Figure 5 ci-dessous présentant l'évolution des valeurs de tension de seuil d'effacement ( $V_{TE}$ ) et d'écriture ( $V_{TW}$ ) (Figure 5a) et la largeur de fenêtre mémoire  $\Delta V_T = V_{TW} - V_{TE}$  (Figure 5b) en fonction de la fréquence pour une tension  $V_{GS}$  et une tension  $V_{DS}$  donnée.

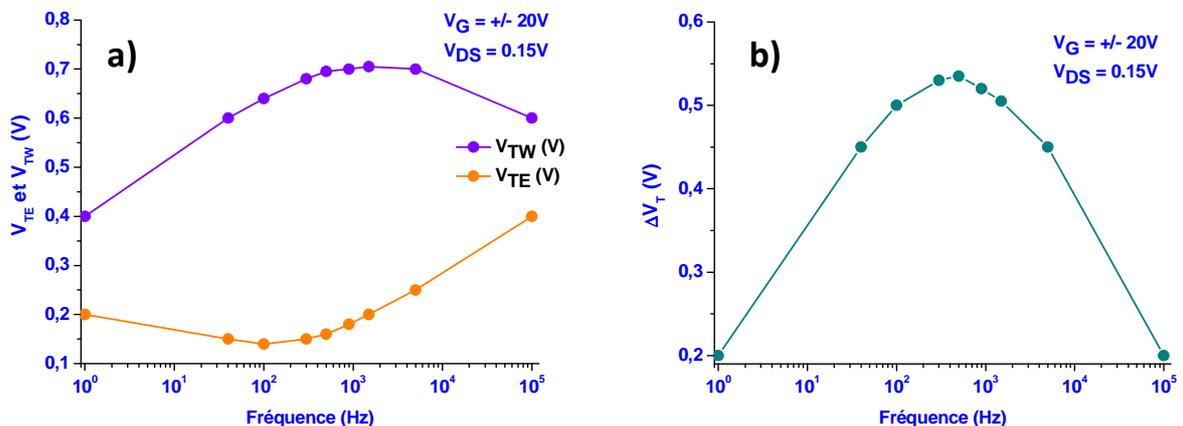


Figure 5: a) Mesures à T=300K de  $V_{TW}$  et  $V_{TE}$  à  $V_{GS} = \pm 20V$  et  $V_{DS} = 0,15V$  pour un TCC dans une gamme de fréquences de 1 Hz - 100 kHz, b) fenêtre mémoire  $\Delta V_T = V_{TW} - V_{TE}$  correspondante, présentant un maximum local à BF ( $\approx 500$  Hz)

Cette figure montre, pour des tensions de  $V_{GS} = \pm 20V$  et  $V_{DS} = 0,15 V$ , que la fenêtre mémoire  $\Delta V_T$  présente un maximum d'une valeur de 0,54V à une fréquence d'environ  $f \approx 500$  Hz. Cette fenêtre mémoire reste élevée sur toute la gamme 50 Hz – 5 kHz et devient nulle au-delà de 105 Hz.

### 3.4. Test en tension fréquence des transistors à ncx : En fonction de la tension de grille $V_{GS}$

Les étudiants fixent alors la fréquence pour obtenir la fenêtre mémoire la plus grande et étudient ensuite l'évolution de  $\Delta V_T$  en fonction de la tension  $V_{GS}$ . Par exemple, la Figure 6 présente les mesures réalisées à  $f=50Hz$ , à température ambiante et sous faible polarisation  $V_{DS}=0,2V$  pour un transistor TCC.

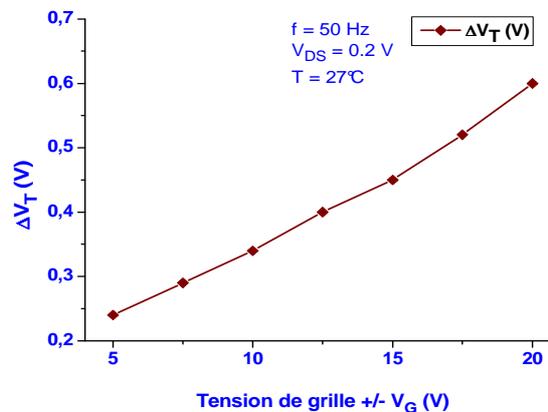


Figure 6 : Evolution de la fenêtre mémoire  $\Delta V_T$  avec l'augmentation de la tension  $V_{GS}$ , pour un TCC.

Les étudiants observent sur cette figure une augmentation linéaire de la fenêtre mémoire avec  $V_{GS}$ , ce qui concorde avec les observations d'Ohzone *et al.* [7]. Cependant, nous montrons ensuite aux étudiants qu'une augmentation de  $V_{GS}$  peut également mener à une dégradation de l'interface Si/SiO<sub>2</sub> au cours du temps, provoquant une diminution de la tension de seuil du transistor et donc de la largeur de la fenêtre mémoire. Pour vérifier la stabilité de la fenêtre mémoire en fonction de la polarisation de grille, les étudiants testent leurs composants en « endurance » pour trois valeurs de  $V_{GS}$  à la fréquence optimale, ici  $f=75Hz$  (Figure 7)

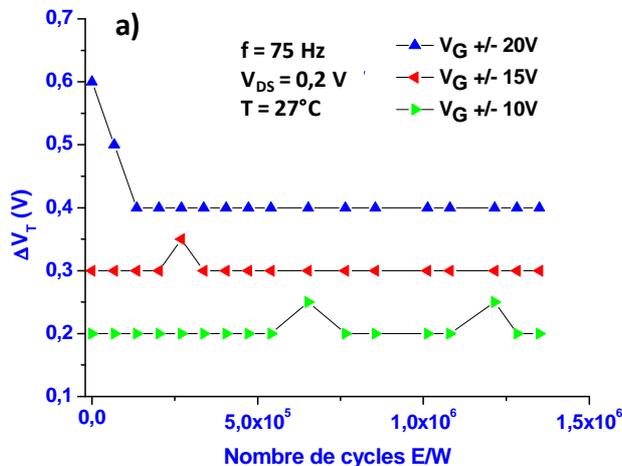


Figure 7: Test d'endurance d'un TCC pour trois valeurs de  $V_{GS}$  ( $\pm 10V$ ,  $\pm 15V$  et  $\pm 20V$ ) à basse fréquence ( $f=75$  Hz), à température ambiante et pour  $V_{DS}=0,2V$ .

Les valeurs initiales de  $\Delta V_T$  à  $f=75$  Hz sont respectivement de 0,6V, 0,3 V et 0,2V pour des tensions  $V_{GS} = \pm 20V$ ,  $\pm 15V$  et  $\pm 10V$ . Après moins de  $2 \times 10^5$  cycles E/W, cette valeur diminue à 0,4V pour  $V_{GS} = \pm 20V$  mais reste stable ensuite tout au long de la mesure ( $>1,4 \times 10^6$  cycles d'effacement/écriture). Aucune diminution n'est constatée pour les tensions plus faibles, et ce sur toute la durée de la mesure.

Le public visé par ce stage est hétérogène tant par la provenance et le niveau (IUT, Licence, Masters, Ingénieurs, Formation continue,...) que par la dominante de la formation (électronique, physique, matériaux,...).

En outre, cette formation s'est vue récemment étendue à l'international grâce au programme Européen de formation de doctorant et post-doctorant: EURO-DOTS (<http://eurodots.org/>). Ce programme établi dans le cadre du projet d'action EC7 (257051), vise à améliorer l'offre et la qualité de la formation dispensée aux étudiants européens en doctorat (notamment en Micro/Nanoélectronique). Il contribue à répondre aux exigences de crédits ECTS imposées aux doctorants par les grandes universités européennes pour l'obtention du doctorat (PhD) en ingénierie. Un ensemble de cours avancés en Micro/Nanoélectronique cohérent avec la formation pratique et explicitement reconnu par de grandes universités européennes dans le cadre de leur programme de doctorat, est donc maintenant accessibles aux doctorants européens, offrant la possibilité de recueillir des crédits ECTS dans toute l'Europe. Dans ce cadre, les cours de cette formation portent sur les aspects à la fois fondamentaux, technologiques et industriels. Ils nous permettent alors de nous situer à la frontière du «More Moore» et du «More than Moore», afin de mettre l'accent d'une part sur l'augmentation des performances des mémoires non-volatiles de type Flash au travers de la réduction des dimensions physiques et d'autre part sur l'augmentation du nombre et du type de nouvelles fonctionnalités qui pourront être introduites dans les futurs circuits intégrées (e.g. le blocage de Coulomb, les SET, les SEM...). Une description du contenu de cette semaine de formation «Nanocrystals-inside» dans le cadre d'EURO-DOTS est décrite à l'adresse suivante : <http://www.aime-toulouse.fr/cmsms/index.php?page=nanocrystal-inside>.

Cette technologie est vouée à se développer puisqu'elle est en lien direct avec la recherche. En effet, elle émane et est utilisée au LPCNO et au CEMES par plusieurs chercheurs, enseignants-chercheurs et doctorants. Plusieurs pistes d'évolution sont privilégiées :

- d'une part nous implémenterons dans ce stage l'implantation ionique basse énergie couplée à la localisation par technologie STENCIL [8, 9] développée par le LPCNO/CEMES et l'EPFL (Suisse) depuis plusieurs années. L'objectif devient alors de ne synthétiser qu'un nombre réduit (et contrôlé) de NCS, voire un nanocrystal unique, dans la grille du transistor, en contrôlant au mieux la taille et la position au sein de l'isolant de grille. Puis dans une troisième étape, afin de développer des applications optiques, nous réaliserons des électrodes transparentes en ZnO issues de notre collaboration avec le CIRIMAT.
- d'autre part, ce procédé sera transposé dans le cadre de la formation LUMELEC proposée à l'AIME pour incorporer des nanocristaux de Si et d'Ag en surface de petites cellules photovoltaïques pédagogiques afin d'augmenter le rendement de ces dernières [10].

Au travers de cet article, nous avons souhaité présenter de façon synthétique la semaine de formation «Nanocrystals-inside» proposé aux étudiants en Micro-nanotechnologie. Cette semaine de formation est axée sur la réalisation de mémoire de type FLASH par l'intégration de nanocristaux de silicium dans la technologie NMOS. Les composants réalisés sont ensuite caractérisés en termes de matériaux et testés électriquement

afin de montrer à un public étudiant comment une information peut être mémorisée avec des objets nanométriques de façon durable et conservée même sans alimentation. Des tests de performances des mémoires viennent conclure la semaine de formation.

Les auteurs souhaiteraient remercier les étudiants de 4<sup>ème</sup> année du Département de Génie Physique de l'INSA de Toulouse qui se prêtent à cette formation depuis maintenant plusieurs années.

- 1 - S. Tiwari, F. Rana, H. I. Hanafi, A. Hartstein, E. F. Crabbé, and K. Chan, Appl. Phys. Lett. 68, 1377 (1996).
- 2 - K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, and K. Seki IEEE Trans. Electron devices ED 41, 1628 (1994)
- 3 - D.A.B. Miller "Physical reason for optical interconnect, Journal of Optoelectronics, 1997, Vol11, pp.155-168.
- 4 - C. Bonafos, M. Carrada, N. Cherkashin, H. Coffin, D. Chassaing, G. Ben Assayag, A. Claverie, T. Müller K. H. Heinig, M. Perego, M. Fanciulli, P. Dimitrakis, and P. Normand, J. Appl. Phys. 95, 5696 (2004).
- 5 - P. Normand, P. Dimitrakis, E. Kapetanakis, D. Skarlatos, K. Beltsios, D. Tsoukalas, C. Bonafos, H. Coffin, G. Benassayag, A. Claverie, V. Soncini, A. Agarwal, Ch. Sohl, and M. Ameen, Microelectron. Eng. 73-74, 730 (2004).
- 6 - C. Dumas, J. Grisolia, G. BenAssayag V. Paillard, J. Brugger et al. Phys. Stat. Sol. (a) 204, 487-491 (2007).
- 7 - T. Ohzone, T. Matsuda, T. Hori, IEEE Trans. Electron Devices 43 (1996)
- 8 - C. Dumas (2008) : Synthèse par implantation ionique, adressage, caractérisations électriques et optiques d'un nombre réduit de nanocristaux de Si dans SiO<sub>2</sub>. Institut National des Sciences Appliquées de Toulouse : <http://eprint.insa-toulouse.fr/archive/00000248/>
- 9 - R. Diaz (2011) : Développement du pompage de charges pour la caractérisation in-situ de nanocristaux de Si synthétisés localement dans SiO<sub>2</sub> par implantation ionique basse énergie et lithographie stencil. Institut National des Sciences Appliquées de Toulouse : <http://www.theses.fr/2011ISAT0034>
- 10 - Formation LUMELEC <http://www.aime-toulouse.fr/cmsms/index.php?page=lumelec>