

Testabilité d'un circuit intégré mixte dédié à la mesure d'un champ magnétique

François SCHWARTZ
Luc Hébrard
Anthony Bozier
Université de Strasbourg -
ICUBE
300 bd Sébastien Brant
BP 10413
F-67412 Illkirch Cedex
francois.schwartz@unistra.fr
luc.hebrard@unistra.fr

Béatrice PRADARELLI
CRTC - Pôle CNFM de
Montpellier
161, rue Ada
F-34392 Montpellier Cedex 5
beatrice.Pradarelli@cncm.fr

Laurent LATORRE
Pascal NOUET
Régis LORIVAL
LIRMM - Pôle CNFM de
Montpellier
161, rue ADA
F-34095 Montpellier Cedex 5
latorre@lirmm.fr
nouet@lirmm.fr
lorival@lirmm.fr

Résumé : *La filière master à spécialité micro-nano électronique de l'université de Strasbourg propose un enseignement pratique de la testabilité de circuits intégrés mixtes analogique-numérique. Une séquence pédagogique est présentée et guide l'étudiant dans le test d'un circuit capteur intégrant une chaîne instrumentale complète. Cette séquence d'apprentissage utilise le testeur industriel du pôle de Montpellier avec lequel une connexion à distance permet d'assurer le pilotage de la carte de test. Deux volets sont abordés. Le premier volet traite du test numérique et concentre son action sur une fonction particulière du capteur qui implémente à la fois de la logique combinatoire et séquentielle. Les techniques de test standardisées de l'industrie y sont présentées et expérimentées. Le second volet oriente l'étudiant dans le test des fonctions analogiques du capteur où des approches de caractérisation permettent d'en évaluer les performances. Enfin, un regard est porté sur la méthodologie globale de conception d'un circuit intégré et de son test en particulier.*

Mots clés : *testabilité, capteur magnétique à effet Hall, OTA, Smartest, test structurel, chaîne de scan, Tetramax, distorsion différentielle de linéarité DNL, non-linéarité intégrale INL, SNR.*

1. Introduction

La séquence pédagogique présentée dans cet article s'inscrit dans la formation Master à spécialité Micro et Nano Électronique de l'Université de Strasbourg. Les étudiants en première année de Master disposent de quatre séances de 4 heures pour découvrir les techniques de test industriel appliquées à un capteur intégré sur puce dédié à la mesure de champ magnétique. Cette séquence d'apprentissage utilise les ressources du réseau national de la CNFM (Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies) et en particulier le testeur industriel du pôle CNFM de Montpellier avec lequel une connexion à distance permet d'assurer le pilotage d'une carte de test. Ces deux séances de travaux pratiques finalisent la séquence pédagogique initiée par le dimensionnement des blocs fonctionnels du capteur sous logiciels de simulation. Le cheminement du processus de conception d'un circuit est de fait ponctué par le développement de programmes de test offrant à l'étudiant un retour d'expérience sur les techniques du test industriel et sur son coût. Enfin, l'étudiant est à même d'appréhender, à partir de l'analyse des résultats, les actions nécessaires pour augmenter le rendement de fabrication d'un tel circuit.

Le support pédagogique est présenté dans la section 2. Le fil rouge de la séquence d'enseignement est quant à lui déroulé dans la section 3 en donnant un aperçu global des différentes techniques de test numérique et analogique qui seront expérimentées par l'étudiant. Ces techniques sont présentées en détails dans les sections 4 et 5. Enfin, une conclusion permet de définir de nouvelles perspectives en vue de proposer en complément davantage de séquences d'apprentissage.

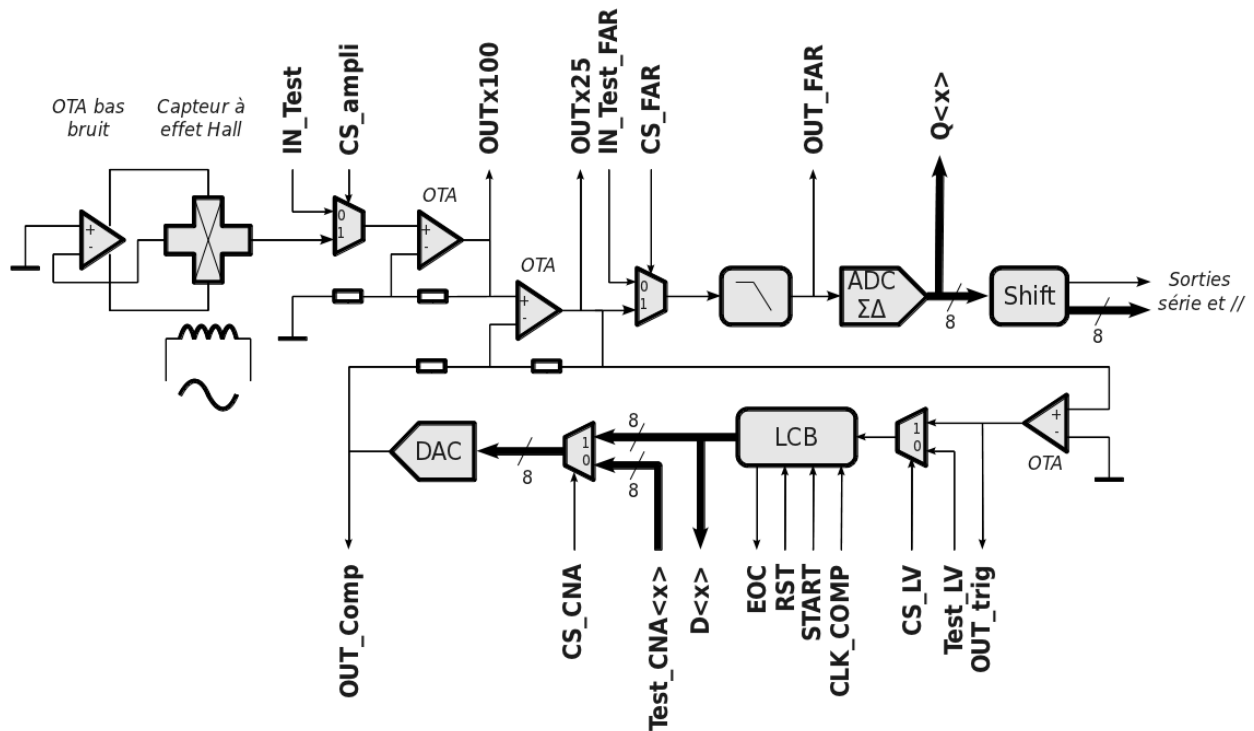


Figure 1 : Synoptique de la chaîne d'instrumentation

2. Présentation du support de test

Cette section présente le support de test dans ses détails de fonctionnement. Le schéma synoptique de la chaîne instrumentale est donné sur la figure 1. Le circuit est alimenté sous 3,3 V et l'ensemble des signaux d'entrée comme de sortie sont pilotables ou observables depuis les canaux du testeur.

La mesure du champ magnétique est assurée par un capteur à effet Hall en technologie CMOS sur une plage de ± 5 mT [1,2,3]. Ce capteur est polarisé en courant par un amplificateur à transconductance (OTA) à bas bruit [4] et placé dans une boucle de régulation afin de limiter le décalage de la tension de repos. L'excursion du signal délivré par le capteur est limitée à ± 400 μ V. Ce signal est ensuite amplifié jusqu'à atteindre une amplitude de ± 1 V par deux OTA montés en amplificateurs non-inverseur d'un gain respectivement de 100 (signal OUTx100) et de 25 (signal OUTx25). La chaîne complète (capteur à effet Hall avec son OTA de polarisation et les deux OTA d'amplification) introduit une tension d'offset qui est minimisée par un dispositif de compensation [5]. Ce dispositif appelé « compensation d'offset » comprend un OTA monté en comparateur, un bloc logique de contrôle ou LCB, et un convertisseur numérique-analogique à réseau R-2R. L'idée consiste à maintenir la tension de repos du signal amplifié OUTx25 au point milieu de la tension d'alimentation (1,65 V) par le biais du comparateur qui active ou non le LCB (signal OUT_trig). A son tour, le LCB délivre par dichotomie sur un octet un code numérique qui traduit le décalage nécessaire pour compenser l'offset de la tension OUTx25. Ce code numérique est converti par le DAC dont la plage de tension est comprise entre 0,65 V et 2,65 V (signal OUT_Comp). L'architecture en amplificateur de différence produit en sortie un signal amplifié OUTx25 lié par la relation $OUTx25 = 25 \cdot OUTx100 - 24 \cdot OUT_Comp$. Ce signal est ensuite numérisé à l'aide d'un convertisseur 8 bits $\square\square$ avec filtre anti-repliement du second ordre. On dispose alors soit d'un signal numérique codé en parallèle sur 8 bits, soit d'une trame mono-bit codée sur une sortie série. Le circuit peut également être stimulé par des signaux externes. D'autre part, un signal sinusoïdal peut être appliqué à une bobine excitatrice placée au-dessus du capteur de Hall pour produire un champ magnétique [1]. De la même façon, il est possible d'injecter un signal analogique dans la

chaîne d'instrumentation afin de simuler la présence d'un champ magnétique (signal IN_Test). Enfin, du côté du LCB, le signal Test_LV permet d'activer le processus algorithmique par dichotomie. Les sorties numériques du LCB sont alors accessibles par les sorties D0 à D7. Le DAC peut être quant à lui isolé du reste de la chaîne et testable en contrôlant l'état des signaux numériques d'entrée Test_CNA<x>. Le signal de sortie du convertisseur est observable depuis la sortie « bufferisée » OUT_Comp.

L'ensemble du projet comprenant la fabrication du circuit ainsi que les outils de test sont entièrement financés par le CNFM. Une image du layout du capteur intégré avec le bonding est donnée sur la figure 2 où les principaux blocs implémentés dans le silicium en technologie CMOS 0.35 sont indiqués. Le testeur est raccordé à la carte de test via une nappe et des câbles BNC. Une photographie de l'ensemble est donnée sur la figure 3, on y distingue notamment la carte de test sur laquelle est soudée le capteur et les composants nécessaires à la régulation des tensions d'alimentations ainsi qu'à la génération des signaux d'horloge.

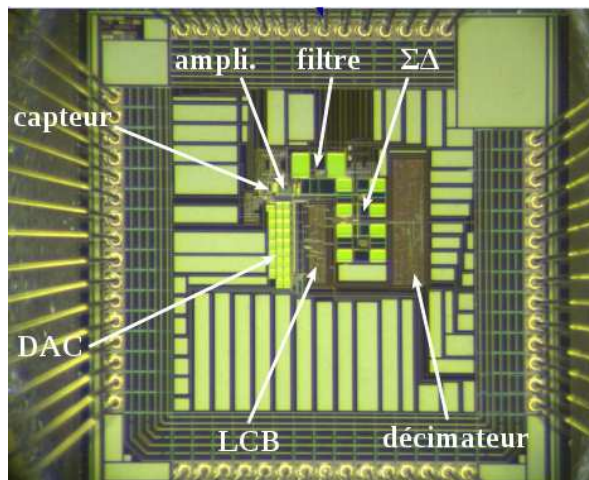


Figure 2 - Layout du capteur intégré

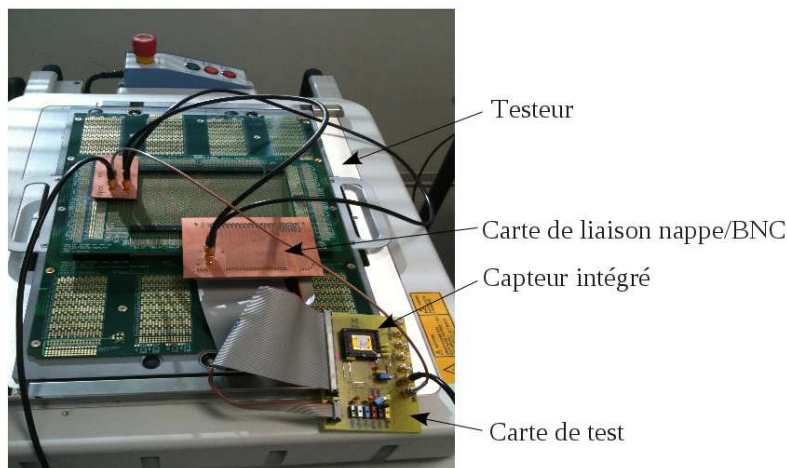


Figure 3 - Testeur avec la carte de test

3. La séquence d'enseignement

L'enseignement du test assure une continuité dans l'étude et le dimensionnement des blocs de la chaîne instrumentale. Les performances des OTA et du LCB ont été au préalable évaluées par simulation selon le processus classique de conception. Une description comportementale de chaque bloc a été ainsi développée en VHDL-AMS puis simulée. La synthèse du bloc numérique (bloc LCB) et le dimensionnement des blocs analogiques (OTA, réseau R-2R) font ensuite l'objet d'un

ensemble de 44 heures de travaux pratiques où la conception du système, allant de la simulation au dessin physique des masques, est abordée sous la forme d'un projet accompagné. Une simulation mixte tenant compte des caractéristiques de dispersion lors de la phase de fabrication permet au final de vérifier l'adéquation performances-spécifications et de clore le premier cycle d'enseignement.

Le second cycle d'enseignement, objet de cet article, est consacré au test du circuit avec un cours magistral suivi de quatre séances de travaux pratiques de 4 heures chacune. Les étapes du test industriel sont alors abordées en introduisant la philosophie générale puis en glissant progressivement vers l'outil de test et son environnement supporté par l'application Smartest®. L'étendue des possibilités de test offerte par l'outil préconise une approche ciblée vers l'étude d'un circuit numérique basique tel une bascule D par exemple. Une telle étude permet de focaliser les aspects liés à l'allocation des broches du testeur, au paramétrage des niveaux des signaux numériques de test, et des timings utilisés. Cette étude permet surtout d'aborder le concept de vecteur de test en insistant bien sur la relation entre l'état des signaux attendu et l'état des signaux réellement observé. Enfin, une simulation d'un flot de test est réalisé en mode « offline » dont les résultats sont basés sur une évaluation purement calculatoire. Ce mode a pour avantage de faire profiter simultanément tous les étudiants de l'exécution complet d'un flot de test.

Au terme de cette étude, l'étudiant possède les bases d'une configuration type de test d'un circuit numérique. C'est à la suite de cette étude qu'est abordée la chaîne instrumentale et en particulier le bloc logique de contrôle ou LCB. Les compétences acquises lors de l'étude de la bascule D permettent à l'étudiant de rapidement prendre en main l'outil et d'aborder les différents aspects de la configuration d'un test numérique dans la détection de fautes du bloc LCB. L'accent est en particulier mis sur l'élaboration de vecteurs de test afin de contrôler la fonctionnalité de la structure. Deux stratégies sont étudiées avec pour objectif la minimisation des coûts de test. La première stratégie consiste à vérifier la fonctionnalité du LCB en simulant un cas particulier d'offset et d'observer l'adéquation de la réponse du bloc de compensation avec une situation simulée à l'aide d'un logiciel tiers. La seconde stratégie, davantage en cohérence avec la philosophie du test industriel, s'efforce de maximiser le taux de couverture de fautes en des délais très courts. Le principe de cette stratégie connue sous le nom d'approche structurelle [6] sera évalué en mode « online » c'est à dire en testant réellement le LCB du circuit.

L'accent est ensuite mis sur le test de blocs analogiques avec toutes les précautions que cela implique. La configuration des composants du testeur avec son générateur de fonctions et son échantillonneur est analysée afin de bien cerner les limites de fonctionnement. Il est également question d'évaluation de paramètres fonctionnels statiques du DAC (erreur de linéarité, de gain d'offset, ...) à l'aide des outils de programmation de test proposés par l'application Smartest®. Une analyse statistique par histogrammes permet ensuite d'apprécier la robustesse des performances du convertisseur et d'introduire la notion de rendement qui sous-tend au concept de production de masse. De tels résultats permettent aussi d'aborder les choix réalisés à ce stade dans l'industrie du test et de voir comment est labellisé un circuit qui respecte un nombre donné de critères de performances. Une réflexion est enfin proposée sur la prise en compte dès la conception de blocs testables et des améliorations qui pourraient être envisagées sur le circuit.

4. Test du bloc LCB

Le bloc numérique LCB doit générer, en un temps donné, la combinaison de bits sur un octet qui minimise au mieux l'offset du signal OUTx25 en sortie de la chaîne d'amplification. Le processus de génération de cet octet est démarré en présence d'un état logique haut du signal START sur chaque front montant du signal d'horloge CLK_COMP. Le processus sera réinitialisé sur validation du signal de remise à zéro synchrone RST. L'algorithme implémenté dans le bloc agit par dichotomie en testant successivement tous les bit et en commençant par placer le bit de poids

fort D7 à l'état logique haut et en terminant par celui de poids le plus faible D0. A chacun des tests, l'octet généré par le LCB est converti par le DAC et provoque un déplacement de la tension OUTx25 qui conditionne en sortie du comparateur l'état logique du signal de test OUT_trig. Si le signal OUT_trig reste à l'état logique haut, le bit précédemment testé conserve son état logique haut, et le perd dans le cas contraire. Le processus se poursuit en testant à l'état logique haut le bit de poids immédiatement inférieur. Le calibrage s'arrête dès que le huitième bit D0 a été testé entraînant le positionnement à l'état logique haut du signal de fin de conversion EOC.

La structure du bloc LCB est le résultat d'une synthèse logique réalisée à partir d'une description comportementale VHDL. La figure 4 présente une situation critique d'un offset de 200 mV du signal OUTx25 simulée sous AdvanceMS® à partir de la description comportementale VHDL. Cet offset provoque la saturation haute de la sortie OUTx25 (1,65 V) et donc la mise à l'état logique haut du signal OUT_trig en sortie du comparateur. Le bloc LCB place dans ce cas le bit de poids fort D7 à l'état haut entraînant une compensation grossière au point de faire basculer la sortie OUTx25 en saturation basse (-1,65 V). Ce basculement provoque à son tour une compensation plus douce (niveau du signal OUT_trig à l'état logique bas) en adaptant le niveau en tension de la sortie OUTx25 par la mise à l'état bas du bit D7, et à l'état haut du bit D6. Ce processus dichotomique se poursuit en rectifiant l'ensemble des 8 bit D0 à D7. Une séquence particulière au signal OUT_trig apparaît sur le chronogramme et se traduit par une alternance de niveaux logiques. La chronologie des signaux observée constitue alors une référence à partir de laquelle nous élaborerons les critères de test de comparaison.

Le scénario de test du LCB est le suivant. Après avoir configuré le brochage du circuit sous test, les niveaux de signal, et les timings, l'étudiant définit deux tests : un test fonctionnel puis un test structurel encore appelé scan test [7,8]. La figure 4 illustre l'enchaînement des tests avec l'ajout d'un test supplémentaire de continuité du circuit en cas de défaut du test fonctionnel : la continuité des broches d'entrées et de sorties est vérifiée. Le test fonctionnel permet d'évaluer la fonctionnalité du LCB dans les conditions d'un offset de 200 mV en reprenant l'évolution de l'état logique du signal OUT_trig observée sur le chronogramme de la figure 5.

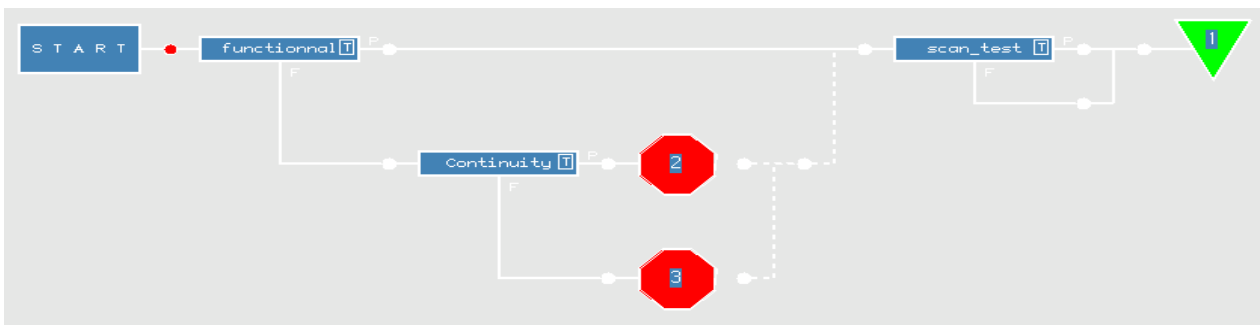


Figure 4 - Flow de test numérique du LCB

Cette séquence est d'abord codée dans un vecteur de test puis appliquée au LCB, et enfin comparée à l'évolution attendue des signaux D0 à D7 en sortie du LCB.

Afin d'étendre le taux de couverture de fautes, un test structurel est ajouté. Néanmoins, ce type de test nécessite une connaissance détaillée des défauts potentiels et des mécanismes de panne afin de représenter ces derniers par des modèles de fautes décrivant le mauvais comportement du circuit. Pour faciliter la phase d'élaboration des vecteurs de test, le logiciel Tetramax® permet de générer une liste de fautes selon différents modèles (collage, court-circuit, transition, ...).

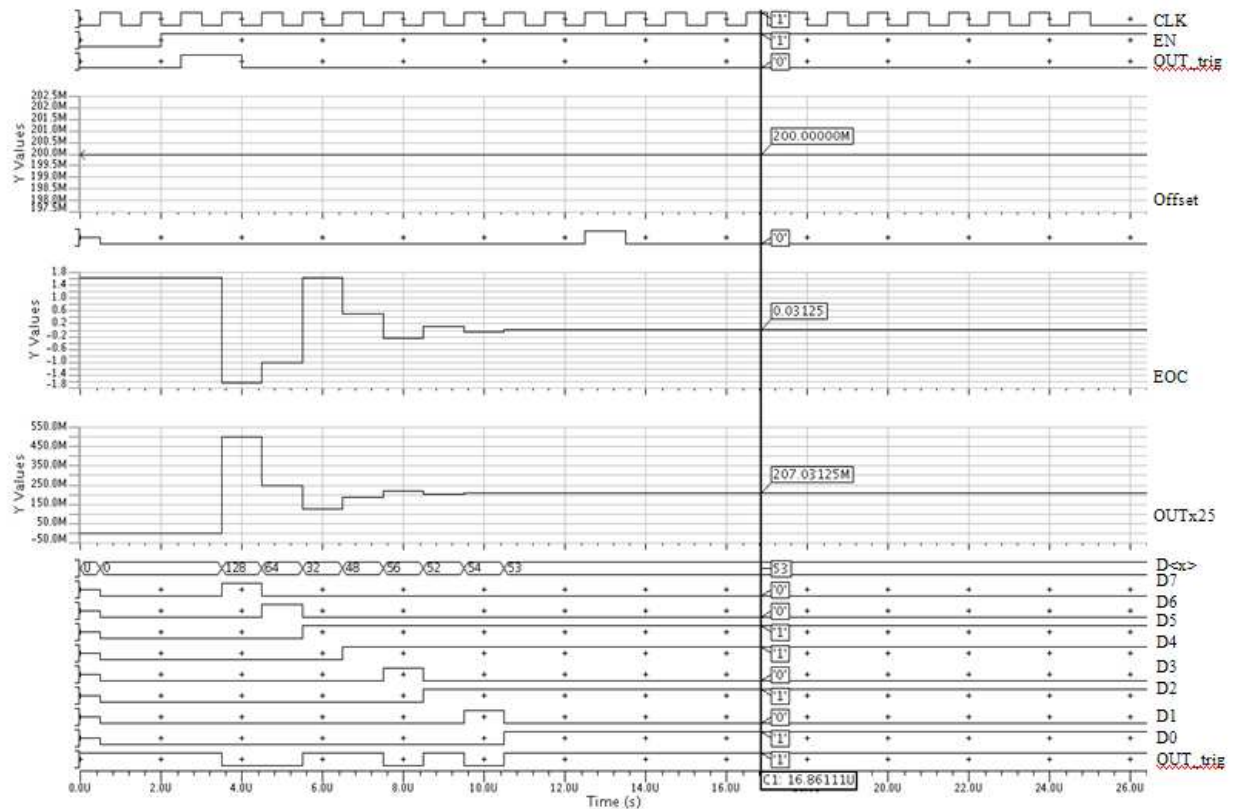


Figure 5 - Simulation comportementale de la boucle de compensation pour un offset de 200 mV

Cette liste est insérée puis propagée à travers le bloc numérique à tester. Il est nécessaire pour cela d'implémenter structurellement des fonctions numériques qui permettront d'acheminer les vecteurs à un point donné du circuit. On parle alors d'insertion d'une chaîne de scan. Cette opération d'insertion est pilotée par le logiciel qui reprend les bibliothèques qui ont servis à la synthèse du bloc LCB et ajoute de nouveaux points d'entrée en lien avec des nœuds interne du circuit. Ces nouveaux points d'entrée communiquent avec l'extérieur (le testeur) ou avec des points de sortie (nœuds interne du circuit). Une vue partielle de la chaîne de scan implémentée dans le circuit est donnée sur la figure 6.

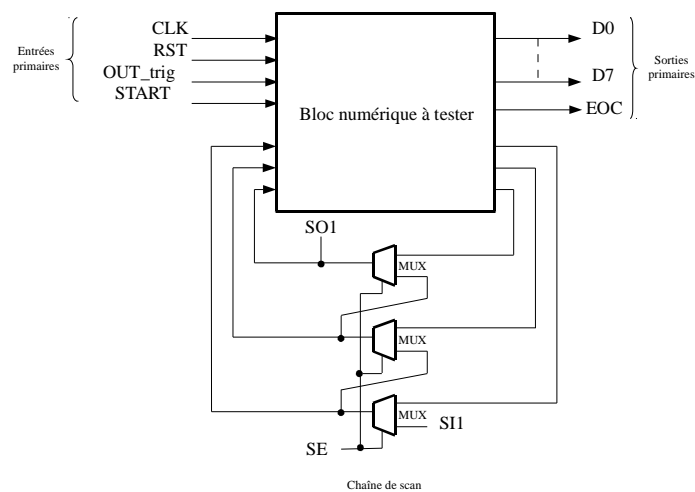


Figure 6 - Chaîne de scan du LCB

La chaîne permet d'obtenir deux modes de fonctionnement :

- le mode de « chargement parallèle » ou mode « normal ». Dans ce mode le circuit conserve sa fonctionnalité initiale (fonction dichotomique dans notre cas).
- Le mode « décalage » ou mode « test ». Dans ce mode, la chaîne de scan est assimilable à un registre à décalage permettant d'introduire progressivement les vecteurs de test en série dans le bloc à tester. Les réponses du circuit aux vecteurs injectés sont capturées en mode « normal » et récupérées en série par la sortie SO1 en mode « test ».

L'insertion d'une chaîne de scan génère des séquences de tests réduites et rend plus facile leur production. On aboutit à une testabilité complète et donc à un taux de couverture de 100%. Le vecteur de test généré est alors repris par l'étudiant dans son test de scan.

5. Test du DAC 8 bits à réseau R-2R

La testabilité analogique est abordée sous son aspect caractérisation des performances du convertisseur numérique-analogique (DAC) appartenant au bloc de compensation d'offset. Le DAC est bâti autour d'un réseau de résistances de type R-2R ; son schéma est donné sur la figure 7.

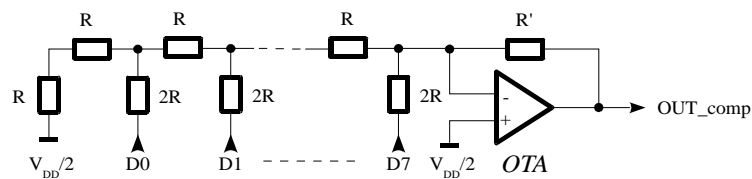


Figure 7 – Schéma du DAC

Les performances statiques et dynamiques du convertisseur seront mesurées en deux phases distinctes. Dans la première phase, les erreurs d'offset, de gain, et de linéarité seront observées en sortie du DAC. La seconde phase portera spécifiquement sur l'évaluation du SNR (Signal to Noise Ratio).

Les performances statiques du DAC - Le DAC présente une résolution de 8 bit et une plage de sortie ± 1 V centrée autour de la valeur 1,65 V. La figure 8 illustre la fonction de transfert réelle d'un DAC 8 bit avec une erreur d'offset et de gain.

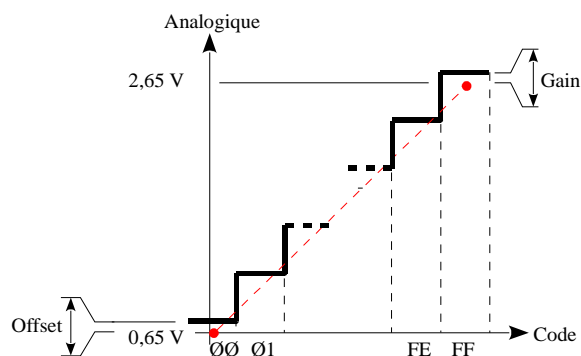


Figure 8 - Fonction de transfert du DAC 8 bits avec défauts d'offset et de gain.

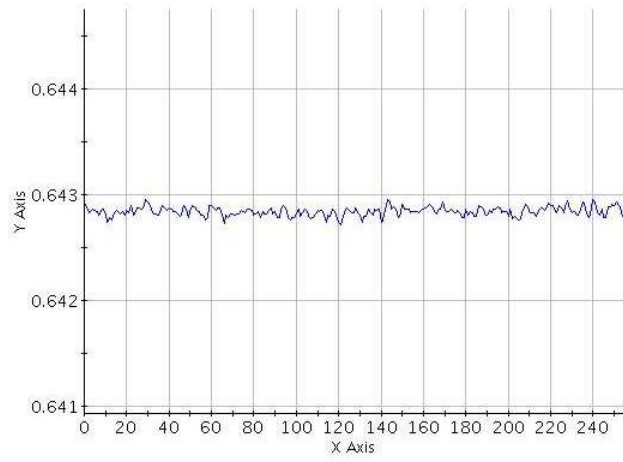


Figure 9 - Limite basse du signal de sortie du DAC

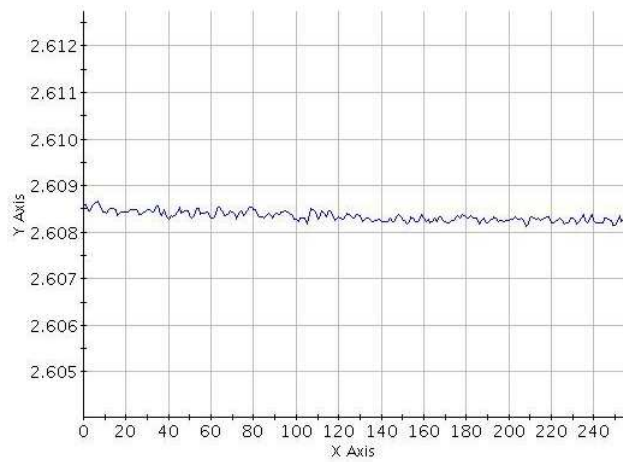


Figure 10 - Limite haute du signal de sortie du DAC

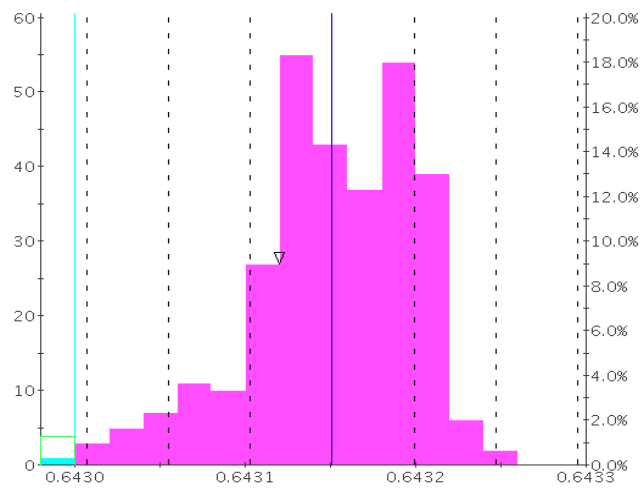


Figure 11 - Distribution des valeurs d'offset du DAC pour 200 essais

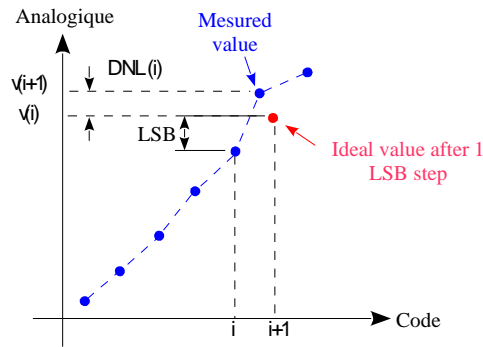


Figure 12 - Erreur de linéarité DNL

Les erreurs d'offset et de gain peuvent simplement être mesurées en générant la répétition d'un code numérique pour chaque valeur extrême de la plage de sortie. Les figures 9 et 10 montrent respectivement l'évolution au cours du temps du signal de sortie du DAC pour les codes numériques d'entrée minimal (offset du DAC) et maximal (gain du DAC). Un calcul à l'aide des fonctions préprogrammées de Smartest® permettent par la suite d'extraire une valeur moyenne de l'offset et du gain du DAC. Une statistique permet enfin d'extraire moyenne et écart-type et de situer les performances par rapport à des spécifications.

L'ensemble des relevés peut être représenté et analysé par histogramme. La figure 11 donne la distribution des valeurs d'offset pour 200 mesures telles qu'elles seraient effectuées sur un lot de circuits en sortie de chaîne de fabrication. Les spécifications sur l'offset sont ici fixée à $[0,643 - 0,667]$ V. On constate que seul un essai ne respecterait pas les spécifications et apparaît en queue de la distribution sous une couleur plus sombre.

Les erreurs de linéarité du DAC sont extraites en générant une rampe sur 256 points (8 bits). Pour chaque point, l'écart entre la valeur de sortie du DAC mesurée et la valeur attendue permet de calculer la distorsion différentielle de linéarité (DNL) mais aussi l'erreur de linéarité intégrale (INL). La figure 12 illustre la situation d'une distorsion différentielle de linéarité.

Le taux de distorsion de la méthode différentielle est évalué localement pour chaque code d'entrée et calcule l'écart entre le pas mesuré et le pas théorique pris à partir du pas précédent. L'erreur DNL exprime le décalage entre le pas mesuré et le pas idéal :

$$DNL(i) = v(i + 1) - v(i) - LSB$$

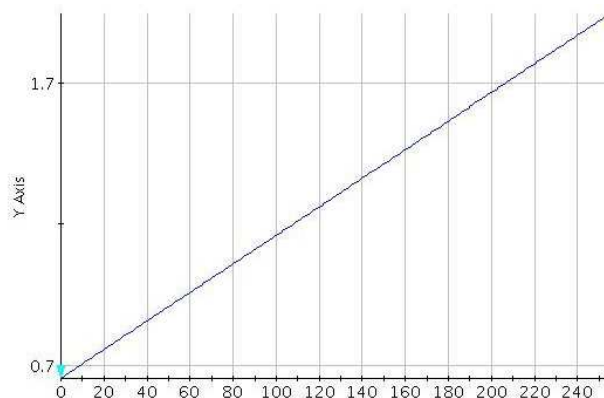


Figure 13 - Signal de sortie du DAC pour une rampe numérique d'entrée codée sur 256 points

L'erreur DNL s'exprime traditionnellement sous la forme d'un pourcentage et relativement par rapport à un LSB :

$$DNL(i) = \frac{v(i+1) - v(i)}{LSB} - 1$$

La figure 13 reprend l'évolution du signal de sortie du DAC lorsqu'une rampe numérique codée sur 256 points est injectée sur les entrées. L'étudiant utilise ensuite les fonctions implémentées par le logiciel pour calculer les erreurs de linéarité qu'il pourra comparer à des valeurs cibles.

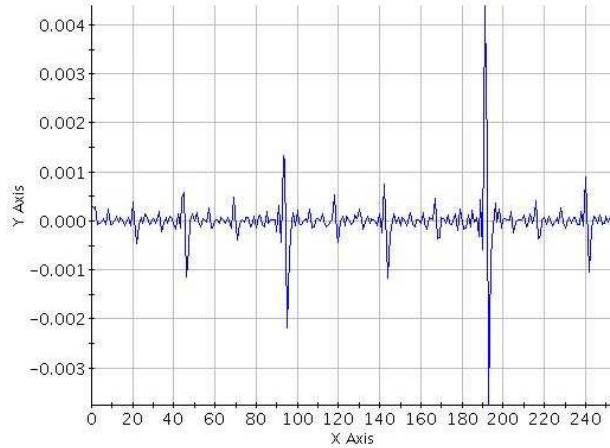


Figure 14 - Taux de distorsion de linéarité (DNL)

La figure 14 donne l'étalement de l'erreur DNL sur la plage d'entrée (256 points) en pourcentage avec un maximum observé à 0,4% de la valeur d'un LSB. Il revient alors à l'étudiant de comparer cette valeur à celle extraite d'un cahier des charges ou d'une documentation technique d'un convertisseur.

La figure 15 illustre le calcul de l'erreur de linéarité intégrale INL se base sur une méthode globale qui évalue l'écart entre le pas mesuré et le pas théorique fixé à partir d'une droite « idéale ». L'erreur INL exprime le décalage entre le pas mesuré et une succession de pas idéal :

$$INL(i) = v(i) - (v(0) + i \cdot LSB)$$

Ce qui donne relativement par rapport à un LSB :

$$INL(i) = \frac{v(i) - (v(0) + i \cdot LSB)}{LSB}$$

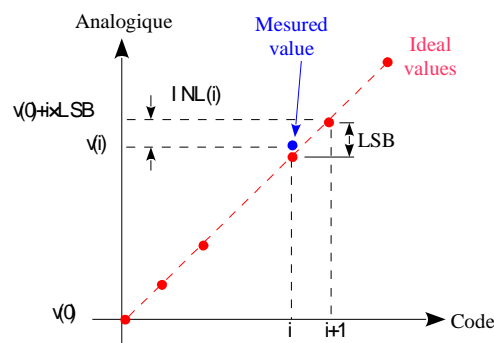


Figure 15 - Erreur de linéarité INL

Les valeurs idéales peuvent être définies selon trois méthodes :

- End Point Method : la caractéristique de transfert est tracée entre le premier et le dernier point.
- Zero Point Method : la caractéristique de transfert est tracée entre le point médian et le point qui minimise au mieux l'erreur moyenne.
- Minimum RMS Method : la caractéristique de transfert est tracée par minimisation de l'erreur quadratique moyenne (RMS).

Les trois méthodes sont disponibles sous la forme de fonctions API (Application Programming Interface) sur le logiciel c'est à dire de fonctions implémentées dans le logiciel. L'étudiant programme une méthode de test pour mesurer à la fois l'erreur DNL et INL : les fonctions API sont exécutées par le DSP du testeur qui calcule ces deux types de non-linéarité. Cette méthode sera appelée au moment où la séquence de test de linéarité sera exécutée.

La figure 16 donne l'évolution de l'erreur INL au cours de la rampe numérique avec un maximum de 0,45% du LSB.

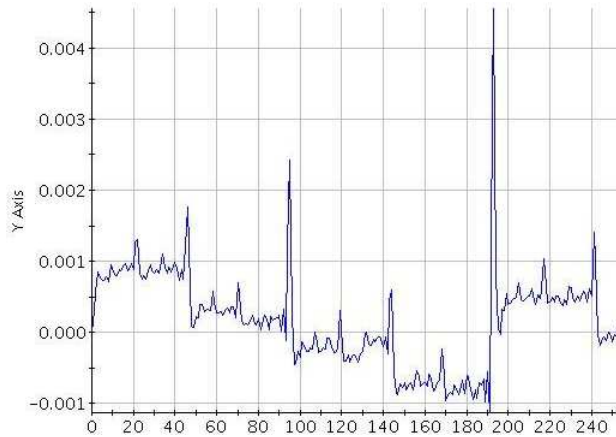


Figure 16 - Erreur de linéarité intégrale (INL)

Les performances dynamiques du DAC - La mesure du SNR est effectuée par injection d'un vecteur de test numérique reprenant la forme d'une onde sinusoïdale. De cette onde, il est alors possible d'extraire en sortie du DAC l'erreur SNR mais aussi de distorsion d'harmoniques (THD) pour lesquelles des fonctions d'analyse de signal sont disponibles. La figure 17 illustre le cas d'une répartition spectrale à quatre raies et le rapport SNR résultant.

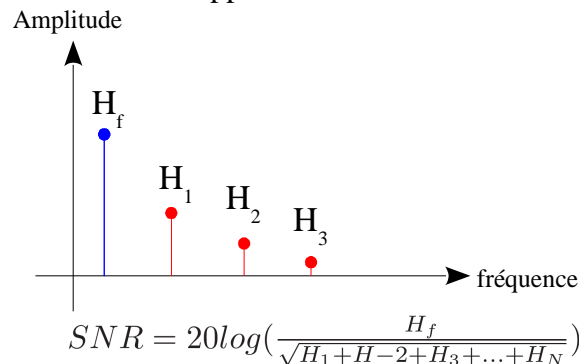


Figure 17 - Répartition spectrale des raies pour un sinus numérique injecté dans le DAC.

La figure 18 donne la répartition spectrale du signal de sortie du DAC lorsqu'une onde sinusoïdale de fréquence 20 Hz est injectée sur les entrées. Là encore, l'étudiant dispose d'outils d'analyse permettant d'apprécier l'écart des performances aux spécifications. On peut remarquer d'une part, la raie de fréquence 20 Hz de l'onde sinusoïdale, et d'autre part, l'importance du bruit en 1/f du fait de la présence de l'OTA dans la structure du DAC.

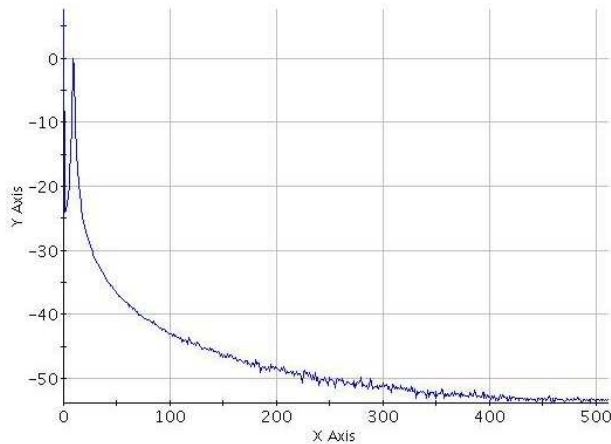


Figure 18 - FFT du signal de sortie du DAC avec onde sinusoïdale

6. Conclusion

Une séquence d'enseignement portant sur la testabilité d'un circuit mixte a été présentée. La nature numérique ou analogique des fonctions internes du circuit permettent à l'étudiant d'aborder le test selon une méthodologie basée sur la réduction des coûts en temps et en ressources. La séquence d'apprentissage proposée se limite à l'analyse de deux fonctions du bloc de compensation d'offset pour lesquelles le concept de taux de couverture de fautes et de fonctionnalité donne à l'étudiant un aperçu des techniques d'évaluation d'un circuit. La séquence invite l'étudiant à juger de la pertinence des tests mis en place et de leur impact dans la chaîne de production d'un circuit. Cette analyse offre de nouvelles passerelles vers la conception en vue du test et donc un retour sur les critères qui ont guidé le dimensionnement des blocs du capteur.

La séquence présentée peut bien entendu s'étendre à d'autres fonctions du capteur. Certaines d'entre-elles présentent également un intérêt pédagogique et l'analyse de la chaîne de sortie du capteur, avec les blocs de filtrage, de conversion analogique-numérique (ADC $\Sigma\Delta$), ou encore du registre à décalage, pourra s'étendre au développement de programmes de test nouveaux. D'autre part, une bobine est intégrée au capteur permettant et de procéder à des tests du circuit sous un champ magnétique réel. Un tel scénario donne de nouvelles perspectives de test telles que par exemple l'analyse de la sensibilité du capteur. Enfin, l'idée de conception d'une maquette à plusieurs circuits permettrait d'évaluer les performances d'un circuit au-delà d'un seul échantillon et de se rapprocher encore un peu plus des contraintes réelles d'un industriel du test.

Références

- [1] L. Hébrard, F. Anstotz, V. Frick, Y. Hervé, Y. Hu, « Mesure et conditionnement de champs magnétiques en technologie CMOS : Application à l'enseignement des micro-systèmes », Actes du colloque CETSIS-EEA 2001, Clermont-Ferrand, 29-30 oct. 2001, pp. 195-198
- [2] J-B. Kammerer, L. Hebrard, V. Frick, P. Poure, and F. Braun, « Hall Effect Sensors Integrated, in Standard Technology and Optimized with On-Chip Circuitry », EJPAP, vol. 36, 2006, pp. 49-64
- [3] R.S. Popovic, « Hall Effect Devices », 2nd edition, Institute of Physics Publishing, 2004
- [4] G. Palmisano, G. Palumbo, and S. Pennisi, « Design procedure for two-stage CMOS transconductance operational amplifiers : A tutorial », Journal of Analog Integrated Circuits and Signals Processing, vol.27, pp. 179-189, 2001
- [5] A. Bozier, B. Pradarelli, L. Latorre, P. Nouet, R. Lorival, L. Hebrard, F. Braun, D. Muller, « Projet pédagogique Master Micro-Nano Électronique de Strasbourg – CRTIC : Testabilité numérique-analogique sur circuit intégré mixte dédié », Actes des 11^{ème} Journées Pédagogiques du CNFM, ISBN 2-9522395-3-3, JPCNFM'2010, Saint-Malo 22-24 Nov ; 2010, pp. 7-12
- [6] M. Comte, « Étude des Corrélations entre Paramètres Statiques et Dynamiques des CAN en vue

d'optimiser leur Flot de Test », Thèse, Université de Montpellier II, 2003

[7] Yu Huang, Ruifeng Guo, Wu-Tung Cheng, Li, J.C.-M., "Survey of Scan Chain Diagnosis", Design & Test of Computers, IEEE Volume: 25 , Issue: 3. Publication Year: 2008 , Page(s): 240 - 248

[8] J. Cullen, « Scan test sequencing hardware for structural test », Test Conference, 2001. Proceedings. Publication Year: 2001 , Page(s): 713 – 720

Biographies

1. François Schwartz est titulaire d'un Master et d'un Doctorat en micro et nanotechnologie obtenus à l'Université de Strasbourg. Il y mène une activité d'enseignement principalement en CAO et fait partie de l'équipe Système et Microsystèmes Hétérogènes au sein du laboratoire ICUBE.
2. Béatrice Pradarelli est docteur en microélectronique de l'Université Montpellier 2. Elle est responsable des formations au test industriel et du support à la recherche pour le pôle CNFM de Montpellier, France. email: beatrice.pradarelli@cnfm.fr
3. Luc Hébrard est Ingénieur et Docteur de l'Ecole Centrale de Lyon, titulaire de l'Habilitation à Diriger des Recherches de l'Université de Strasbourg (unistra), Luc Hébrard est professeur dans cette même université et responsable du Master Micro et Nano-Electronique de l'unistra. Il effectue ses recherches au sein de l'équipe Systèmes et Microsystèmes Hétérogènes du laboratoire ICube, principalement dans le domaine de l'instrumentation intégrée.
4. Laurent Latorre est professeur de l'Université Montpellier 2. Il est responsable du département ERII de Polytech'Montpellier, France.
5. Pascal Nouet est professeur de l'Université Montpellier 2. Il effectue ses recherches au LIRMM dans le domaine des MEMS. Il est responsable du pôle CNFM de Montpellier, France.
6. Régis Lorival est ingénieur de recherches CNRS. Il est rattaché au LIRMM et est responsable de la maintenance du testeur du Pôle CNFM de Montpellier, France.