

Retour d'expérience d'une formation EURODOTS en compatibilité électromagnétique des circuits intégrés

Etienne SICARD (1), Alexandre BOYER(1), Sébastien SERPAUD(2)

(1) INSA/GEI - Université de Toulouse
31077 Toulouse - France

Etienne.sicard@insa-toulouse.fr

Alexandre.boyer@insa-toulouse.fr

<http://www.ic-emc.org>

(2) NEXIO – Toulouse – France

Sebastien.serpaud@nexio.fr

Résumé : Nous présentons un retour d'expérience d'une session de formation théorique et pratique d'une semaine, focalisée sur la compatibilité électromagnétique (CEM) des circuits intégrés (CI). Après avoir posé nos motivations pour la construction de ce cours, nous décrivons sa structure, l'approche pédagogique, les compétences visées, les outils et des travaux pratiques associés. Nous donnons aussi une synthèse de l'évaluation faite par les participants à la formation organisée en 2012, qui démontre l'intérêt de coupler des sessions expérimentales et travaux pratiques aux sessions de cours. La formation CEM composants est labélisée « Quality Labeled Course » par Eurotraining et a obtenu le soutien financier du programme Européen « EURODOTS ».

Mots-clé : CEM composants, émission parasite, susceptibilité, radio-fréquences, IBIS, intégrité de signal.

Le cap des 7 milliards de transistors dans un boîtier a été franchi en 2012 par le composant programmable Virtex 7, tandis que les applications de masse en 22-nm concernant principalement les plateformes des smartphones de 4ème génération, embarquant plus de 10 cœurs de calculs dédiés (Fig. 1), ne cessent de se développer.

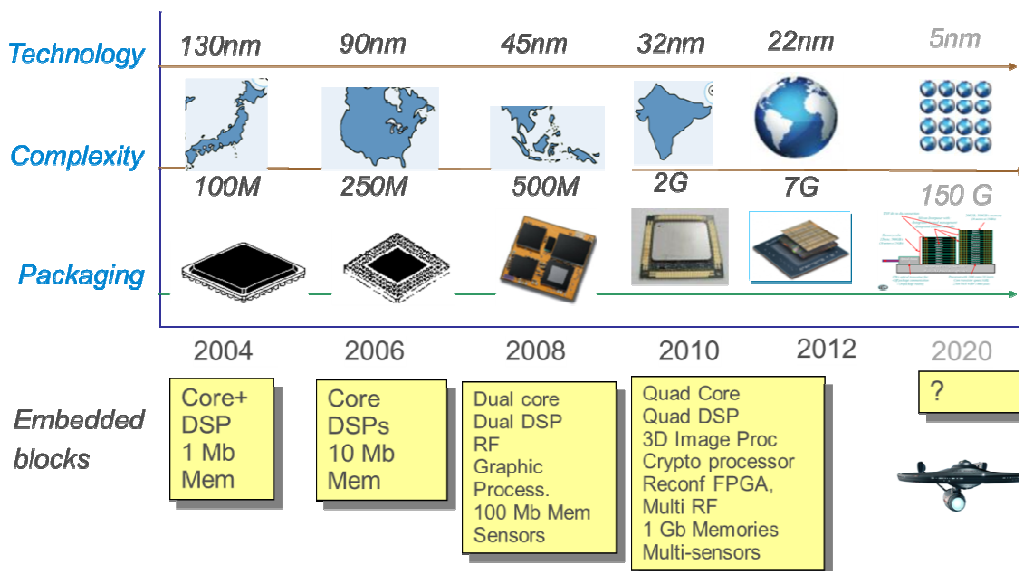


Fig.1 : Evolution de la complexité des systèmes sur puce : intégration de 7 Milliards de transistors ou d'un système 4G sur un boîtier en 2012.

Les progrès en technologies d'intégration laissent entrevoir des composants comportant 150 Milliards de transistor à l'horizon 2020, probablement en assemblage 3D.

Les tentatives de rapprocher les cœurs logiques bruyants des systèmes RF très sensibles peut s'avérer ardues, comme dans le cas du téléphone 3G sur un boîtier tenté par Freescale en technologie d'intégration avancée (Fig. 2) : la marge d'interférence peut se réduire, voire être négative, induisant toute une panoplie d'interférences entre agresseurs (cœurs, amplificateurs de puissance, horloges, pompes à charge) et victimes (capteurs, mixeurs RF, réception RF, convertisseurs, audio). De plus, les marges de bruit ne cessent de se réduire du fait la réduction continue des tensions d'alimentation (Fig. 3).

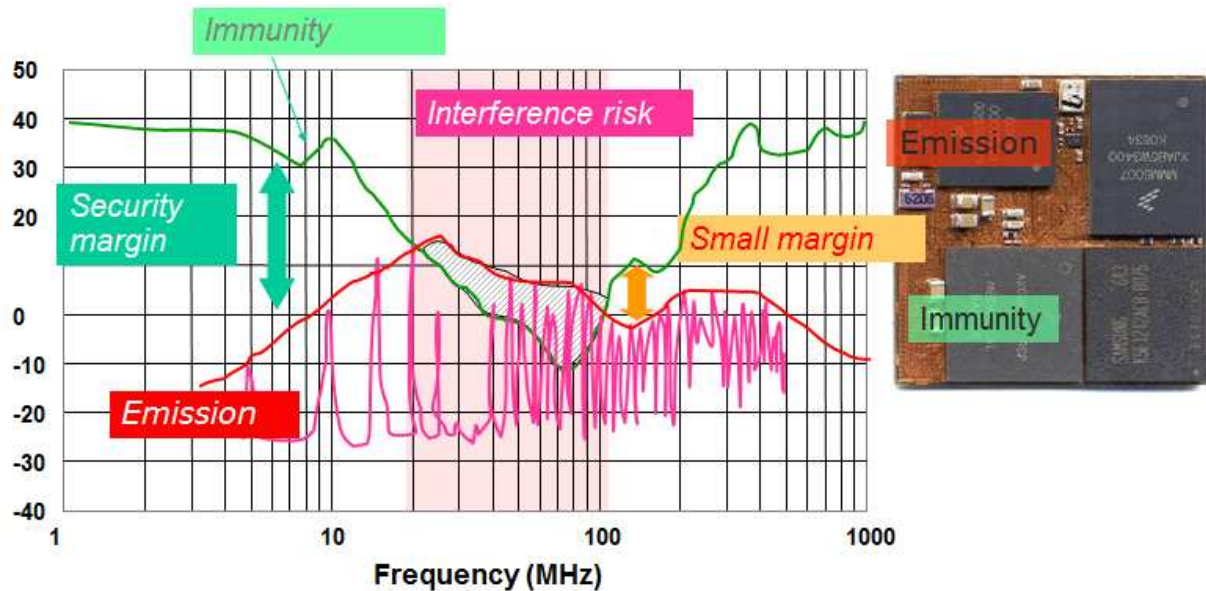


Fig.2 : Les tentatives de rapprochement des puces augmentent considérablement les risques d'interférence.

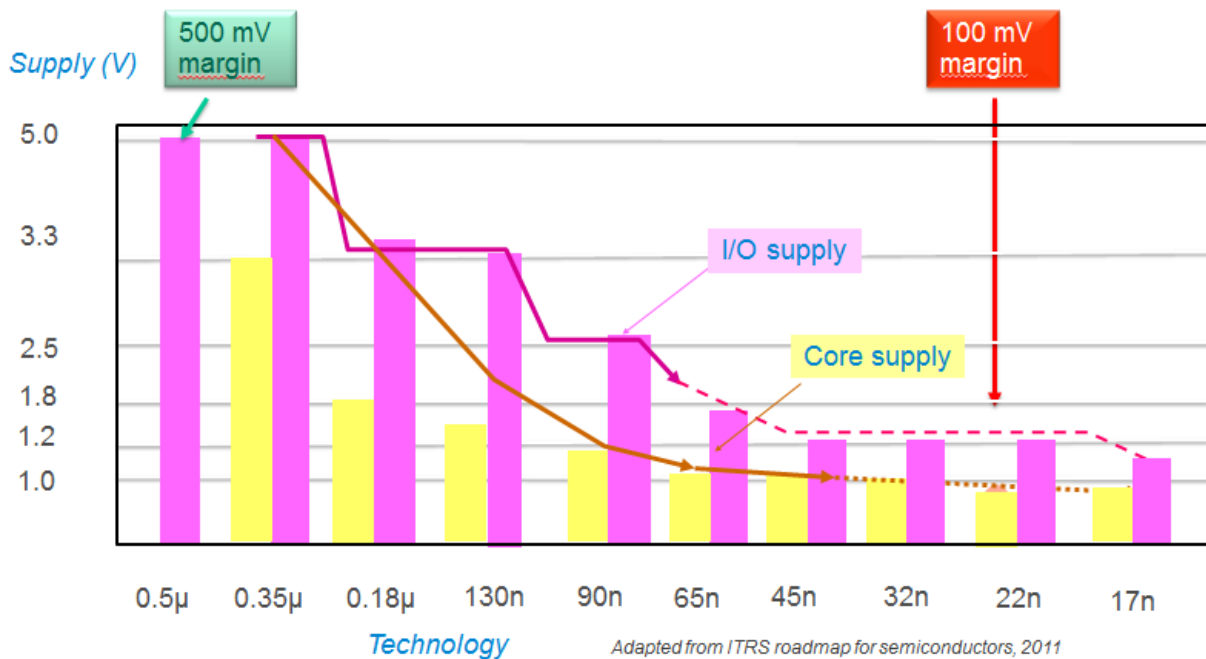


Fig.3 : Réduction des tensions d'alimentation et marges de bruit associées

La CEM au niveau des composants est devenue un enjeu important dans les domaines tels que l'aéronautique, l'automobile et la téléphonie mobile pour la maîtrise des risques

d'interférence dans les systèmes électroniques. La demande récurrente des ingénieurs de conception de systèmes intégrés est de disposer d'outils, de méthodes et de standards permettant une évaluation prédictive des performances des composants et des systèmes électroniques durant les phases amont de conception, et non plus à posteriori, un fois les puces ou systèmes fabriqués.

Des normes au niveau des mesure d'émission [1] et de susceptibilité [2] existent et font l'objet de mises à jour et d'extensions en fréquences.

Du côté utilisateurs de composants, la demande est aussi de plus en plus forte pour la mise à disposition de modèles permettant de prédire le comportement CEM au niveau sous-système électronique, dont l'une des clés est le modèle CEM au niveau composants. Des approches standardisées de modélisation sont de plus en plus utilisées dans l'industrie [3].

L'effort de recherche au niveau des laboratoires est aussi en augmentation régulière, notamment en France, avec différents laboratoires ou instituts (IMS, LAAS, ESEO, ESIGELEC, Polytech Nice, ONERA, etc..) et équipes de R&D industrielle (ATMEL, ST, FREESCALE, EADS, VALEO.) impliqués et structurés grâce à différents projets cadres tels que MESDIE au niveau Européen, et EPEA ou encore SEISME [4] au niveau du pôle de compétitivité Aerospace Valley de Toulouse.

A la nature pluridisciplinaire de la CEM composants se rajoute le formidable grand-écart entre la complexité inhérente aux composants (jusqu'à 7 milliard de transistors sur puce, autant de sources de courant, R, L et C, l'équivalent de centaines de kilomètres d'interconnexion) et les besoins en simplifications extrêmes des équipementiers (une source de bruit, une impédance). La maîtrise de la CEM composants repose sur des méthodes de mesure reproductibles et pertinentes, des modèles simples et précis afin de caractériser, modéliser et prédire les niveaux d'émission et immunité, que ce soit au niveau des parasites conduits ou rayonnés, afin de permettre d'agir au mieux au niveau des sous-systèmes électroniques.

Le domaine est longtemps apparu comme réservé à quelques experts intervenant souvent dans l'urgence, avec la crainte d'itérations de design supplémentaires, et par voie de conséquence des délais et surcoûts associés. Une demande s'est donc fait sentir ces dernières années pour une prise en compte rationnelle en amont des contraintes liées à la CEM au niveau composant, avec par voie de conséquence une demande de formation spécifique croissante. Les progrès importants en matière de méthodologies de modélisation ont amené des normes nouvelles telles que l'IEC 62 433 [3] qui ont suscité beaucoup d'intérêt mais aussi des demandes supplémentaires de formation. Des ouvrages [5], articles de synthèse [6] et workshops spécialisés [7] ont aussi vu le jour.

L'INSA de Toulouse a ouvert une formation d'une journée en 2002, puis de 2 jours en 2005 focalisée sur ces aspects, avec plus de 25 sessions organisées, représentant environ 200 ingénieurs et chercheurs formés. La formation de 2 jours s'est vue attribuer le label « Quality Course » d'Eurotraining [8] [9] en 2010. Fort de cette expérience, nous avons conçu un cours plus ambitieux détaillé ci-après.

1.1. Organisation générale

Le cours de cinq jours axé sur la compatibilité électromagnétique des circuits intégrés a été bâti dans le cadre de la formation continue actualisante de l'INSA de Toulouse. Il a été

labélisé par le programme Européen de formation EURODOTS [11], et donné pour la première fois en Septembre 2012. Le programme de la semaine est donné au tableau 1.

Tableau 1 : Formation d'une semaine à la CEM composants proposée à l'INSA

Date	Morning	Afternoon
Day 1	Welcome Basic concepts	Illustration of basic concepts using IC-EMC
Day 2	Measurement methods <ul style="list-style-type: none"> Emission IEC 61 967 Immunity IEC 62 132 	Modelling Emission of ICs <ul style="list-style-type: none"> Ibis, IA (μC, IOs), PDN (μC) ICEM
Day 3	<ul style="list-style-type: none"> Group 1: lab – emission measurement methods Group 2: simulation of emission measurement methods 	<ul style="list-style-type: none"> Group 2: lab – emission measurement methods Group 1: simulation of emission measurement methods
Day 4	Modelling Immunity of ICs <ul style="list-style-type: none"> IB, PDN ICIM 	<ul style="list-style-type: none"> Group 1: lab – immunity measurement methods Group 2: simulation of immunity
Day 5	<ul style="list-style-type: none"> Group 2: lab – immunity measurement methods (μC IO) Group 1: simulation of immunity 	EMC guidelines, case study; course evaluation and details on exam

1.2. Détail du cours

Un ensemble de concepts de base est proposé en guise d'introduction, couvrant des unités spécifiques, le rôle des interconnexions, l'origine du bruit, les marges de bruit, les conversions temps / fréquence et l'adaptation 50Ω . Les exercices de base sous IC-EMC ont pour but de familiariser les participants au logiciel, son interfaçage avec WinSpice et les outils de schématique ainsi que de post-traitement.

Le deuxième axe concerne l'émission parasite, abordant en particulier la conception des circuits à faibles émissions, et donnant les principales méthodes de mesure et de simulation de l'émission parasite. La session expérimentale met en jeu principalement la mesure de l'émission conduite (selon la norme IEC 61 967 [1]) sur les réseaux d'alimentation d'un circuit de test spécifique. Ce board de test CEM, conçu dans le cadre du projet SEISME [4] par L. Guibert, ONERA, comporte principalement un microcontrôleur DSPIC 33F et une mémoire. Les modèles IBIS des deux composants sont fournis, et des dispositifs de mesure de bruit conduit et rayonnés en accord avec la norme IEC 61 967 sont implémentés sur le board. Les mesures obtenues par les participants sont alors reprises en session de modélisation pour bâtir un modèle correspondant (Fig. 4).

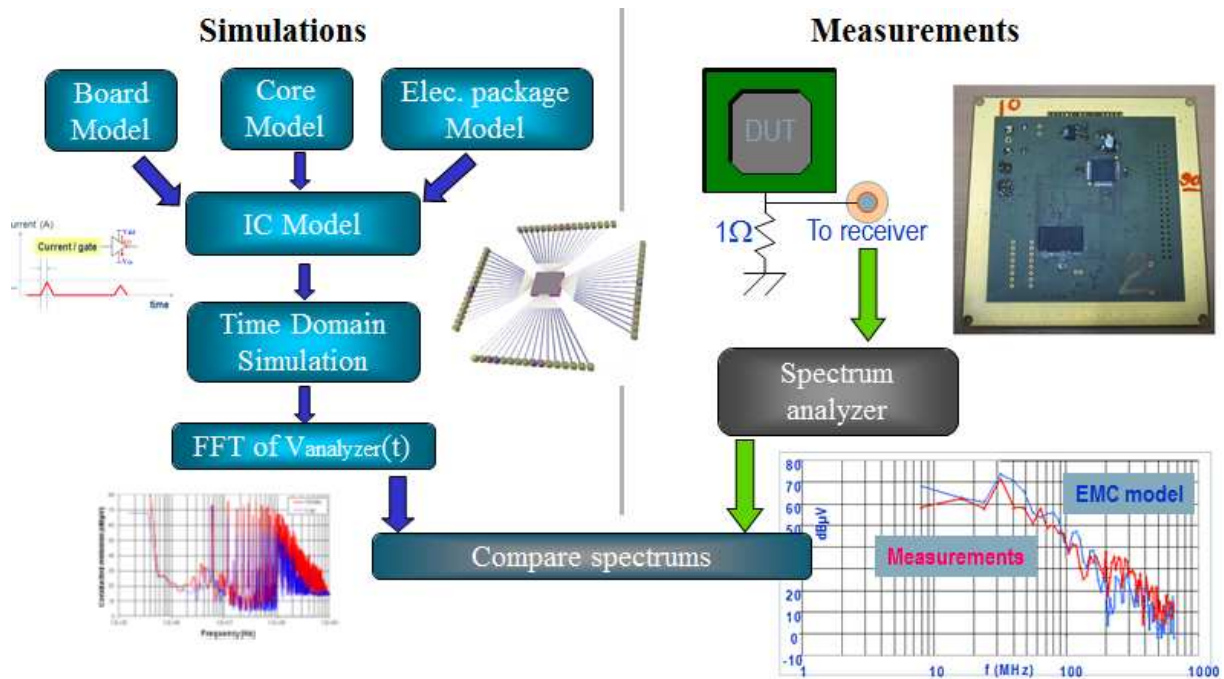


Fig. 4 : Comparaisons entre simulations et mesures réalisées sur le board de test CEM composants incluant un microcontrôleur et une mémoire

Un troisième thème concerne la susceptibilité aux agressions radio-fréquence (1-1000 MHz), en mettant l'accent sur les méthodes de mesure (IEC 62132 [2]) et les méthodes de simulation associées (IEC 62 433 [3]). Nous utilisons là encore les mesures faites par les participants pour construire le modèle d'immunité.

1.3. Sessions de Travaux Pratiques orientées simulation

Le logiciel IC-EMC [10] a été utilisé de manière intensive pour 3 sessions de ½ journée de travaux pratiques, dont le détail est donné au tableau 2. L'installation et la prise en main du logiciel nécessite une heure environ, puis les étudiants abordent des sujets orientés impédance, émission et immunité, avec des degrés de difficulté croissants. Un encadrant est à disposition des 6 étudiants, travaillant de préférence deux par deux.

Tableau 2 : Exercices et objectifs pédagogiques

N°	Titre de l'exercice	Objectifs pédagogiques
Ex. 1.	FFT of typical signals	Mise en évidence du fenêtrage, de la durée de simulation sur la précision de la FFT
Ex. 2.	Transient current estimation	Simulation d'une commutation de courant sur des inductances, lien avec la théorie
Ex. 3.	Interconnect parasitics	Evaluation des R,L,C boitiers à l'aide des formulations analytiques. Lien avec IBIS. Effet de peau.
Ex. 4.	Impedance mismatch	Illustration de l'impédance caractéristique, de la désadaptation
Ex. 5.	di/dt noise	Modèle simple d'émission conduite d'après la data-sheet constructeur. Lien entre complexité et bruit.
Ex. 6.	intrinsic decoupling	Evaluation et rôle de la capacité de découplage
Ex. 7.	added on-chip decoupling	Implémentation physique, impact, effets parasites
Ex. 8.	PDN modelling	Tuning entre Z(f) mesuré et simulé. Identification des effets boitiers (L), découplage (C) et effets divers
Ex. 9.	Radiated emission modelling	Rayonnement de dipôles, effets d'atténuation, lien avec le boitier
Ex. 10.	Estimation of susceptibility level	Simulation d'un banc DPI sur une charge non adaptée 330 Ω

Ex. 11.	Susceptibility of input	Modèle d'une entrée du micro-contrôleur et ajustement du modèle selon les résultats DPI
Ex. 12.	Susceptibility of output buffer	Agression d'un bus microcontrôleur/mémoire et ajust. aux mesures
Ex. 13.	Susceptibility of a μ controller	Agression DPI sur les alimentations du DSPIC 33F

1.4. Plateforme expérimentale

Disposant d'un laboratoire bien équipé en bancs de mesure d'émission et de susceptibilité composants dans les locaux de l'INSA (Figure 5), nous avons souhaité inclure des sessions pratiques de mesures, et recentrer l'ensemble du cours sur l'étude d'un cas test fourni aux étudiants. Un circuit imprimé de test CEM a été conçu par Laurent GUIBERT, ONERA, dans le cadre d'un projet de recherches coopératives SEISME [12].

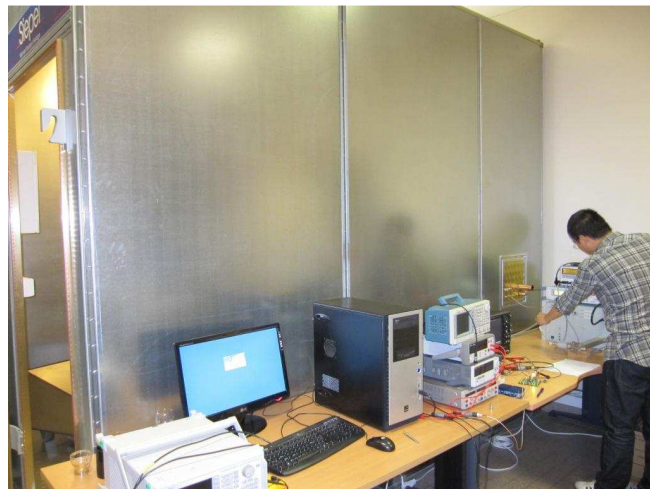


Fig. 5: Session pratique utilisant les bancs d'essai CEM de l'INSA de Toulouse

Un microcontrôleur 16 bits de la famille DSPIC 33F de Microchip est associé à une mémoire SRAM 1MB, sur un circuit imprimé aux normes TEM [1][2] 10 x 10 cm, 6 couches, facilitant les mesures d'émission et d'immunité rayonnée. Les composants principaux (micro, mémoire, régulateur) sont regroupés sur une face, les autres composants et connectiques de mesure sur l'autre. Le bus d'échanges entre le microcontrôleur et la mémoire est volontairement routé large, afin d'augmenter les couplages. L'alimentation du PCB est de 3.3 V, fournie par un régulateur de type LM311. Le circuit imprimé comporte aussi des points de mesure d'émission conduite [1] et d'injection par couplage capacitif [2], en particulier sur le bus de données et l'alimentation. Nous mettons à disposition des étudiants plusieurs versions du circuit de test, chacun étant dédié à une mesure spécifique. Un circuit imprimé ne comportant que le microprocesseur permet des mesures d'impédance, un autre circuit instrumenté avec les sondes 1/150 Ω permet les mesures d'émission, un dernier circuit instrumenté avec les capacités d'injection DPI [2] est dédié aux mesures d'immunité.

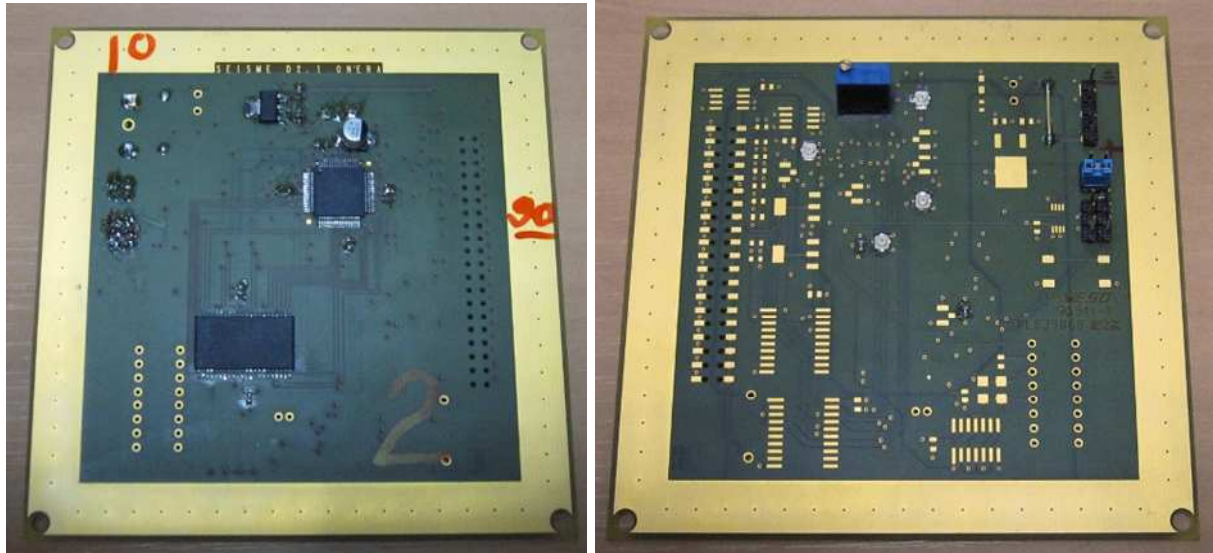


Fig. 6: Board de test CEM utilisé pour les expérimentations

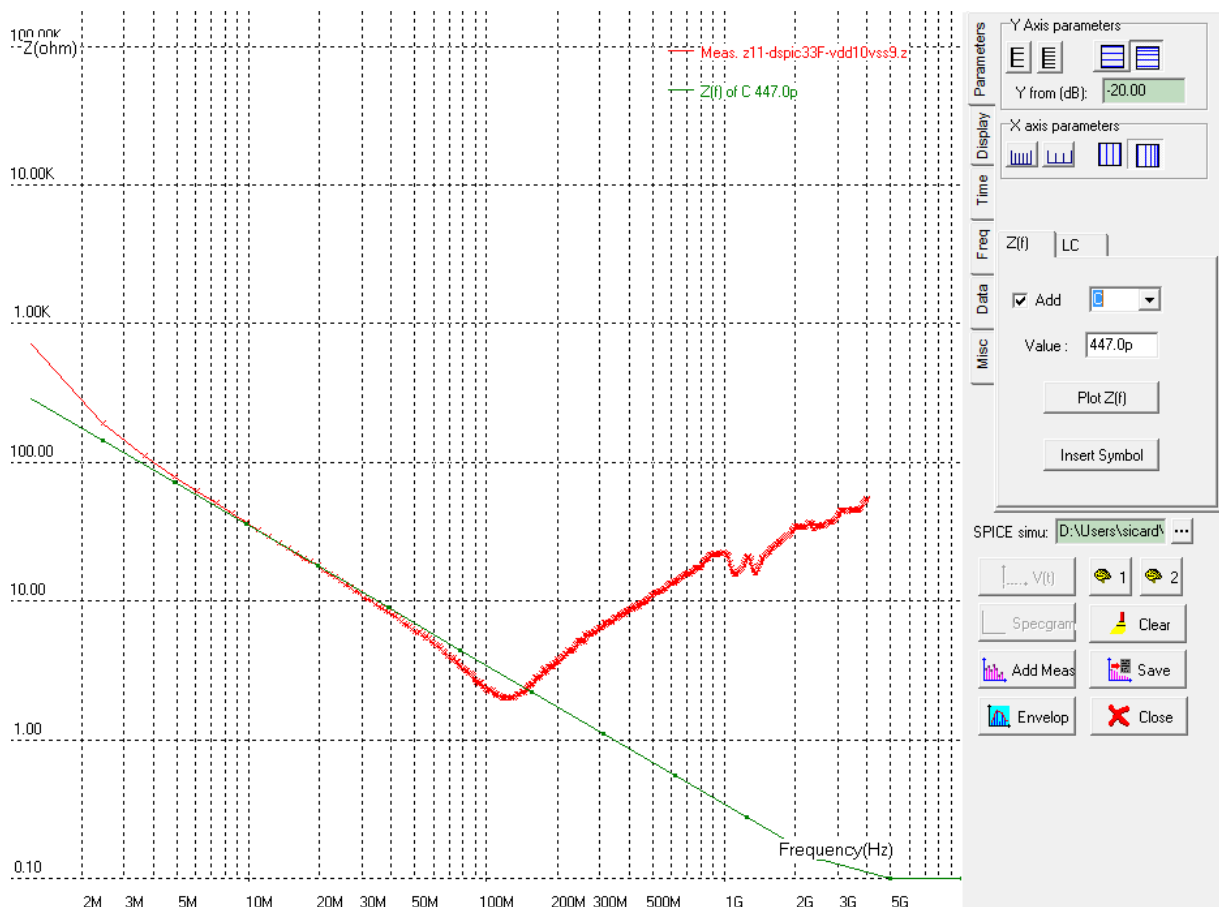


Fig. 7: mesure d'impédance entre deux broches d'alimentation et identification de la capacité basse fréquence

Les étudiants font tout d'abord une mesure de l'impédance du circuit de test nu puis du circuit avec le microcontrôleur à l'aide d'un analyseur de réseau vectoriel, fournissant des mesures au format paramètres S. La conversion du formalisme [s] en Impédance fonction de la fréquence s'effectue avec le logiciel IC-EMC, et les différents composants de l'impédance

sont identifiées (R, L et C) comme illustré figure 7 pour la capacité basse fréquence équivalente à 447 pF.

La prise en main des expérimentations en émission comprend :

- La configuration de l'analyseur de spectre
- La découverte de l'allure du spectre et la localisation des points chauds avec une sonde de champ magnétique
- La mesure en cellule TEM
- La mesure de l'émission conduite

Une vidéo de la mesure par scanner champ proche de l'émission parasite au-dessus du composant DSPIC 33F est proposée à la figure 8 [14]. Une probe miniature de champ magnétique, motorisée sur 3 axes, se déplace par pas de 1 mm environ sur un plan parallèle au composant, à une altitude de 2 mm au-dessus du plan de masse. A chaque point X,Y, le spectre du champ est relevé par un analyseur de spectre. La fréquence d'analyse est ici de 5.7 MHz, correspondant à une harmonique particulièrement énergétique que l'on peut observer en haut de l'écran de contrôle. La base de l'écran montre le scan en cours de construction.

Une autre mesure d'émission rayonnée est illustrée par la vidéo de la figure 9. La cellule TEM est utilisée pour confiner l'émission du microcontrôleur, associé à sa mémoire et au régulateur, dans une chambre isolée, au milieu de laquelle se trouve un plateau métallique appelé septum, situé à 4,5 cm environ des composants. Ce plateau se couple capacitivement et inductivement avec le circuit de test, et se connecte au récepteur de mesure. Il s'agit ici d'une mesure globale et non locale comme le scan, à une distance plus grande (45 mm au lieu de 1mm).



Fig. 8: Vidéo montrant la mesure par scanner champ proche de l'émission du circuit imprimé de test

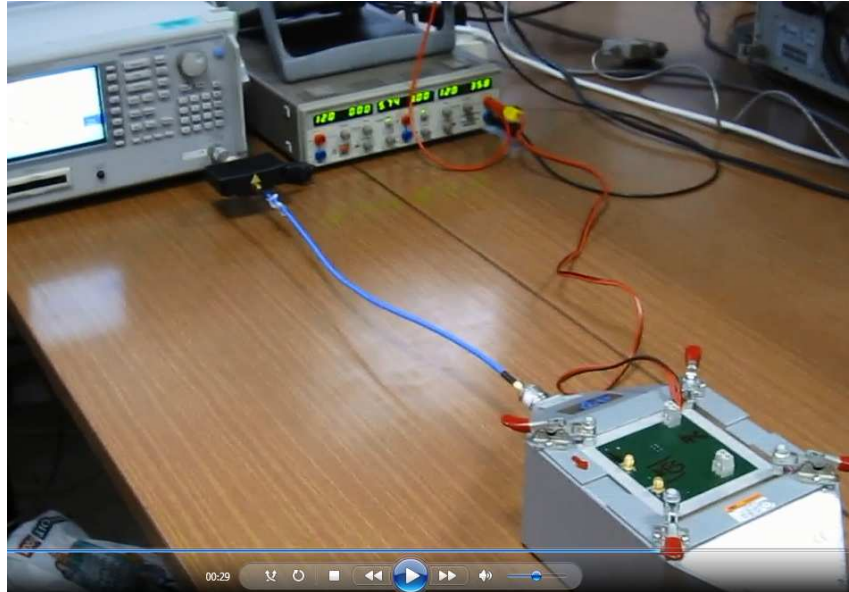


Fig. 9: Vidéo montrant la mesure par cellule TEM de l'émission du circuit imprimé de test

Sur les aspects immunité, les étudiants débutent par l'injection de perturbations sur une charge simple, et font le lien avec les valeurs théoriques. Ils réalisent ensuite une injection sur le bus de données reliant le microcontrôleur à la mémoire, et relèvent pour différentes fréquences de 1 MHz à 1 GHz le niveau de puissance requis pour produire une sortie de gabarit, fixé à +/- 1 V en tension et +/- 10 ns en *jitter* temporel. Deux mesures sont effectuées, l'une sans capacité en sortie du régulateur, l'autre avec (100 nF), montrant une augmentation de 5 dB environ, principalement de 10 à 100 MHz (Figure 10). Ces mesures sont exploitées dans les séances de simulation avec IC-EMC en travaux pratiques, afin de bâtir un modèle pouvant raisonnablement s'approcher de la mesure, et pouvant émuler l'insertion de capacités discrètes dans le montage.

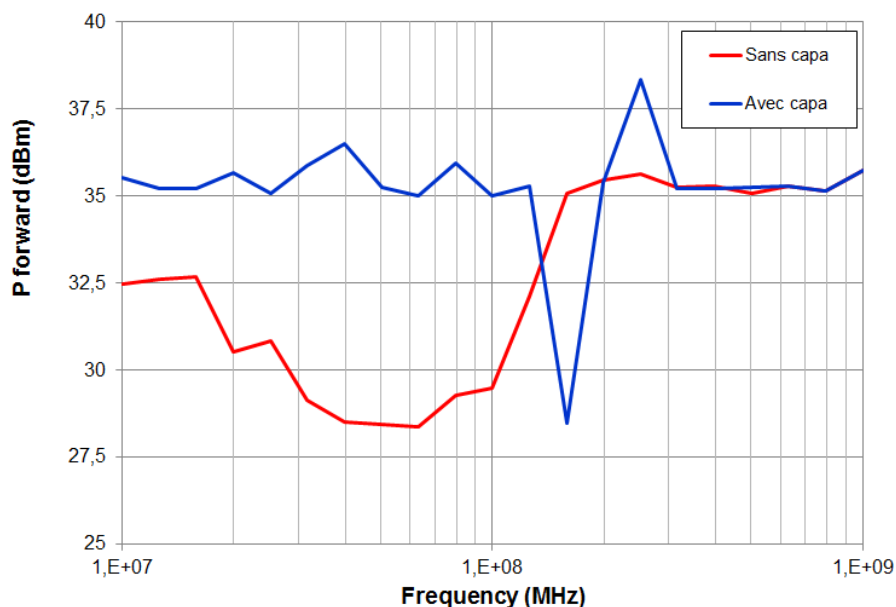


Fig. 10: Deux mesures d'agression sur l'alimentation

Le cours d'une semaine au format EURODOTS en CEM composants s'est tenu à l'INSA de Toulouse fin Septembre. Les onze personnes qui ont participé étaient

principalement des ingénieurs de PME du secteur électronique et des doctorants de différents laboratoires français et étrangers. Le tableau ci-dessous liste les questions posées en fin de semaine de formation. Le retour est globalement très positif, sauf pour la question 5 en lien avec le contenu du cours qui a été remanié légèrement (la partie « ageing » initialement prévue n'a finalement fait l'objet que d'une courte synthèse) et la question 6 sur la durée du cours : le contenu délivré a été jugé pour près de la moitié des participants un peu trop conséquent par rapport à la durée de la formation. Sur la partie expérimentale qui était introduite pour la première fois dans la formation, le retour est très positif (satisfaction maximale des participants à la question 9). Les sessions expérimental en laboratoire ont permis de rendre plus concrètes non seulement les séances de modélisation du DSPIC 33F, mais elles ont aussi les séances de cours dédiées aux méthodes de mesure CEM dédiées aux composants.

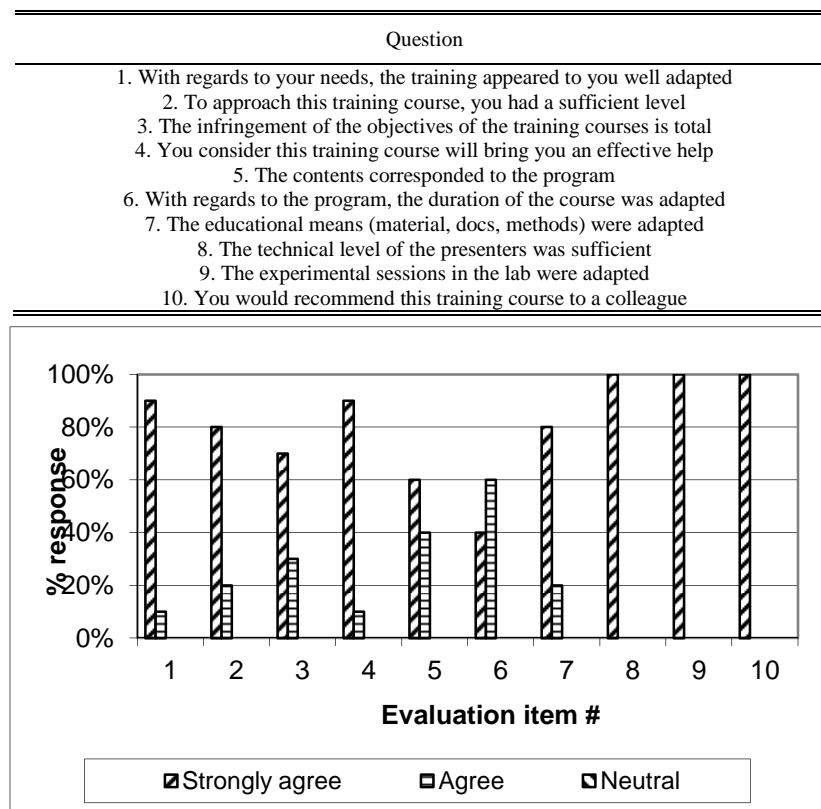


Fig. 11: Evaluation de la formation faite à l'issue de la semaine EURODOTS par les participants (10 réponses sur 10 questions)

La mise en œuvre de mesures CEM a été appréciée à la fois par ceux ayant une expérience en instrumentation mais qui souhaitent en savoir plus sur les mesures CEM composants, ainsi que par ceux ayant plus une expérience de design et de modélisation et qui pouvait mieux appréhender l'importance du protocole de mesure sur le résultat obtenu. Le logiciel IC-EMC [10] s'est révélé très utile, passé les inévitables soucis de prise en main, pour les différents types de simulations et comparaisons aux mesures : simulation d'impédances dans le domaine fréquentiel, simulation de l'émission conduite, rayonnée, et immunité conduite.

Cet article a décrit un cours focalisé sur la compatibilité électromagnétique des circuits intégrés, qui a été conduit dans le cadre de la formation continue, avec un support financier EURODOTS, sous un format inédit d'une semaine. La formation a été jugée de manière très

positive par les participants, les aspects expérimentaux en laboratoire CEM et simulations avec outils dédiés ayant été plébiscités.

Les auteurs remercient Laurent GUIBERT, ONERA, qui a développé le board de test CEM utilisé dans le cadre du cours.

- [1] IEC 61967, 2001, www.iec.ch, Méthodes de mesure de l'émission des circuits intégrés
- [2] IEC 62132, 2003, www.iec.ch, Méthodes de mesure de l'immunité des circuits intégrés
- [3] IEC 62433, 2008, www.iec.ch, Modélisation de la CEM des composants
- [4] Voir www.aerospace-valley.com
- [5] S. Ben Dhia, M. Ramdani, E. Sicard, "EMC of integrated circuits", Springer, 2006, ISBN: 0-387-26600-3
- [6] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present and Future", IEEE Transaction on EMC, Vol. 51, N°1, pp 78-100, February 2009
- [7] www.emccompo.org
- [8] <http://www.eurotraining.net> > Quality Labelled Courses
- [9] E. Sicard, A. Boyer « Une approche éducative de la compatibilité électromagnétique des circuits intégrés », Journées CNFM 2010
- [10] E. Sicard, A. Boyer IC-EMC v2.5 User's Manual, Oct. 2011, 260 pp, ISBN 978-2-87649-061-1, www.ic-emc.org .
- [11] <http://www.eurodots.org/>
- [12] Cours en ligne sur www.ic-emc.org
- [13] Projet SEISME décrit sur le site www.aerospace-valley.com
- [14] S. Serpaud, S. Leman "Technical Improvement of the Near Field Measurement: The Vector Near Field Scanning", EMC Europe 2013, Septembre 2013, Brugges, Belgium.