

Enseignement de la microélectronique à Supélec : Bilan de la pédagogie mise en place en 2012 et perspectives d'évolution

Philippe Benabes, Caroline Lelandais-Perrault, Filipe Vinci, Laurent Bourgois,
Emilie Avignon, Francis Trélin, Anthony Kolar, Pietro Maris.

CENTRALE-SUPELEC, 3 rue Joliot-curie, 91192 Gif / Yvette

Email : prénom.nom@supelec.fr

Pole PMIPS (Pôle Microélectronique de Paris-Sud)

Résumé : La rentrée 2012 avait été le cadre d'une réforme de l'enseignement de l'électronique intégrée au sein de la majeure MNE (Micro et Nano Electronique) à Supélec. Les objectifs étaient de proposer une nouvelle forme d'enseignement pratique au moyen d'un projet long, de regrouper un ensemble de cours dans un ensemble cohérent, de faire intervenir tous les enseignants de l'équipe auprès des élèves dès la rentrée, et surtout de proposer un maximum de pratique de manière à remotiver les élèves autour d'une discipline qui n'est pas toujours très à la mode dans le monde numérique actuel. Cet enseignement a tourné 3 fois depuis 2012. Nous présentons ici un bilan de cet enseignement, les difficultés rencontrées par les élèves ainsi que les modifications qui ont dû être apportées.

1. Introduction : Cadre de l'enseignement :

Centrale et Supélec viennent de fusionner dans un nouveau grand établissement unique en France. Fort d'une promotion de plus de 1000 élèves par an, cet établissement se positionne comme la plus grande école d'ingénieurs de rang A au sein de la nouvelle université Paris-Saclay et en France. Les diplômes restent encore séparés pour au moins 3 ans. Les élèves de Supélec préparent un diplôme d'ingénieur généraliste dans le domaine des sciences de l'information. L'enseignement comprend aussi bien des cours théoriques (mathématiques, statistiques, physique), que des cours relatifs aux sciences de l'ingénieur (informatique, automatique, traitement du signal, électronique, télécommunications, électrotechnique, ...).

Après 2 années de tronc commun, les élèves se spécialisent en troisième année par le choix d'une majeure. 14 majeures sont proposées dans tous les domaines de l'école.

Parmi ces 14 majeures, l'une d'entre elles est spécialisée en conception en micro-électronique : il s'agit de la majeure MNE (Micro et Nano Electronique).

La rentrée 2012 a été le cadre d'une réforme de l'enseignement de l'électronique intégrée au sein cette majeure MNE. Les objectifs étaient les suivants :

- proposer aux élèves une méthodologie de conception top-down,
- regrouper plusieurs manipulations (cours, TDs, BE, TP) en un projet fédérateur,
- proposer un enseignement avec un maximum de pratique de manière à motiver les élèves.

2. Le projet initialement retenu

Le projet retenu est un circuit mixte, comprenant une partie analogique et une partie numérique, mais cependant pas trop complexe, de manière à être mené complètement en une centaine d'heures.

L'application choisie est un amplificateur de classe D, comme le montre la Figure 1.

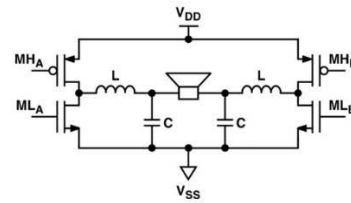
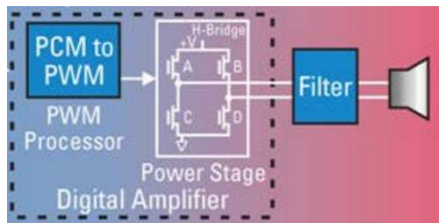


Figure 1 : Amplificateur de puissance de classe D et étage de commande du haut-parleur

Le signal d'entrée est tout d'abord sur-échantillonné, puis modulé pour être transformé en un train binaire qui commande des interrupteurs (transistors MOS). Le signal à l'entrée du haut-parleur est filtré de manière à réduire l'énergie des composantes hautes fréquences dues à la modulation.

Le but de l'étude est donc de spécifier puis de concevoir un tel amplificateur. Le produit final doit être un circuit intégré possédant un étage numérique et un étage analogique, placé et routé, prêt à être envoyé en fabrication.

3. Organisation et évolution de la formation

Le projet a été divisé en bureaux d'étude préliminaires, et séances de projet suivies de plusieurs comptes rendus oraux. Des évolutions ont été nécessaires de manière à ce que tous les élèves puissent terminer le projet dans le temps imparti. Nous avons aussi dû changer la dénomination de séances d'études de laboratoire en séances de projet, de manière à ce que les élèves prennent plus une attitude d'ingénieur que d'élève d'école.

3.1. Les B.E. préliminaires

- étude d'un interpolateur et d'un modulateur sous MATLAB (2 B.E. de 3h),
- Conception et modélisation d'un étage de puissance (5 B.E. de 3h).

3.2. Les séances de projet

Validation des spécifications

Le but des 6 premières séances de projet est de caractériser complètement l'ensemble interpolateur, modulateur, étage de puissance et filtre passif avant de commencer sa conception.

Elles se découpent en 3 parties :

- 1°) modélisation de l'étage numérique complet,
- 2°) création d'un environnement de caractérisation de l'étage analogique,
- 3°) optimisation des performances de l'ensemble.

L'ensemble doit permettre de fixer définitivement les spécifications des étages analogique et numérique dans une approche système pour optimiser l'ensemble. A la fin de cette partie, chaque groupe d'élèves doit justifier ses choix (type d'interpolation, facteurs de sur-échantillonnage, type de modulation et paramètres du modulateur) en évaluant pour chaque solution potentielle le nombre d'opérations par seconde à réaliser pour l'étage numérique, la qualité de la sortie en termes de bruit résiduel et de distorsion harmonique, ainsi que le rendement électrique de l'étage analogique. Cette première partie donne lieu à une présentation orale de 15 mn par binôme devant les enseignants de l'équipe

Réalisation de l'étage numérique

L'étage numérique est décrit en langage VHDL, simulé, puis synthétisé pour un circuit FPGA. Le code est téléchargé sur une carte FPGA disposant d'un étage de puissance extérieur fourni aux élèves de manière à tester de façon pratique et auditive la qualité de leur amplificateur.

L'aspect placement routage de l'étage numérique avec Encounter a été reporté après la partie layout, de manière à ce que les élèves comprennent mieux ce qu'ils font et qu'ils ne suivent pas uniquement un mode d'emploi presse boutons.

Initialement les élèves disposaient d'un seul poste pour tester leur code et 'écouter' le résultat de leur amplificateur, mais nous nous sommes rendu compte que la solution n'était pas satisfaisante, car elle causait des « bouchons » et tous les élèves ne pouvaient pas passer à la dernière séance.

Nous avons donc équipé chaque poste d'une carte DE2-115 (12 cartes en tout) et équipé chaque salle d'un chariot permettant de brancher l'étage de puissance à la carte DE2 pour écouter le résultat. De cette façon les élèves peuvent passer toutes les étapes de synthèse et téléchargement sur leur carte et brancher l'ampli portable pour écouter. En se partageant un ampli pour 5 ou 6 binômes, nous avons permis à chaque binôme d'écouter le résultat de sa modulation.

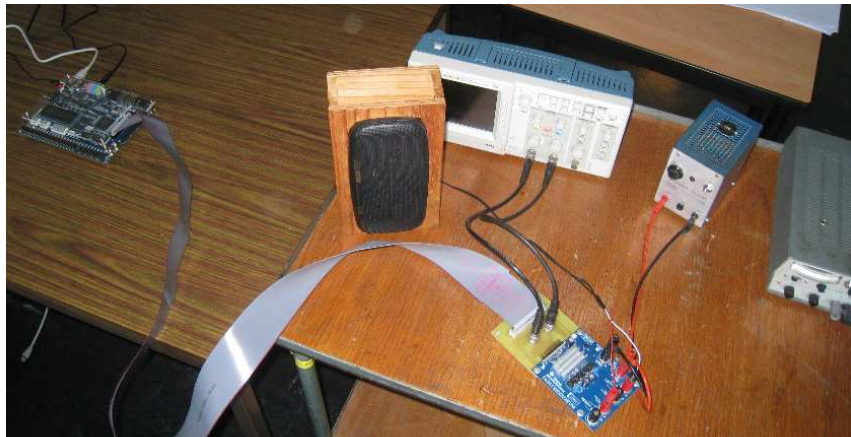


Figure 2 : Amplificateur de puissance « pont en H » avec son haut-parleur

Réalisation de l'étage analogique et floorplanning

Il s'agit dans cette dernière partie de réaliser le routage de l'étage analogique sous Cadence puis de faire le *floorplanning* de l'ensemble du circuit (analogique, numérique, et entrées sorties).

Le bilan la première année avait montré qu'un certain nombre de modifications devaient être apportées au projet : il est apparu qu'il est très difficile de faire faire correctement un étage de puissance car les règles de dessin sont très contraignantes dès que les courants mis en jeu sont importants. Nous avons décidé de donner aux élèves directement le layout de cette partie.

En échange, nous avons introduit dans le projet un modulateur analogique PWM, ce qui permet d'avoir une entrée analogique en plus de l'entrée numérique dans l'amplificateur.

1) Conception et routage de l'étage analogique

Il s'agit de rentrer sous cadence le schéma définitif, de le simuler pour vérifier son bon fonctionnement, et de faire son routage, ainsi que le DRC (Design Rule Checking) et LVS (Layout Versus Schematic).

2) Placement routage de l'étage numérique

Le placement routage se fait au moyen de l'outil automatique Encounter de Cadence. On fera ensuite l'extraction des éléments parasites, puis la simulation post-layout.

3) *Floorplanning* du circuit final

Dans cette dernière étape, les élèves vont regrouper les différentes fonctions au sein d'un circuit unique, prêt à être envoyé en fabrication.

4. Outils pédagogiques créés par l'équipe et fournis aux élèves

3 tutoriaux complets ont été écrits et améliorés au cours des années. Ils expliquent de façon détaillée et pas à pas les étapes nécessaires pour la réalisation d'un circuit intégré.

Chaque tutorial correspond à un des grands outils de la chaîne cadence

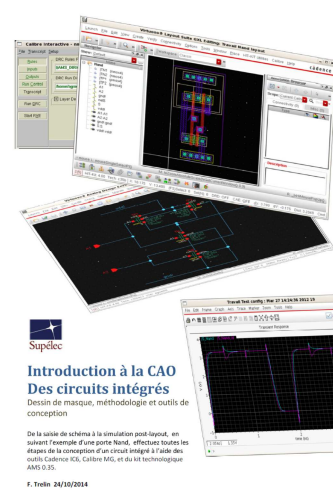
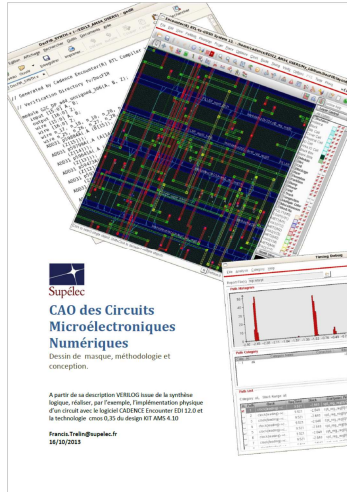
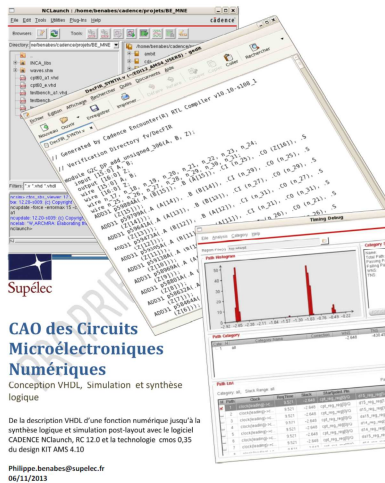
- Conception VHDL, simulation et synthèse logique

Ce premier document explique l'environnement NcLaunch (simulation) et RC (synthèse logique). Il détaille en particulier les étapes nécessaires à la simulation post synthèse ou post layout en prenant en compte les retards réels obtenus après extraction

- CAO des circuits microélectroniques numériques

Ce deuxième document explique l'environnement encounter (placement routage numérique) et QRC (extraction des parasites). Il détaille toutes les étapes pour la réalisation d'un routage numérique, en particulier la création des arbres d'horloge qui n'est pas faite sous RC et l'extraction des parasites avec QRC de manière à estimer au mieux les temps de propagation

- CAO des circuits intégrés analogiques : ce document propose un tutorial de layout analogique et explique les différentes étapes de dessin et vérification.



5. Difficultés rencontrées par les élèves

Globalement, le fait de travailler en binômes peut s'avérer difficile pour certains élèves. Le but est de leur apprendre à travailler en groupe et donc à dialoguer avec l'équipe.

Les élèves les meilleurs du point de vue technique ne sont pas ceux qui présentent leurs résultats le mieux. On a pu voir les meilleurs élèves se 'planter' lors d'une présentation orale alors que certains élèves qui ont fait un travail technique moyen font des présentations dignes d'élèves d'écoles de commerce.

5.1. Les B.E. préliminaires

Mettre directement en application (dans le cadre d'un projet concret avec un cahier des charges à respecter) les connaissances théoriques des BEs d'interpolation et de modulation est une bonne chose. Cela permet aux élèves d'éclaircir les parties restées floues. Ils sont obligés d'analyser chaque résultat et de comprendre l'impact de chacun des paramètres. Ce qui n'est pas évident *a priori* car beaucoup de notions sont parcourues lors des BEs.

Certains élèves ont quelques difficultés lorsqu'il s'agit de coder proprement sous Matlab. A l'issue de ces séances, tous les élèves sont capables de réaliser un code opérationnel et commenté.

Les élèves ont beaucoup apprécié l'utilisation d'un logiciel de simulation électrique (LTspice) interactif sous Windows, pour sa convivialité. Ils ont également apprécié avoir démarré avec des schémas exemples qui tournaient « clé en main », illustrant les techniques de modélisation et d'analyse à utiliser dans l'effort de pré-dimensionnement. Cependant, ils n'ont pas saisi au départ le rapport entre les éléments des exemples (options de simulation, portes logiques macro-modélisés, paramètres appliqués à des sous-circuits, étiquettes sur les nœuds, etc.) et le schéma qu'ils devraient construire et simuler eux-mêmes. Le même positionnement était perceptible par rapport à la documentation transmise (extraits de datasheets et d'application notes des fabricants). En résumé, l'habitude d'avoir des parcours balisés, avec des explications détaillées puis d'une liste de questions à répondre est un obstacle au démarrage effective du processus de conception d'un circuit analogique répondant à des contraintes « système ».

La vision "projet à réaliser" leur apprend à ne pas perdre de vue un fil conducteur afin de respecter le cahier des charges. Si la méthodologie ne leur pose aucun problème, la difficulté principale rencontrée par les élèves est la synthèse et la présentation du travail effectué. On essaie de leur apprendre à rédiger un rapport synthétique mais complet qui pourra servir de base de travail à quelqu'un d'autre. De la même manière les élèves ne sont pas toujours à l'aise lors de la présentation orale de leurs résultats. C'est donc un bon exercice qui leur apprend à mettre en valeur le travail effectué et qui sera utile quasiment au quotidien dans leur vie professionnelle.

5.2. Spécification du système

Au cours de l'étude haut niveau (modélisation Matlab), les élèves ne rencontrent pas de problème particulier sauf la capacité à répondre à la problématique de « comment puis-je valider mon système ? » (critères pertinents, validation du code, tests unitaires). La modélisation de la complexité numérique et la prise en compte de celle-ci est aussi nouvelle pour eux. L'optimisation globale, multi-critère d'un système les déstabilise un peu, en particulier le fait que l'on leur fixe un cahier des charges un peu vague (entre 40 et 60 dB de SNR, une distorsion max de 1 dB dans la bande avec le meilleur rendement possible et la plus faible complexité possible), car le problème n'a pas une solution unique.

5.3. Partie numérique

L'étude VHDL permet aux élèves de mettre en pratique les concepts de VHDL synthétisable qu'ils ont appris en cours précédemment. Grâce aux erreurs de compilation ou survenant lors de simulations, les élèves prennent conscience des choses à ne pas faire.

L'étude permet d'ancrer quelques concepts tels que :

- la notion de signal et variable vs signal,
- la concurrence des processus,
- la gestion d'horloges différentes,
- le codage en virgule fixe,
- le transtypage.

Une des difficultés est la création d'un environnement de test (testbench et architecture du circuit au plus haut niveau). La distinction entre le testbench et le système à concevoir est abstraite au départ. Typiquement, cela ne les dérange pas de simuler l'architecture de l'ampli (au lieu du testbench). Ou à l'inverse, lors de la synthèse, ils peuvent être tentés de synthétiser seulement une sous-partie de l'étage numérique car ils n'ont pas acquis la vision système de l'ampli.

Faire le passage entre les différents niveaux de modélisation peut parfois poser problème (typiquement traduction des coefficients du filtre de valeurs flottantes vers de la virgule fixe, implémentation de filtres interpolateurs polyphase).

5.4. Partie analogique

Les principales difficultés rencontrées dans la réalisation du Layout :

- pour l'élève, l'appropriation de l'outil de dessin de masque, la visualisation en 3D,
- pour l'enseignant, se limiter à transmettre les rudiments et renoncer à l'obtention d'un circuit correct compte tenu du temps imparti,
- il est difficile pour certains élèves dans un tel projet de comprendre qu'il y a deux aspects : un aspect de conception au niveau transistors pour obtenir les performances souhaitées et un aspect prise en main du logiciel/layout. On observe de tout : des élèves qui soignent les deux parties (heureusement il y en a), des élèves qui ne font que du layout sans avoir du tout dimensionné les transistors, et d'autres qui restent au niveau du dimensionnement très en retard sur le layout,
- Il se pose la question du routage automatique : faut-il continuer à enseigner « l'art » du layout sachant que de toute façon, les élèves ne sont pas mûrs pour faire de beaux layout ? D'autant plus que dès que les circuits sont bien préparés (structure common-centroid, transistors fantômes etc...) il n'y a plus qu'à générer automatiquement les connexions.

Nous évaluons actuellement la possibilité d'utiliser des outils automatiques de dessin de layout dès les plus bas niveaux.

6. Evolution de l'enseignement de la CAO

La création d'un nouveau Master de conception en micro-électronique (ICS Intégration Circuits et Systèmes) en co-tutelle avec Telecom-Paristech et l'IEF, pour la rentrée 2015 nous offre la possibilité de mettre en place de nouvelles méthodes pédagogiques et d'être l'un des pionniers en la matière dans le cadre de l'Université Paris-Saclay, affirmant ainsi notre volonté à un affichage international.

Nous avons donc 2 projets pour l'évolution de l'enseignement. Ces 2 projets ont fait l'objet d'une demande de financement auprès de l>IDEX Paris-Saclay. Le premier concerne l'équipement en moyens de visualisation compatibles avec la CAO microélectronique et le deuxième concerne la possibilité de faire fondre des circuits dans le cadre de l'enseignement

6.1. Outils de visualisation

L'un des éléments essentiels à la réussite de ce changement pédagogique est sans aucun doute le support et les ouvertures de possibilités qu'il offre. L'équipe vient d'acheter un écran Full HD pour l'enseignement en salle de cours magistral (figure 3). Cependant, les outils de CAO, quels qu'ils soient, nécessitent deux ou trois écrans par poste en raison de la multitude de fenêtres ouvertes simultanément. L'affichage au "tableau" en salle CAO n'était simplement pas possible avec un vidéoprojecteur classique, le plus souvent limité à des résolutions VGA ou SVGA, et reste cependant limité avec un écran full HD.

Avec un support de très haute résolution, ici quadHD, cela deviendrait tout à fait possible. Cette résolution se justifie également par la taille imposante (84' - 213 cm de diagonale) mais nécessaire de l'écran afin d'être lisible à l'ensemble de la classe avec une fatigue visuelle diminuée. Nous souhaitons donc équiper les salles de CAO de tels moyens, d'où les demandes de financement auprès de l>IDEX.

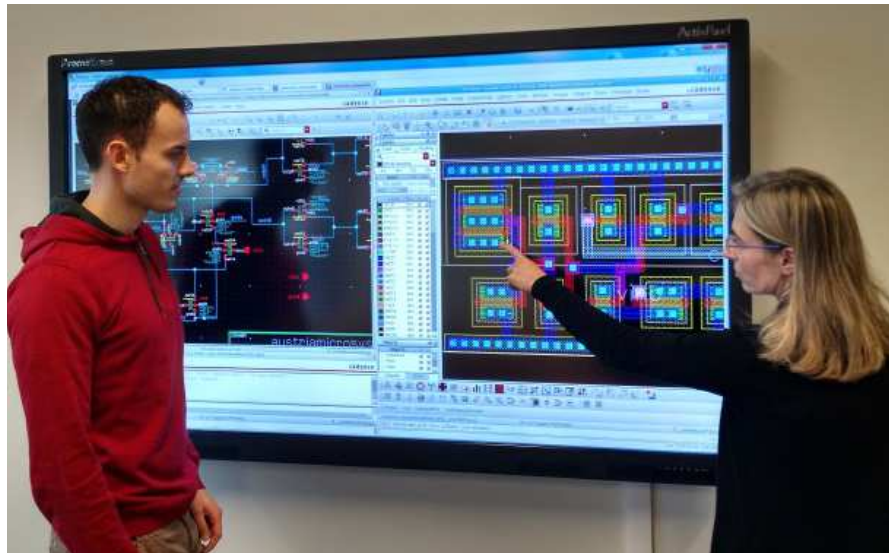


Figure 3 : L'écran actuel 70"

Une autre innovation pédagogique concerne l'utilisation de voteurs (boîtiers HF reliés au tableau pour répondre à des questionnaires préparés par l'enseignant). Une solution basée sur le QCM n'est pas suffisante pour évaluer la compréhension des élèves pendant les cours. L'étudiant doit pouvoir exprimer un besoin, répondre par phrase ou formule mathématique. C'est pour cela que nous nous sommes dirigés vers des boîtiers possédant un clavier alphanumérique AZERTY compatible avec le tableau numérique précédent.

Ainsi, pendant les cours, il sera possible de faire des évaluations très rapides des élèves sur les concepts enseignés lors des cours magistraux.

L'équipement avec de tels boîtiers est en cours.

6.2. Réalisation de prototypes

Nous souhaiterions offrir une opportunité unique aux étudiants du master ICS de fabriquer un prototype microélectronique intégré en passant par toutes les étapes : spécification, saisie de schémas, simulation électrique, dessin des masques d'intégration et fabrication. Ayant cet atout, ce projet permettrait de motiver davantage les étudiants et d'attirer des collaborateurs industriels et académiques, au niveau local, national et international. Par ailleurs, les diplômés auront vécu une expérience unique dans la cadre du Master qui sera fortement valorisant pour une carrière professionnelle dans l'industrie microélectronique.

L'idée est d'utiliser le projet présenté en début de l'article et de permettre aux élèves ayant abouti à un circuit routé, simulé, validé de l'envoyer en fabrication. Ce circuit pourra être testé par la suite lors du cours d'intégration analogique avancée l'année suivante.

7. Conclusion

Ce nouvel enseignement vient de tourner pour la troisième fois. Nous avons senti une véritable motivation de la part des élèves pour cette étude. Nous laissons une grande liberté sur le choix de leurs architectures. Chaque groupe aboutit à des spécifications différentes en termes d'OSR, de filtres d'interpolation, d'ordre de modulateur. Il se crée aussi une véritable entraide entre les groupes, chacun aidant les autres à régler leurs problèmes techniques.

Le retour de bilan fait avec les élèves a été extrêmement positif les 2 premières années. Tous les élèves ont dit avoir apprécié le projet et ont été motivés par celui-ci. Vu du côté des enseignants, le bilan est aussi positif : tous les élèves ne présentent pas les mêmes facilités, les projets n'atteignent pas le même degré de maturité, mais tous les binômes travaillent dans le projet de

façon plus ou moins aboutie. Il faudrait probablement quelques séances en plus pour permettre à tous les binômes d'aboutir à un projet fini par eux-mêmes. L'emploi du temps ne permet pas de consacrer plus de créneaux à ce cours.

Ce projet doit continuer à vivre d'année en année. Nous avons dû faire déjà par deux fois des ajustements sur la pédagogie employée, et les outils mis en œuvre. Le projet en lui-même a dû être retravaillé, quant à son contenu, la répartition des séances, le choix des outils de CAO.

Même un projet qui semble simplifié reste toujours compliqué pour les élèves. Afin d'aboutir à un projet complet nous avons dû faire le choix de donner aux élèves certaines parties du projet, comme la description VHDL du modulateur sigma delta, ou le layout de l'étage de puissance. De cette façon, nous avons pu gagner du temps pour laisser les élèves travailler par eux-mêmes un maximum de temps.

Ce projet va se poursuivre et va encore évoluer. Nous envisageons d'introduire les outils de layout analogique automatique l'an prochain par exemple. Il faut aussi bien coordonner tous les enseignants qui interviennent afin d'être cohérent sur l'ensemble du projet.

Nous allons aussi profiter de la création du Master ICS pour trouver des financements supplémentaires pour des outils pédagogiques supplémentaires (tableau numérique, boîtiers de vote), et offrir la possibilité de faire fondre les circuits.

En conclusion, cet enseignement a permis de fédérer et souder l'équipe d'enseignants autour d'un projet d'enseignement commun, ce qui a permis de créer des collaborations en recherche qui ne se seraient peut-être pas faites. Cet enseignement pratique est unanimement apprécié par les élèves.

8. Biographie des auteurs

Philippe BENABES est professeur HDR à CentraleSupélec depuis 2003. Responsable de la majeure de 3^è année MNE (micro et nano électronique), il assure des enseignements d'électronique numérique et analogique auprès d'élèves des 3 années de Supélec. Ses thématiques de recherche concernent entre autre la conversion analogique-numérique de type sigma-delta. En tant que responsable du programme de MNE, il a assuré la mise en place de l'enseignement présenté dans cet article.

Laurent BOURGOIS est Enseignant Chercheur à CentraleSupélec depuis septembre 2011. Il assure des enseignements d'électronique analogique auprès d'élèves de 1^{ère} et 3^{ème} année. Sa thématique de recherche est principalement axée sur le contrôle et l'identification de systèmes non linéaires. En tant que membre de l'équipe pédagogique de la majeure MNE, il a assuré une partie des études de laboratoire de la partie « validation des spécifications ».

Filipe Vinci est le titulaire de la Chaire Thales en Conception Analogique Avancée. Créée en 2010 par Thales et CentraleSupélec, cette chaire sert de support à la recherche et à l'enseignement dans le domaine interdisciplinaire des signaux mixtes et de la conception de systèmes analogiques, favorisant ainsi l'intérêt des étudiants vers les carrières d'ingénierie des systèmes analogiques. En matière de recherche, la Chaire Thales mène des travaux sur les domaines des capteurs MEMS résonants, de la modélisation hétérogène, et du test des circuits mixtes/RF. En matière d'enseignement, le titulaire donne des cours aux élèves de 3^{ème} année de CentraleSupélec autour du thème "modélisation des systèmes multi-domaines".

Caroline Lelandais-Perrault est enseignant-chercheur au Département Systèmes Electroniques (SE) de CentraleSupélec. Elle est en charge d'un cours de systèmes logiques et électronique numérique dispensé en première année du cursus ingénieur à CentraleSupélec, ainsi que de travaux dirigés en électronique analogique et traitement du signal, et de divers projets d'élèves en première et deuxième année. Elle participe aussi à l'encadrement du projet de conception micro-électronique, plus particulièrement sur la conception et l'implémentation de la partie numérique de la chaîne d'amplification. Ses recherches concernent la conversion analogique-numérique et plus particulièrement la calibration de structures de conversion parallèles.

Emilie AVIGNON est professeur assistant à CentraleSupélec depuis 2008. Elle enseigne l'électronique analogique en première année, encadre des travaux pratiques d'électronique radiofréquence en 2^{ème} année et enseigne les méthodes de conception de circuit microélectronique analogique en 3^{ème} année. Sa thèse de doctorat a porté sur la conception d'une structure de modulateur sigma-delta agile en technologie GaAs 0.2 μm et son thème de recherche actuelle concerne le radar de type FMCW (Frequency Modulated Continuous Wave).

Francis Trélin est technicien (DUT Mesures Physiques). Embauché à CentraleSupélec en 1989, il assiste l'équipe microélectronique pour la réalisation des circuits (layout) ainsi que pour le maintien des systèmes de CAO (administration système, CAD, PDK). Son expérience lui permet d'assister les utilisateurs et d'encadrer les travaux de laboratoire tant en ce qui concerne le maniement des outils que la réalisation des layouts. A ce titre il a rédigé des manuels pédagogiques destinés aux utilisateurs et concepteurs débutants avec les outils Cadence (Virtuoso, Encounter).

Pietro MARIS FERREIRA est diplômé d'un doctorat en Communication et Électronique à TÉLÉCOM ParisTech en 2011 intitulé "Méthodologie de conception AMS/RF pour la fiabilité : conception d'un frontal RF fiabilisé". Actuellement, il est à CentraleSupélec en tant qu'Enseignant-

Chercheur du Dep. SE. Au sein du pôle ECO2 du GeePs, il poursuit des travaux de recherche axés sur les méthodes de conception robuste et optimisée par ordinateur dans l'équipe MiSCaS. Sa recherche se porte sur l'électronique analogique embarquée, les convertisseurs analogique-numérique et les circuits d'interface pour capteurs MEMs.

Anthony Kolar a reçu son Master en Architecture et Conception des Systèmes Intégrés en 2005 à l'Université Paris 6 – Pierre et Marie Curie (France). Il y obtiendra également son doctorat en Electronique et Informatique en 2009 intitulé : « Contribution à la conception et à la réalisation d'un capteur de vision 3D intégré ». De 2010 à 2012 il est ingénieur de recherche au Commissariat à l'Energie Atomique (CEA), dans le Laboratoire des Calculateurs Intégrés (LCE), où il travailla sur un capteur de vision 3D haute cadence. En 2012, il travaille pour la société SORIN CRM, leader européen des systèmes d'assistance cardiaque implantés, en tant que chef de projet dans le Département de Recherche Avancée. Depuis 2013, il est Professeur Associé à CentraleSupélec, au sein du pôle ECO2 du GeePs dans l'équipe MiSCaS où sa recherche porte sur la co-conception des systèmes hybride ainsi que l'adéquation algorithmique – architecture pour les systèmes intégrés temps réel faible consommation.