

Re-imaginons les travaux pratiques pour la formation G H V ingénieur électronique

Miguel Ángel García Pérez, Yves Leduc, Fabien Ferrero
Pôle CNFM PACA ± 3 R O \ W H F K ¶ 1 ± P S D U R S K E D I Q W G ¶ p O H F W U R Q
930, route des Colles 06903 Sophia Antipolis

Contact: miguelangel.gp@me.com yves.leduc@polytech.unice.fr ffabien.ferrero@unice.fr

Résumé :

1 R W U H R E M H F W L I H V W G ¶ H V V D \ H U G H F R P E O H U O ¶ p F D U W D
X Q L Y H U V L W D L U H H W O H V P p W K R G H V U i n d u s t r i e E n o b t i e n t G r a n t S i m s L J Q
étudiants une première vue globale du système, nous les accompagnons ensuite vers une approche
plus pragmatique sur les objectifs en termes de « Puissance, Performance, » Surface. Sur chacune des
S D U W L H V F R Q V W L V e n x e s d e b a s e s u r l a c o m p r e h e n s i o n d u c o m p o r t e m e n t e t d e s
paramètres clés des différentes parties, à travers un cheminement où la modélisation, la simulation,
le prototypage et la caractérisation occupent une place fondamentale [1].

Mots-clés: circuits mixtes électronique analogique, PLL, VCO, PFD, modélisation, simulation.

1. Introduction

Dans notre philosophie les étudiants devr D n F F R P S O L U O D U p D O L V D W L R Q G ¶ X C
transistor. Plusieurs niveaux de difficulté leurs sont proposés X Q H I D o R Q : Le Design P H Q W
G ¶ X Q R V F o n t o e n v e n s u b b a s é s u r d e s i n v e r s e u r s (V C O) c o m p a r a t e u r d e p h a s e a v e c
des portes CMOS existant (PFD) ; une pompe de charges avec son filtre basé sur des transistors
bipolaires (CP et LF) S X L V O ¶ L Q u e s y s t e m e d o m p e t u n e P L L à p o m p e d e c h a r g e s , e t s a
comparaison avec le circuit du commerce existant TI CMOS PLL CD4046B.

Dans cet esprit, il commencera son design par un VCO constitué de composants simples a
lui permettre de fixer O D I H Q r W U H G u t i l i s a t i o n . L e s H a u t e s F r e q u e n c e s s e r o n t é g a l e m e n t
conçus S X L V X Q H I R L V O ¶ D V V H P e a c c o u s t i q u e s , D a n s u n b i e n e x p r i m e X a G H G
T X ¶ L V V X H a t i o n , d o n n e r a C P L X X j X Q H S K D V H G ¶ R e s i m e s P h e V i d e u s L R Q
performances possibles.

Dans les perspectives proches nous pensons donner un caractère ludique au produit final en
intégrant la PLL dans une chaîne de p P R G X O D W L R Q G ¶ X Q V L J Q D O U D G L R) 0

2. Motivations et objectifs

Plusieurs raisons nous ont emmené à concevoir nos travaux pratiques avec une philosophie
différente. Le désalignement entre les apprentissages standardisés et les besoins industriels en est la
principale, particulièrement dans le domaine des circuits intégrés à signaux mixtes, où nos
compagnies locales nous ont encouragés à proposer de nouvelles techniques et méthodologies de
travail pour mieux préparer nos étudiants. Ceci dit, le processus idéal de conception, fabrication,
test et validation G ¶ X Q F L U F X L W L Q W p J U p t d i f f i c i l e s o n t i n t e g r a b l e s d e v a d o r S O F
efficace dans nos enseignements.

Notre projet est constitué de mini-projets où les étudiants travaillent en autonomie, la nouveauté
consiste à proposer un s o l u s Q V H P E O F L I G H V I F R I K p U H Q W V W R X W H Q V ¶ D
U p H O V T X L F R X Y U H Q W O H V G L I I p U H Q W V G R P D L Q H V G ¶ L Q W
systématiquement la modélisation et la simulation dans notre processus de travail.

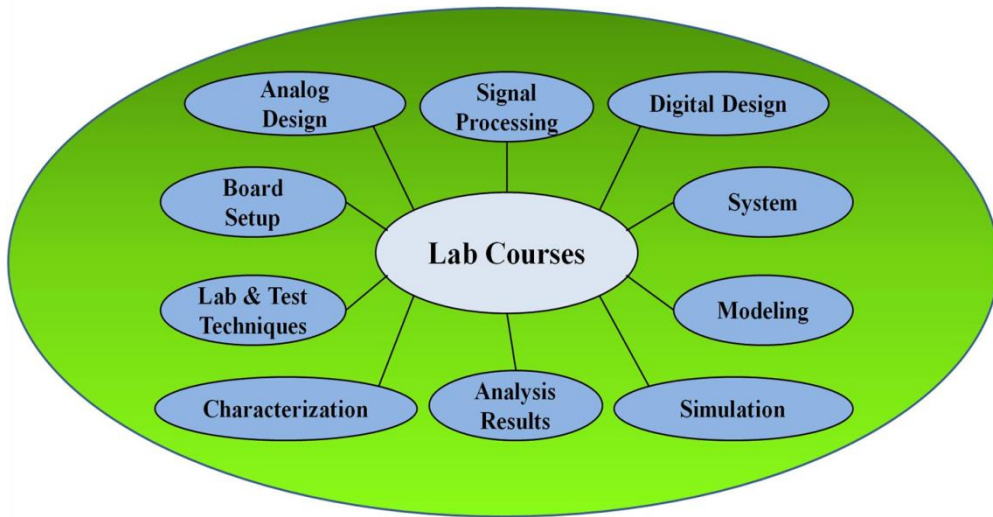


Figure 1 : Ensemble de compétences

3RXU FH IDLUH QRXV DYRQV FKRLVL FRPPH pOpPHQW G¶pW
 SRPSH GH FKDUJH &3 > @ &H V\ VWqPH SHUPHWWUD DX[
 les compétences X¶LOV GHYURQW PDvWULVHU HQ ILQ GH F\FOH)L

3. Structure et fonctionnement d'une CP-PLL

Une boucle à verrouillage de phase à pompe de charge (CP-PLL) est constituée (Figure 2) d'un comparateur de phase (PFD), d'une pompe de charge (CP), d'un filtre de boucle (LF), d'un oscillateur à commande de tension (VCO). Ce signal est divisé par M. Ce jeu de divisions nous permettra de générer des signaux analogiques avec un ratio de N/M de la fréquence.

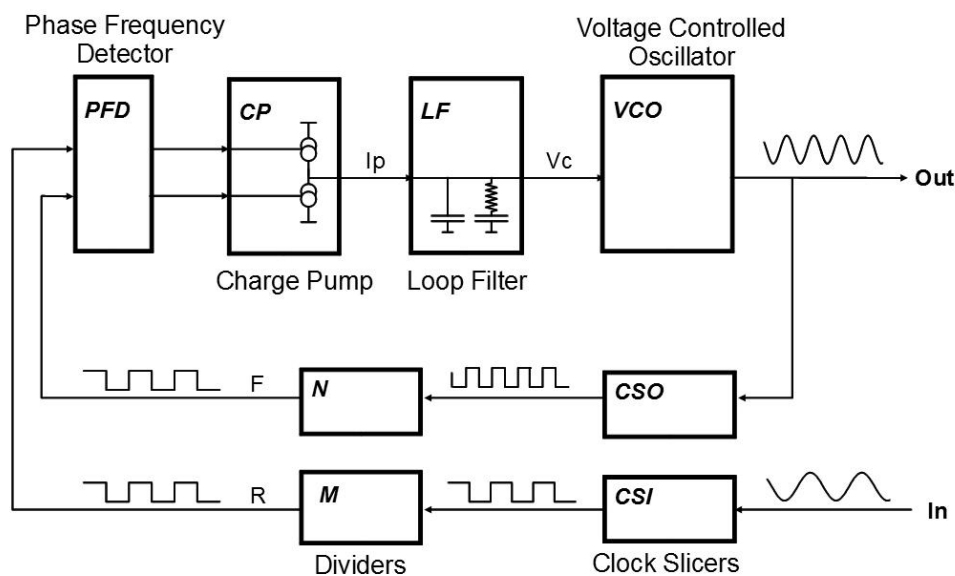


Figure 2 : Schéma bloc CP-PLL

Dans le cas où le signal de sortie du VCO est trop rapide (ou trop lent), le PFD envoie un signal « moins » (ou « plus ») au CP, qui génère un courant négatif (ou positif) sur le LF, ceci a par conséquent de diminuer (ou augmenter) la tension de contrôle du VCO, ce qui (inversément) le signal de sortie. Si un équilibre est trouvé et le signal se stabilise, la PLL se verrouille.

recherchés [3]. Le VCO, de son côté, est un des éléments le plus coûteux CP-PLL, mais peut aussi se construire de manière simple avec un oscillateur en ajustant la fréquence. Nous leur proposerons diverses alternatives, allant de la combinaison de dispositifs standards discrets à des solutions avec de la logique intégrée.

Du fait de sa non-trivialité, la modélisation et la simulation de ces circuits sont souvent réalisées dans un simulateur spécifique pour les circuits à signaux mixtes.

4. Modélisation et simulation

micro-comportementaux précis. Par ailleurs, la séquence de travail complète est synthétisée à travers le diagramme de la figure 3 ci-dessous.

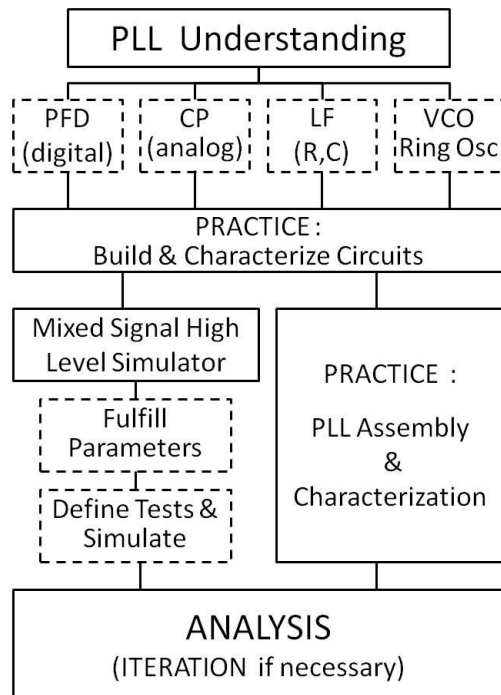


Figure 3 : Séquence globale du TP

Nous avons choisi un modèle haut-niveau commandé par évènement qui a été largement utilisé et prouvé [3] [5]. La description la plus appropriée de chaque élément est utilisée

- le détecteur de phase PFD est fonctionnelle, nous allons modéliser la zone morte du comparateur par 2 délais ajoutés aux évènements venant de la référence ou de la boucle de sortie respectivement. Sa sortie contrôlera la pompe de charge, CP

- la pompe de charge est un module analogique échantillonné. Il sera modélisé comme un commutateur idéal de sources de courant, contrôlé par le PFD. Sa sortie est modélisée avec
- le filtre de boucle étant un élément passif, il est modélisé comme un circuit linéaire dans le domaine temps. Sa fonction de transfert sera un polynôme dans le domaine de Laplace. La sortie du LF sera obtenue par un outil de transformation numérique inversé de Laplace
- la fonction de transfert du VCO décrit la fréquence de sortie en fonction de la tension
- les « clock slicers » CSI et CSO transforment les signaux analogiques en évènements numériques, qui sont les entrées des diviseurs numériques M et N, lesquels sont modélisés dans le domaine numérique.

Les dépendances des paramètres clés suivants

- PFD: Décalage entre le signal de référence et la sortie
Décalage entre le signal rebouclé et la sortie
- CP: Nombre et valeurs du courant de sortie
- LF: Fonction de transfert dans le domaine de Laplace
- VCO: Suite de fonctions linéaires de la fréquence en fonction de la tension
- CS: Niveaux de décision
- DIV: rapports de division M et N

Deux exemples de PFD/CP sont montrés sur la figure 4 (3 ou 5) mais ont le même nombre de niveaux de courant (I_-, I_0, I_+).

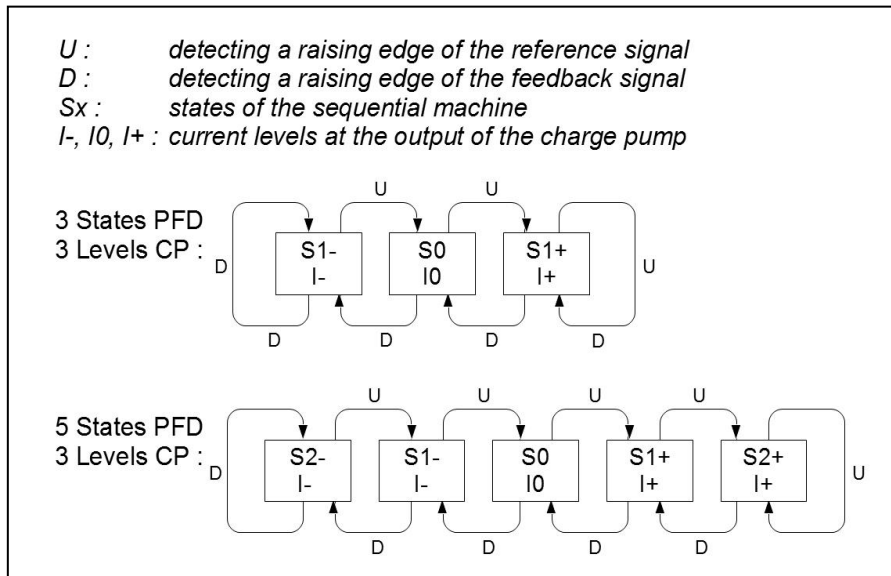


Figure 4 : Combinaison PFD/CP

3 RXU LQWpJUHU OD GHVFULSWLRQ GH OD 3// DX iMbus @ G¶X C
 été nécessaire de construire un modèle comportemental de haut niveau qui soit compatible avec un simulateur à commande par cycle. Un tel simulateur doit supporter un défilement régulier de données compatibles avec une analyse FFT à une très grande vitesse de simulation. Le simulateur NAPA [6] pour circuits mixtes, écrit et supporté par un des auteurs, répond parfaitement à ces besoins. Il a été récemment mis à disposition de la communauté enseignante par Texas Instruments Inc. et peut être téléchargé gratuitement [7]. NAPA permet de générer des exécutables pour Windows 64 bits, qui sont utilisables directement par les étudiants, de façon à pouvoir tourner des simulations sans pour autant devoir suivre une formation sur le fonctionnement complet de X W L O

/¶D G D S W¶X Q L R G q Evènement asynchrone D Usimulateur à commande par cycle¶H V W S D V
 évidente. Afin de simplifier le problème nous supposons que le signal de référence est déjà QXPpULVp HW V\QFKURQLVp VXU O¶KRUORJH F\FOH GX V
 quand à elle, est asynchrone vis-à-vis du cycle¶K R U O S du simulateur Pour une meilleure précision, la simulation tournera XQH SOXV JUDQGH YLWHVHVH /¶pWDW
 plusieurs cycles (cas 1).RUV Evènement synchrone déclenché par la référence en début de F\FOH O¶pWDW GX 3) VHUD DFWXDOLVp HW VH PDLQWLHQ C
 est commandé par la sortie du VCO, il peut avoir lieu au milieu du cycle PFD actualisera alors son état de manière asynchrone (cas 3).

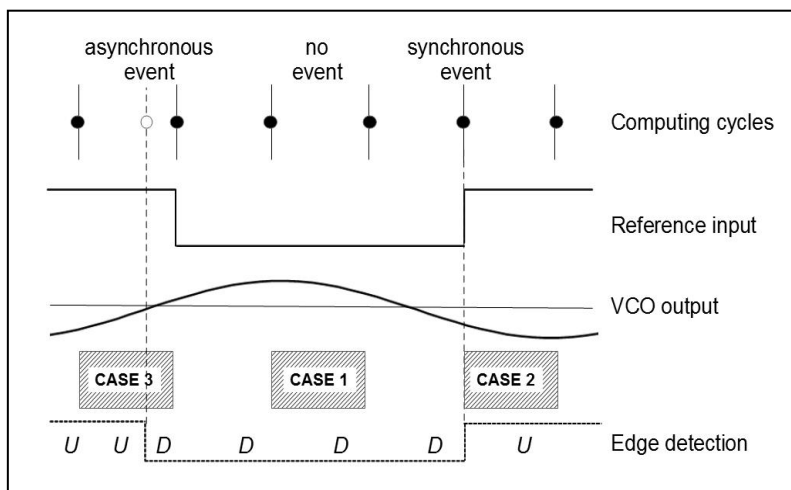


Figure 5 : Evènement asynchrone généré par le VCO

La fonction qui décrit le comportement de la CP- OH ORQJ Est conçue, dans un SUHPLHU WHPSV HQ VXSSRVDQW TX¶LO Q¶\ D SDVTX¶¶p q Q
 PHVXUH O¶pWDW Excel (Figure 6). Cette supposition correspond aux cas 1 et 2 décrits précédemment. Nous pouvons constater à la fin du cycle mesuré la sortie de la référence QH Jp Q q UH SDV GH FKDQ DHP HQ W séquence de VCO¶pWDW CEX 3) /RUVTX¶XQ FKDQJHPHQW HVW LGHQWLILp FDV QRXV UH
 deux parties afin de prendre en considération le changement¶O¶H Q Vitesse de la boucle. Avec ce type de scénario, la sortie du modèle est synchrone avec le cycle de mesure et, surtout, est compatible avec une simulation à commande par cycle.

&H VHUD O¶XWLOLVDWLRQ G¶XQ RXWLO HIILFDFH GH WUD C
 filtre de boucle LF FH TXL QRXV SHU Elargissement de bande [3] Outil de R
 notre système de boucle à verrouillage de phase CP-PLL. La solution proposée ici, qui est intégrée au puissant et versatile simulateur à signaux mixtes NAPA, est bien plus générique que le simulateur spécifique pour CP- 3// TXH QRXV DYRQV SURSRVp GDQV OD
 mieux adapté à nos besoins.

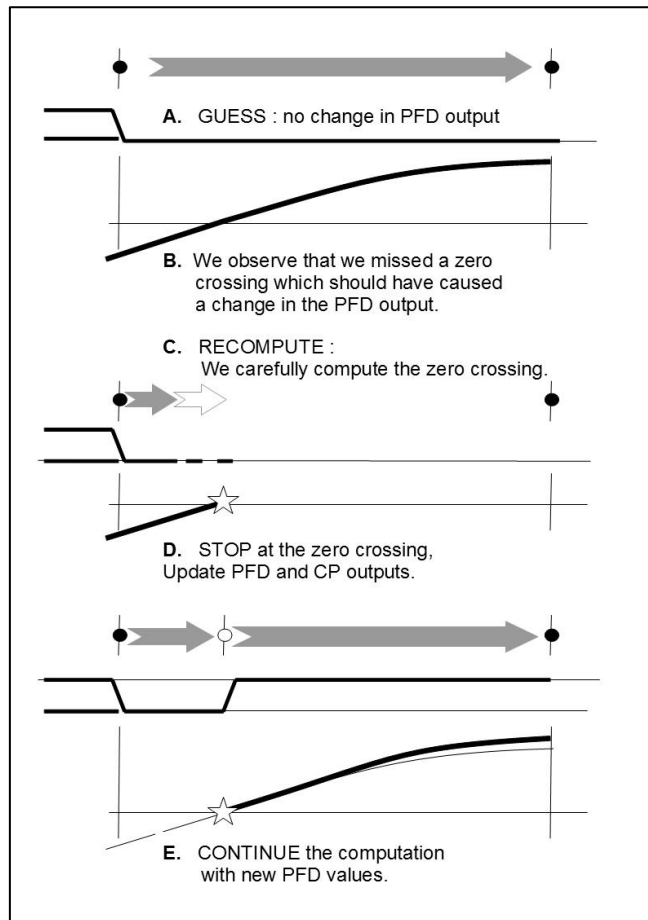


Figure 6 : Diagramme détaillé d'un évènement asynchrone (cas 3)

5. Les travaux pratiques

Nous avons conçu nos TP comme des mini-projets où les étudiants doivent construire une CP-PLL à partir de composants de base. Dans un premier temps ils doivent acquérir une bonne compréhension du circuit et de ses caractéristiques comportementales. Les performances annoncées de FH W\SH GH FLUFXLW VHUYLURQW G¶LQGLFDWHXUV HW G concevoir. Ils découvriront ensuite des techniques de montage sans soudure (câblage, débogage, G p F R X S O Devront développer quelques techniques de mesure (Figure 7).

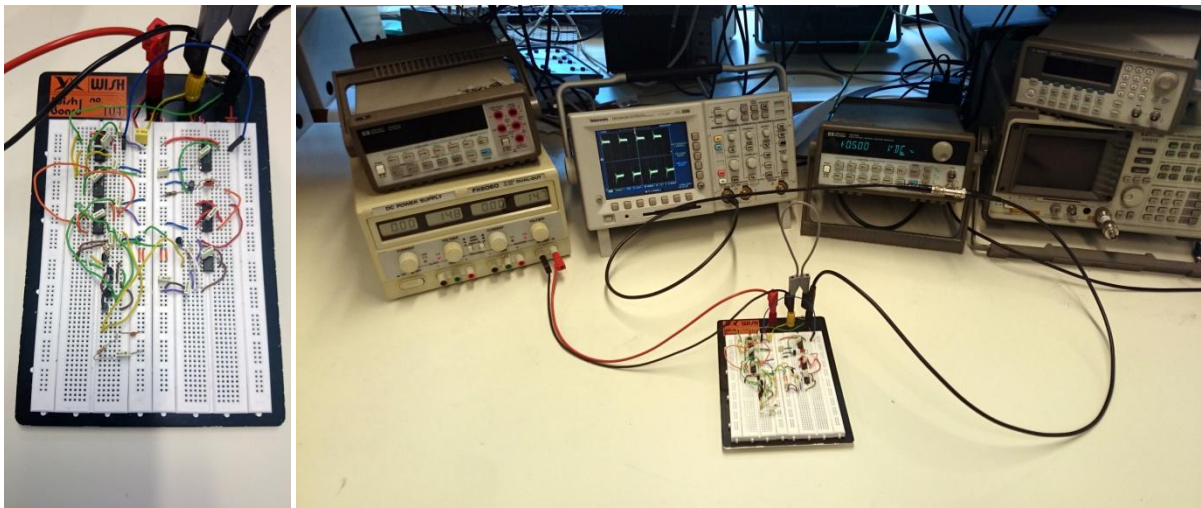


Figure 7: Banc de mesures pour le montage discret de la CP-PLL

Ils commenceront alors leur design par un VCO constitué de composants discrets, ce qui va leur permettre de fixer la fenêtre de f et V . Ces travaux ont été suggérés par quelques schémas à considérer. Le VCO est basé sur une bascule de Schmitt CMOS Hex CD40106B [8] et un amplificateur opérationnel TL082. Le convertisseur de niveau est apparu comme difficile à réaliser, et des techniques ont été proposées.

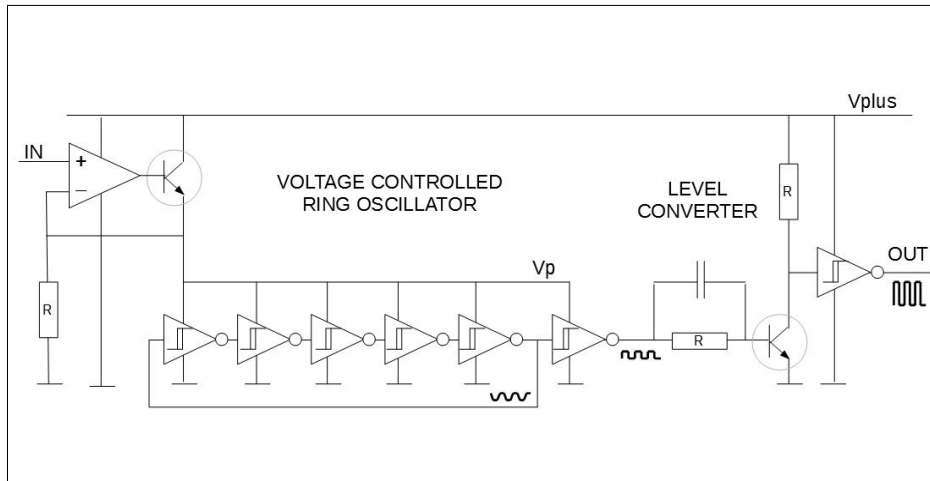


Figure 8 : VCO et son convertisseur de niveau

La fonction de transfert Tension vers Fréquence $F=f(V)$ a été mesurée et enregistrée pour une utilisation ultérieure (Figure 9)

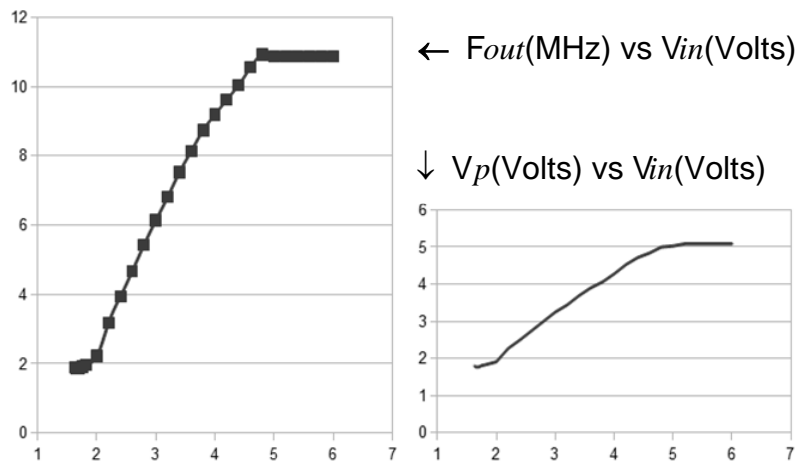


Figure 9 : Mesures du montage VCO

Un exemple de pompe à charge alimentant un filtre de boucle est donné dans la figure 10. Les étudiants ont dû trouver des solutions compétitives. Les performances des sources de courant ont été simulées et comparées à celles du montage en laboratoire.

Le comparateur de phase PFD à trois états réalisé par les étudiants est montré sur la figure 11 utilise le circuit SN74HCT74N composé de deux bascules. Le premier signal (front montant) arrive sur le PFD, et qui a une largeur égale au délai entre les deux signaux.

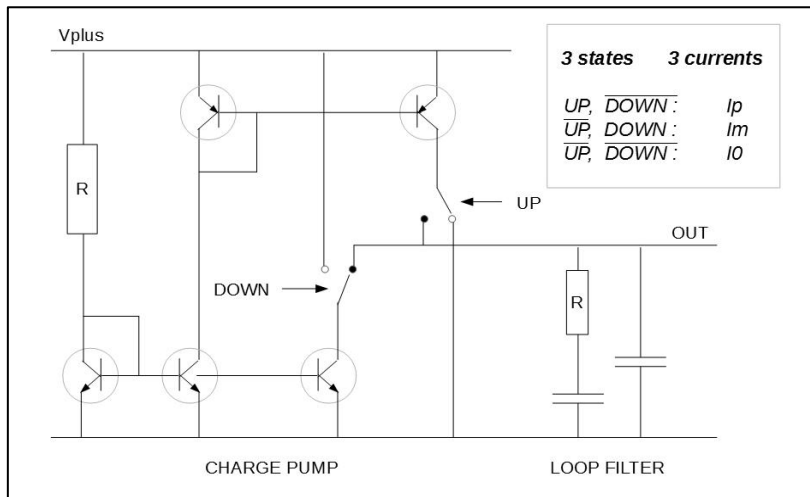


Figure 10 : Pompe à charge et Filtre à boucle

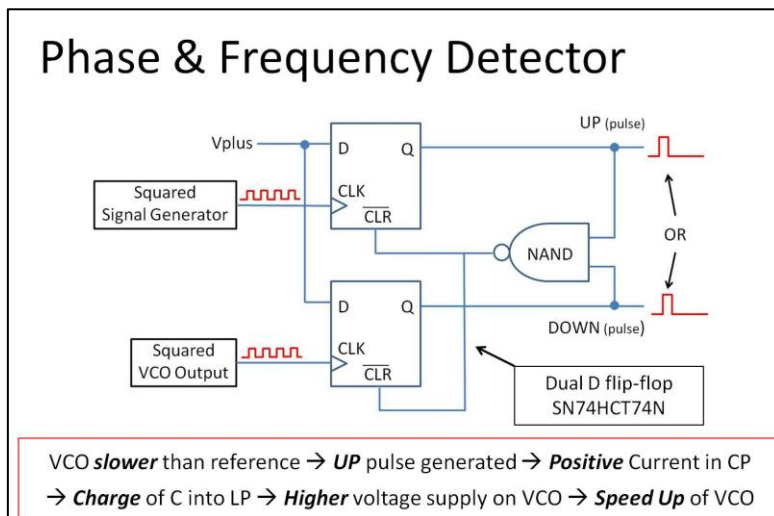


Figure 11 : Comparateur de phase PFD à 3 états

La meilleure architecture du PFD. Ci-dessous nous montrons un exemple de simulation pour 2 types de PFD au niveau transistor en laboratoire :

PFD 3 states: $S1-, S0, S1+$, 5 states: $S2-, S1-, S0, S1+, S2+$ $Delay_{Ref} = 9.6 ns$ $Delay_{Back} = 10.6 ns$	M, N divider ratios: $M = 1$ $N = 1$
CP Currents, 3 levels: $I_- = -0.55 mA$, for PFD states $S1-$ and $S2-$ $I_z = 0.00 mA$, for PFD states $S0$ $I_+ = 0.58 mA$, for PFD states $S1+$ and $S2+$	LF Poles and Zero: $P_0 = 0 rad/s$ $P_1 = -45000 rad/s$ $Z_0 = -5000 rad/s$
VCO Voltage to Frequency Piece Wise Linear Function: $1.6 V \rightarrow 0.83 MHz$ $1.7 V \rightarrow 1.25 MHz$ $1.8 V \rightarrow 1.71 MHz$... $4.6 V \rightarrow 10.4 MHz$ $4.8 V \rightarrow 10.6 MHz$ $5.0 V \rightarrow 10.6 MHz$	

Tableau 1: Paramètres de simulation

Les résultats de la simulation en sortie du VCO pour un signal de référence de type sinusoïdal à fréquence variable sont montrés sur la figure 12. Nous pouvons observer le temps de réponse non négligeable avant le verrouillage de phase, pour des changements brusques de la fréquence en entrée. On peut noter que cette simulation ne dure que 1,5 ms, ce qui est équivalent à une simulation SPICE équivalente.

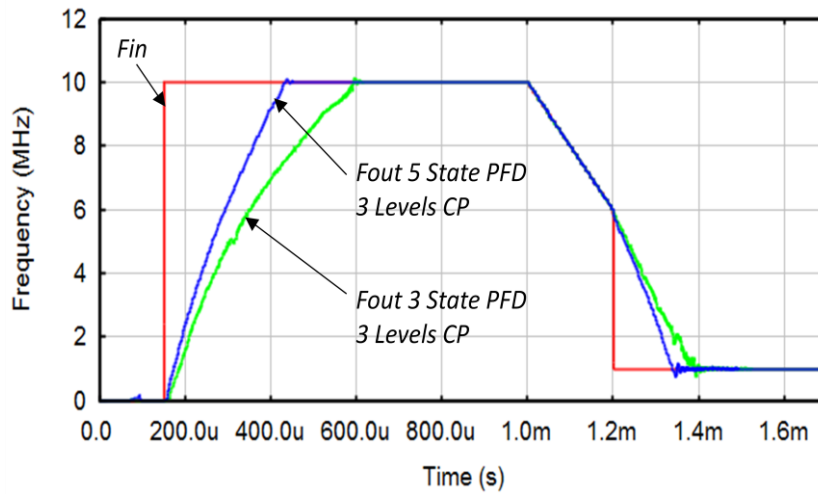


Figure 12 : Simulation réponse fréquentielle CP-PLL

Le challenge pour nos étudiants est de mesurer les performances de leur montage CP-PLL, ce qui est un défi non négligeable. Ils seront alors classés par la qualité et les performances de leur design.

MicroPower PLL CD4046B » à travers la caractérisation de celui-ci. Les étudiants doivent être capables de mesurer les performances de leur montage.

6. Conclusion

Cette nouvelle approche de travail offre à nos étudiants en électronique de réaliser par eux-mêmes une CP-PLL à niveau transistor, tout en ayant acquis la compréhension de la modélisation/simulation. Ils sont censés obtenir les meilleures performances possibles de leur PLL, par exemple une chaîne de démodulation de signal radio FM.

Références

- [1] Miguel A. García Pérez, Yves Leduc and Fabien Ferrero, "Revamping a lab course for the education of students in electronic engineering" *14th European Embedded Desing in Education and Research Conf.*, Sept2014, Milan (ITALY), Proceedings of EDERC 2014 via IEEE Xplore #978-1-4799-6841-1, p. 162.
- [2] F.M. Gardner, "Charge-Pump Phase-Lock Loop" *IEEE Trans. Commun.*, Vol. COM-28, pp 1849-1858, Nov 1980.
- [3] C.D. Hedayat, A. Hachem, Y. Leduc and G. Benbassat "Modeling and Characterization of the 3rd Order Charge Pump PLL : a fully eventdriven approach" *Analog Integrated Circuits and Signal Processing*, Vol 19, Issue 1 pp 23-35, Apr. 1999.
- [4] Wang, Ping-Ying, "Chaos In Phase Locked Loop" *2006 International Symposium on VLSI Design, Automation and Test*, Hsinchu, Apr. 2006
- [5] C.D. Hedayat, A. Hachem, Y. Leduc and G. Benbassat "High-level modeling applied to the second order Charge Pump PLL circuit," *Texas Instruments Technical Journal*, Vol 14, pp. 99108, 1997.
- [6] Yves Leduc, "NAPA, Outil de simulation comportementale de systèmes intégrés analogiques et mixtes", *Mémoire en vue de l'obtention d'une HDR, Polytech'Nice-Sophia Antipolis*, Jan. 2014.
- [7] Napa is freely available for the education community (Contact the authors).
- [8] CMOS Logic Gates CD40106B *Texas Instruments*
- [9] CD4046B CMOS MicroPower Phase-Locked Loop *Texas Instruments*.

Biographies

Miguel Angel García Pérez est né à Mollet del Vallès (España) en 1968. Maître es Sciences par l'Université de Bordeaux, il a obtenu son doctorat de Physique de l'Université de Bordeaux en 1997. Il a rejoint Texas Instruments France en 1997 où il a travaillé pendant 16 ans dans la conception de circuits intégrés. En 2013, il a rejoint l'Université de Nice Sophia Antipolis en tant que chargé de cours vacataire, R • LO GLV SHQVH GHV , ORXRJVOODTFRUJDFWNERHEEPG dans OH GRPDLQH GH OD GpWHFWLRQ HW LGHQWLIki.FDWLRQ GH V

Yves Leduc, PhD, HDR, Chaire Texas Instruments à UNS. Après avoir obtenu un doctorat en sciences appliquées à l'UCL (Belgique) en 1979, Yves Leduc a rejoint Texas Instruments France en 1998. Yves occupe la chaire industrielle TI à Polytech, Université de Nice Sophia-Antipolis. Son domaine d'activités principal est le design de circuits intégrés mixtes et la modélisation associée.

Fabien Ferrero est né à Nice (France) en 1980. Il a reçu son diplôme de thèse en 2007 à l'Université de Nice-Sophia Antipolis. Entre 2008 et 2009, il a travaillé pour la société IMRA Europe (centre de recherche d'Aisin Seiki) dans le domaine automobile. Après un Post-Doc au LEAT en 2009 sur le projet NAOMI, il est depuis 2010, Maître de Conférences à l'École Polytech'Nice. Il effectue sa recherche au sein du LEAT. Ses études concernent la conception et la mesure d'antennes, de circuits déphaseurs et de systèmes reconfigurables.