

Comparaison des effets de canaux courts entre les technologies MOSFET FDSOI et MOSFET bulk

Quentin Rafhay¹, Antoine Cros³, Irène Pheng², Loïc Vincent², Ahmad Bsiesy²

¹ Grenoble-INP – Phelma, 3 parvis Louis Néel – BP257 – 38016 Grenoble Cedex 1

² Centre Interuniversitaire de Microélectronique et Nanotechnologies (CIME Nanotech), Pôle CNFM de Grenoble, 3 parvis Louis Néel, 38016 Grenoble Cedex 1

³ STMicroelectronics, 850 rue Jean Monnet, BP 16, 38926 Crolles, France

Résumé

Pour répondre au besoin d'augmentation des performances des circuits intégrés, de nouvelles architectures dites Trigate (développée par Intel) ou totalement déserté sur isolant (FDSOI, développée par ST Microelectronics) ont récemment été mise en production. Ce travail décrit la mise en place et le déroulement du nouveau TP de caractérisation électrique accessible au CIME Nanotech, Pôle CNFM de Grenoble, qui vise à comparer les performances des architectures de transistor conventionnelles (dites bulk) et FDSOI.

1. Introduction

La miniaturisation des composants MOSFET, clef de voûte de la croissance de l'industrie de semi-conducteur pendant près de 40 ans, n'est actuellement plus seulement suffisante pour répondre aux besoins des nouvelles applications des circuits intégrés. Depuis 15 ans, cette industrie a dû relever de nombreux défis technologiques. Ainsi, l'ingénierie des contraintes des composants qui augmentent significativement la mobilité des porteurs dans le canal a tout d'abord été introduite au début des années 2000. Par la suite, et afin de diminuer les courants de fuites à travers la grille du transistor, l'industrie des semi-conducteurs a été amenée à remplacer l'oxyde de silicium par des matériaux à plus fortes constantes diélectriques, dits « High-K », tel que le HfO₂. Plus récemment, la réduction des effets parasites inhérents à la diminution des dimensions a forcé les grands fabricants de composants à introduire de nouvelles architectures de transistors. Ces effets parasites, appelés effets de canaux courts [1], apparaissent quand le couplage de la grille avec la charge dans le canal du transistor n'est plus suffisant, et qu'en conséquence, le couplage du drain avec la charge dans le canal devient trop important. Le principal impact de ces effets est une augmentation significative de la consommation statique des composants MOSFET, ce qui constitue une grande limitation pour les applications mobiles qui dominent actuellement le marché de l'électronique.

Dans ce contexte de grands défis technologiques et économiques, Intel et ST Microelectronics ont décidé de modifier profondément l'architecture du composant MOSFET et d'introduire des technologies employant des films extrêmement minces de silicium pour le canal du transistor. L'emploi de films minces est connu depuis les années 90 pour induire une diminution du couplage du drain en faveur de la grille, réduisant ainsi nettement les effets de canaux courts. Cependant, ces deux fabricants de composants se sont orientés vers deux solutions technologiques très différentes. Intel a développé une architecture « Trigate » (sorte de nanofil dont la hauteur est plus grande que la largeur), tandis que ST Microelectronics a développé une technologie dite « silicium totalement déserté sur isolant » ou Fully Depleted Silicon On Insulator en anglais (FDSOI [2]).

Ces deux technologies entre donc en concurrence avec l'architecture conventionnelle sur substrat de silicium massif, dite « Bulk ». La figure 1 illustre la différence entre l'architecture conventionnelle du MOSFET bulk et les transistors FDSOI.

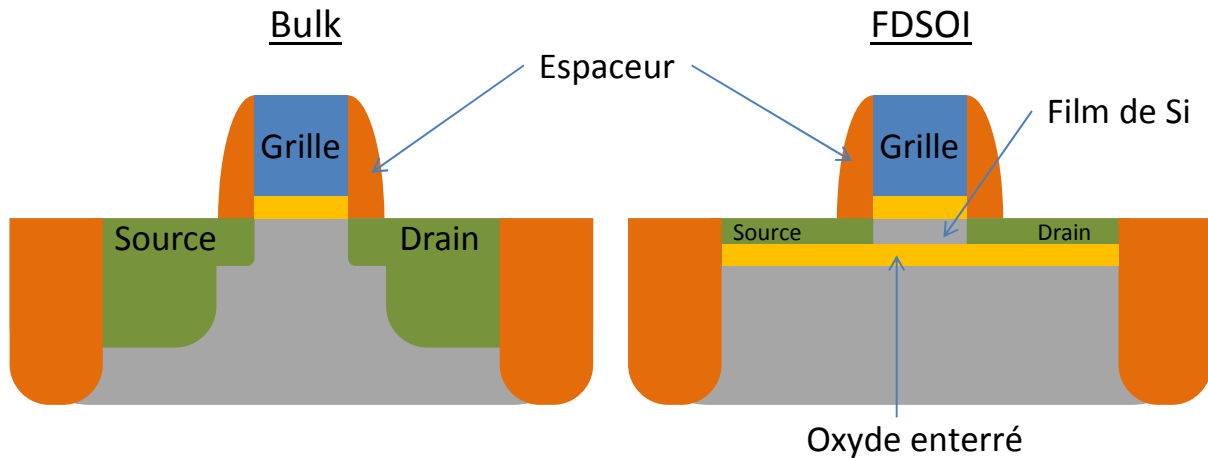


Figure 1 : Schémas des architectures FDSOI vs Bulk

On constate sur la figure 1 que le transistor FDSOI présente une couche d'oxyde enterré (Buried OXide en anglais – BOX), qui permet de ségréger les lignes de champs électrique provenant du drain, et donc de supprimer le couplage du drain avec la charge dans le canal, éliminant ainsi les effets de canaux courts.

Pour refléter cette évolution majeure dans la structure du composant MOSFET, essentiellement inchangée depuis son invention en 1960, et grâce aux liens entre ST Microelectronics et les milieux académique grenoblois, un nouveau TP de caractérisation électrique a été mis en place au CIME Nanotech. L'objectif de cet article est de présenter ses objectifs pédagogiques, sa mise en place et son déroulement.

2. Objectifs pédagogiques

Ce TP est entièrement effectué sur la plateforme caractérisation électrique du CIME Nanotech. Sur cette plateforme sont disponibles, [entre autres](#), 4 analyseurs I-V, 2 analyseurs C-V et leurs stations sous pointes. De nombreux TP de caractérisation électrique de composants à semi-conducteurs y sont réalisés, principalement pour vérifier le bon fonctionnement des composants fabriqués en salle blanche lors de travaux pratiques ou pour identifier les sources de défaillances le cas échéant.

Les étudiants qui effectuent ce nouveaux TP de caractérisation ont déjà tous suivi les TP précédents, qui sont alors considérés comme une introduction à la caractérisation électrique et à la manipulation du matériel de mesure.

Ainsi, d'un point de vue pédagogique, ce TP vise tout d'abord à renforcer les compétences des étudiants en matière de caractérisation électrique de composants avancés. En effet, les phénomènes physiques abordés sont plus complexes et leur mise en évidence ainsi que leur quantification nécessitent des méthodes plus avancées. De plus, la fragilité des composants manipulés nécessite une plus grande prudence dans les expériences. Ainsi, les compétences requises, bien qu'appliquées au cas particulier d'un MOSFET FDSOI, sont en fait générales à la caractérisation électrique fine de composants électroniques (composant passif, imageur, capteur).

Enfin, le deuxième objectif pédagogique est plus académique. En effet, ce TP s'inscrit, pour les deux filières l'effectuant, en complément d'un cours magistral sur la physique et les technologies CMOS. Les aspects de performances d'un composant MOSFET et d'effets de canaux courts sont largement abordés lors de ces modules. Les mesures et extractions effectuées dans ce TP en sont donc l'illustration par la pratique.

3. Description des échantillons

Les composants mesurés lors de ce TP sont issus de wafers de silicium de 300 mm de diamètres contenant des barrettes de structures de tests, provenant de lots de développement du nœud technologique 28 nm de ST Microelectronics, comme montré sur la figure 2.

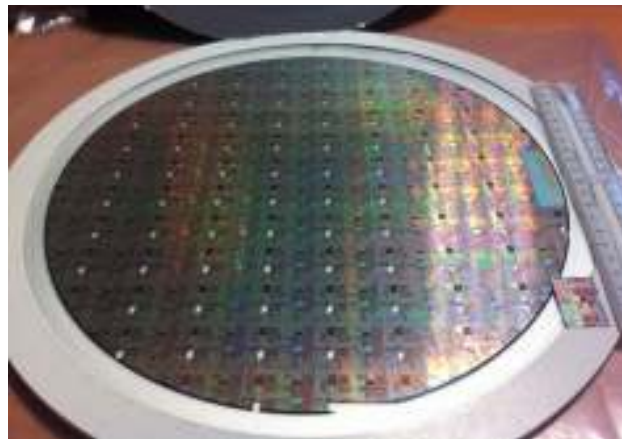


Figure 2 : Wafer de 300 mm de diamètre contenant les barrettes de test utilisées pour et mises en boîtier

Les spécifications des transistors sont les suivantes :

- Diélectrique de grille : Oxyde piédestal SiO₂ nitruré + High-K HfSiON
- Matériau de grille : Grille métal TiN (15 nm) + Si-poly (50 nm)
- Longueur de grille : 10 μ m à 30 nm
- Largeur du transistor : 1 μ m
- Dopage : Extensions LDD et poches de surdopage

Plus particulièrement pour les transistors FDSOI :

- Epaisseur du film de silicium : 7 nm
- Epaisseur de l'oxyde enterré : 25 nm

Ces MOSFET présentent des caractéristiques géométriques et électriques à la pointe de ce qui est actuellement fabriqué par l'industrie des semi-conducteurs.

Les barrettes de test ont en commun leur substrat. Les sources sont communes pour des paires de transistors, limitant ainsi les sources de stress entre transistors, mais permettant par ailleurs d'avoir accès à plus de longueurs de grille pour les extractions de paramètres le nécessitant.

Cependant, du fait de la taille trop réduite des connexions de ces structures de tests, les mesures sur les stations sous pointes sont impossibles à partir du wafer. Ainsi, des barrettes de MOSFET ont été découpées dans le wafer puis montées en boîtier au CIME Nanotech, pour obtenir des échantillons contenant 8 transistors de longueurs différentes, soit de type p, soit de

type n. Un exemple de puce 24 pattes utilisée pour les mesures est visible sur la photo de la figure 3.

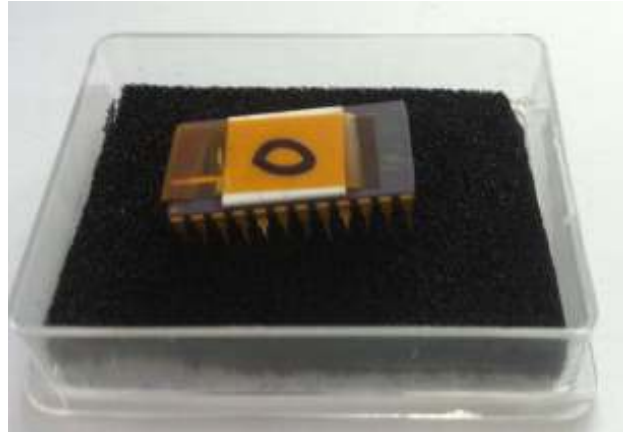


Figure 3 : Mise en puce d'un échantillon sur une barrette 24 pattes

Ces tailles extrêmement réduites et l'absence de circuit intégré de protection implique par ailleurs que les échantillons/puces soient manipulés avec une très grande précaution. Pour minimiser le plus possible les risques de décharge d'électricité statique (ESD) pouvant détruire les composants, les personnes manipulant ces échantillons sont donc reliées à la masse par un bracelet antistatique (figure 4). Malgré les précautions, un certain nombre de transistors sont détruits lors des manipulations. Il est donc nécessaire de faire un suivi des transistors fonctionnels et de renouveler régulièrement les puces à tester. Pour cela, une feuille de suivi de la fonctionnalité des transistors est associée aux échantillons. Ce suivi est effectué par les étudiants eux-mêmes, qui doivent mettre à jour ce document dès qu'ils constatent qu'un composant est défectueux. Ce suivi permet par ailleurs de mieux anticiper les besoins en composants et donc leur mise en boîtier de puce, et accélère ainsi les manipulations en évitant la mesure de composants identifiés comme non fonctionnels. Un extrait de ce type de table de suivi est donné par la figure 4.

Dashboard of the status of the FDSOI & Bulk devices									
Die	10 μm	1 μm	0.3 μm	0.12 μm	60 nm	40 nm	35 nm	30 nm	notes
0									FDSOI
1							2	3	FDSOI
2								1	FDSOI
3									FDSOI
4		6	7	8				4	FDSOI
5	5								FDSOI
6									FDSOI
7									Bulk
8									Bulk
9									Bulk
10									Bulk

Figure 4 : Extrait de la table de suivi des transistors fonctionnels.

Il a été estimé qu'environ 20 puces par an étaient nécessaires pour que le TP puisse se dérouler sans problème majeur, soit environ 2 wafers par an. Ce TP est donc possible grâce à un lien étroit avec les partenaires industriels grenoblois.

4. Instrumentations et protocole expérimental

Au cours de ce TP, les étudiants effectuent une série de mesures de type courant-tension (I-V) à l'aide d'un Keithley 4200 récemment mis à jour ou d'un HP 4155. L'utilisation des puces à la place de mesure directement effectuée sur substrat à l'aide des stations sous pointes impose donc de faire les acquisitions avec un boîtier de connexion pour puces connecté aux analyseurs I-V. Ce système est illustré par la figure 4.



Figure 4 : Photographie d'un analyseur I-V, du boîtier de mesure de puce et du bracelet antistatique nécessaire aux manipulations des puces.

Cette installation, rendue nécessaire par la taille des connexions sur composants, évite donc la manipulation des stations sous pointes et accélèrent l'acquisition des mesures. Une table de connectivité (figure 5) permet de choisir rapidement les composants à tester en connectant les bons fils du boîtier aux bons numéros de pattes des puces.



Convenient connection scheme:

Gate = SMU 1
Drain = SMU 2
Source = SMU 3
Bulk = SMU 4

Length	Gate	Drain	Source	Bulk
10 μm	6	5	8	28
1 μm	9	4	8	28
0.3 μm	10	2	11	28
0.12 μm	12	1	11	28
60 nm	17	27	18	28
40 nm	19	26	18	28
35 nm	25	20	24	28
30 nm	23	21	24	28

Figure 5 : Table de connectivité des puces pour la sélection des transistors par leur longueur de grille

Une fois la puce connectée au boîtier, l'analyseur peut être paramétré par les étudiants en quelques minutes et en autonomie quasi totale. Les données sont sauvegardées sur clef USB pour être traitées sur ordinateur.

5. Mesures effectuées et extractions de paramètres

Les mesures de bases à effectuer sur les échantillons sont relativement simples. Il s'agit de mesures du courant de drain du transistor en fonction de la tension de grille (de 0 à 1 V), pour trois valeurs de tension de drain (10 mV, 100 mV et 1V). Ces mesures sont réalisées pour toutes les longueurs de grilles disponibles, pour les transistors bulk et FDSOI. Les tensions ne doivent jamais dépasser 1 V, voire 1,2 V au maximum, pour ne pas endommager les composants. La figure 6 illustre le résultat de ce type de mesures. Si ces dernières sont effectuées correctement, elles ne prennent pas plus d'un quart du temps alloué au TP.

Le travail principal du TP consiste ainsi en l'exploitation des données en vue de l'extraction de paramètres caractéristiques d'un MOSFET ultra court. Les explications et détails relatifs aux procédures d'extractions sont donnés au cours du TP et les traitements sont enfin effectués à l'aide d'un tableur (Excel ou LibreOffice).

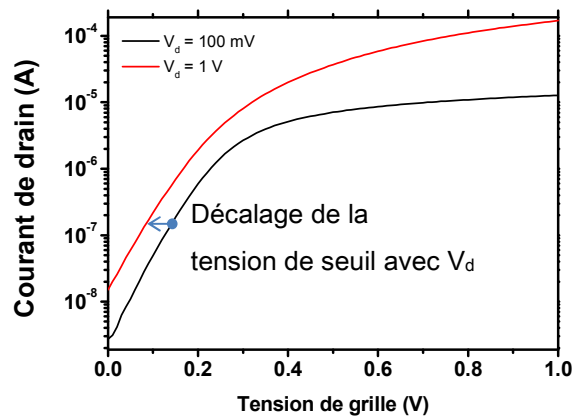


Figure 6 : Exemple de mesure I_d - V_g en échelle log, pour $V_d = 100 \text{ mV}$ et $V_d = 1 \text{ V}$.

Deux séries de paramètres sont extraits. Les premiers concernent les effets de canaux courts, qui se manifestent par une réduction de la tension de seuil (V_t) pour de courtes longueurs de grille et de fort V_d . Le décalage de V_t , induit par une augmentation de la tension de drain, est visible sur la figure 6. La figure 7 illustre la caractérisation des effets de canaux courts. La deuxième série vise à déduire la mobilité effective des transistors étudiés.

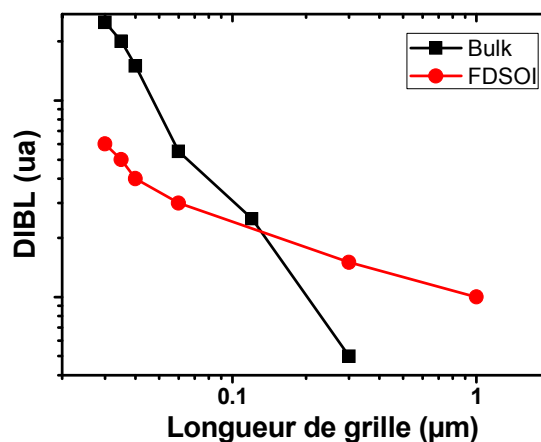


Figure 7 : Effet DIBL (Drain Induced Barrier Lowering) en fonction de la longueur de grille pour les composants Bulk et FDSOI

Les étudiants concluent ainsi facilement de ces extractions que les transistors FDSOI présentent des effets de canaux courts fortement réduits par rapport à ceux des transistors bulk.

D'autres effets notables sont par ailleurs observables, mais difficilement quantifiables, comme les effets de la réduction de la mobilité avec la longueur de grille, ou l'impact de la variabilité du V_t dans les transistors sub-50nm [3].

L'évaluation de ce TP se fait par rendu de rapport, contenant toutes les extractions demandées et leurs interprétations.

Conclusions

Un nouveau TP proposant la comparaison des performances électriques des composants innovants FDSOI avec les composants conventionnels bulk a ainsi été mis en place au CIME Nanotech (pôle CNFM de Grenoble). Ce TP permet aux étudiants de manipuler des composants à l'état de l'art et d'être familiarisés à la caractérisation électrique avancée.

Il est actuellement effectué par deux filières de l'école d'ingénieur Phelma - Grenoble INP : la filière Physique et NanoSciences et le master international Nanotech, soit l'équivalent d'une soixantaine d'étudiants par an.

Perspective

La principale limitation de ce TP provient de la grande fragilité des composants mis en puces. Pour y remédier, il serait nécessaire d'effectuer les tests directement sur wafer. Ainsi, une acquisition de nouvelles pointes, permettant les mesures sur des contacts plus petits, sera évaluée prochainement. Cette évaluation devra prendre en compte le coût de ces pointes, ainsi que leur renouvellement régulier, du fait de leur propre fragilité. Ces aspects démontrent la dimension très innovante de ce TP, qui permet aux étudiants de manipuler des échantillons à l'état de l'art de ce qui est actuellement fabriqué par l'industrie du semi-conducteurs, à l'aide d'installations et d'instrumentations professionnelles.

Remerciements

Ce projet a été soutenu par le groupement d'intérêt public « coordination nationale pour la formation en microélectronique et nanotechnologies » (GIP CNFM), l'IRT Nanoélectronique ANR-10- AIRT-05 ainsi que le LabEx Minos ANR-10-LABX-55-01

Références

- [1] K.K. Young, "Short-channel effect in fully depleted SOI MOSFETs," *Electron Devices*, IEEE Transactions on , vol.36, no.2, pp.399,402, Feb 1989
- [2] C. Fenouillet-Beranger, et al., "FDSOI devices with thin BOX and ground plane integration for 32 nm node and below", *Solid-State Electronics*, Volume 53, Issue 7, July 2009
- [3] O. Weber et al., "High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding," *Electron Devices Meeting, 2008. IEDM 2008*. IEEE International, pp.1,4, 15-17 Dec. 2008