

# Elaboration de couches minces de Silicium sur isolant (SOI) par le procédé Smart-Cut™

C. Rouhabi<sup>a</sup>, T. Besombes<sup>a</sup>, R.P. Tan<sup>a</sup>, F. Guerin<sup>a</sup>, C. Capello<sup>a</sup>, F. Gessinn<sup>a</sup>, G. Benassayag<sup>b</sup>,  
A. Claverie<sup>b</sup>, X. Hebras<sup>b,c</sup>, M. Respaud<sup>a,c,d</sup>

<sup>a</sup> AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, France

<sup>b</sup> CEMES-CNRS, Université de Toulouse, France

<sup>d</sup> Département de Génie Physique, Université de Toulouse, INSA, France

<sup>d</sup> LPCNO, Université de Toulouse, CNRS, INSA, UPS, France

Contact email : reasmey.tan@aime-toulouse.fr

Nous présentons dans ce travail les études préliminaires dans le but de créer une nouvelle formation pratique en salle blanche sur la thématique de fabrication de substrats SOI (Silicium on Insulator). La méthode de fabrication est basée sur le procédé Smart-Cut™ (Soitec/CEA-Leti). L'objectif de ces premiers travaux est de démontrer la faisabilité du procédé avec des wafers de taille réduite (2 pouces) dans un environnement loin des standards (en termes de propreté) normalement requis pour la réalisation du procédé. Le procédé comprend une première étape d'implantation d'ions H, puis une phase de collage moléculaire et d'activation de la fracture par recuit. Des taux de transfert de 80% à 90% ont été obtenus ouvrant la voie vers un enseignement sur la fabrication de SOI par le procédé Smart-Cut™.

## I. Introduction

Le silicium sur isolant (SOI pour silicon on insulator), est une structure constituée d'une couche de Si de quelques nanomètres au micromètre sur une couche d'isolant. Il constitue un support performant pour la fabrication de transistors fonctionnant à haute fréquence, c'est-à-dire les composants de l'électronique avancée [1]. Divers procédés de fabrications sont utilisés industriellement. Une approche est basée sur le procédé Smart-Cut™ développé par le CEA LETI et la société SOITEC [2,3]. La technologie Smart-Cut™ est fondée sur l'association de l'implantation d'ions légers et du collage par adhésion moléculaire pour transférer des couches monocristallines ultrafines d'un substrat à un autre. Elle fonctionne comme un scalpel à l'échelle atomique et permet de gérer les couches actives indépendamment du substrat support mécanique. [4] Les avantages de cette technique sont nombreux : obtention de couches submicroniques de Si monocristallin d'épaisseur modulables (selon la profondeur d'implantation) sur un substrat isolant, applications avec différents types de substrats donneurs et d'accueil, recyclage des plaquettes donneuses pour d'autres transferts (après traitement de surface).

## II. Procédé de fabrication

Les principales étapes de cette technique sont illustrées dans la Figure 1. La première consiste en une implantation ionique d'hydrogène réalisée dans une première plaquette de Si oxydée en surface (plaquette A donneuse) (Fig. 1-A). Cette plaquette est ensuite collée à une deuxième plaquette B de Si (plaquette de support du SOI) par adhésion moléculaire (Fig. 1-B). Les deux plaquettes collées subissent ensuite un traitement thermique avec différents paliers de température afin de créer une fracture au niveau des ions H<sup>+</sup> (500°C) (Fig. 1-C). Un deuxième

palier à 1100°C permet de consolider l'adhésion du SOI mais aussi de restructurer la maille cristallographique du Si endommagé lors des étapes précédentes, en particulier lors de l'implantation ionique (Fig. 1-D).

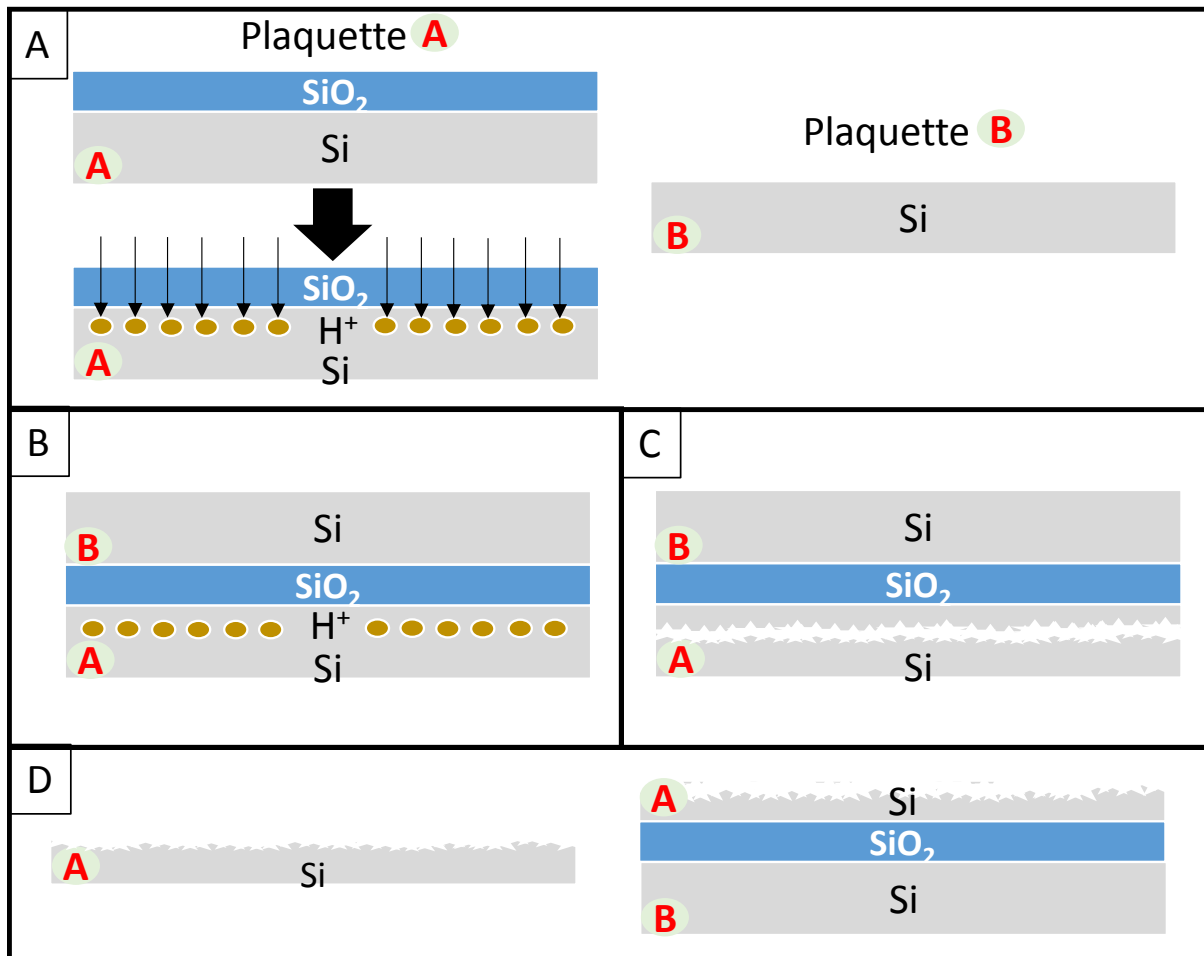


Fig. 1 : Principe de fabrication de SOI par procédé Smart-Cut™ : A/ Oxydation puis implantation ionique (H<sup>+</sup>) de la plaquette A. B/ Collage des plaquettes A et B par adhésion moléculaire. C/ Fracture obtenue après recuit thermique (500 °C). D/ substrat SOI obtenu après fracture et recuit à 1100°C.

### III. Résultats

La difficulté majeure rencontrée pour la mise en place de ce procédé en tant que formation pour des étudiants, a résidé dans l'obtention d'un procédé reproductible et fiable, avec les moyens techniques et matériels disponibles à l'AIME. Nous avons développé avec succès un protocole de fabrication de SOI 2 pouces basé sur la technologie Smart-Cut™ dans une salle blanche de classe (100 à 10000 selon les zones).

Pour ce faire, nous avons convergé vers les paramètres présentés ci-après. L'implanteur ionique utilisé est le modèle EATON NV3206. Une dose de  $5 \times 10^{16}$  ions H<sup>+</sup>/cm<sup>2</sup> est implantée (courant 10-15 μA). Les ions H<sup>+</sup> sont extraits de la phosphine habituellement utilisée pour le dopage au phosphore. La profondeur d'implantation a été modulée via la tension d'accélération comprise entre 35 et 100keV. Après nettoyage RCA1, les plaquettes sont mises en contacts puis, subissent un traitement thermique avec 3 paliers consécutifs de 60 minutes à 300°C, 90 minutes à 500°C et 60 minutes à 1100°C. Après activation mécanique de la fracture, les plaquettes donneuses (A) et de SOI (B) sont présentées dans la Fig. 2-A. Les SOI obtenus sont composés d'une couche mince de Si allant de 150 nm à 360 nm (déterminée au TEMCORE

PM17), selon l'énergie à laquelle les ions H<sup>+</sup> sont implantés (Fig. 2-B). Les taux de transfert de couches minces sont de l'ordre de 80-90%. Des observations par microscopie électronique à balayage (JEOL 7100 équipé d'un spectromètre d'analyse X Bruker) permettent de confirmer la nature chimique des couches.

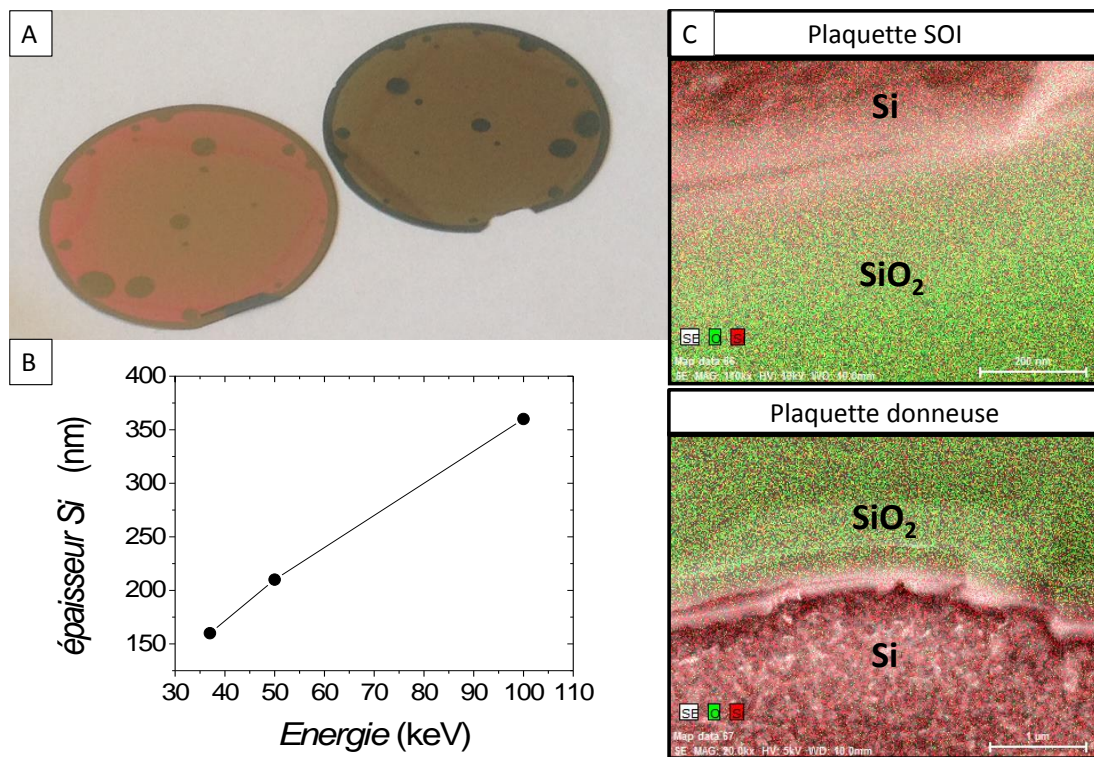


Fig. 2 : **Résultats expérimentaux** : A/ plaquettes A et B (SOI) obtenues après transfert. A gauche le SOI, à droite la plaquette A (donneuse de Si). B/ épaisseur de la couche de Si transférée en fonction de l'énergie d'implantation. C/ Microscopie électronique (SEM-FEG) et analyse EDX sur une zone non transférée de la plaquette SOI et de la plaquette donneuse. En rouge le silicium, en vert l'oxygène.

#### IV. Perspectives

Nous avons démontré la faisabilité de substrat SOI, avec une épaisseur variable de Si, ce en fonction de la l'énergie d'accélération des ions H<sup>+</sup> implantés. Le procédé et les différentes étapes réalisées sont simples et peuvent faire l'objet d'un stage complet. Les étudiants pourront se former dans un environnement de salle blanche sur différents aspects :

- utilisation de fours spécifiques (oxydation, recuit thermique des plaquettes),
- implantation ionique,
- nettoyage spécifique des plaquettes par différentes méthodes [attaques chimiques (RCA) et/ou physiques (plasma)],
- caractérisation des couches transférées (éllipsomètre, profilomètre, microscopie électronique à balayage),

Sur le plan des concepts de matériaux, ce stage est extrêmement riche :

- implantation ionique,
- diffusion des ions,
- fracture,
- collage moléculaire,
- transfert de couche mince par le procédé Smart-Cut™.

Les améliorations que nous nous proposons d'aborder concernent :

- le contrôle optique des plaquettes lors de l'adhésion moléculaire (caméra infrarouge),
- le travail en atmosphère contrôlée (boîte à gants),
- les mesures de force d'adhésion.

Ces améliorations concernent principalement la qualité et le contrôle du collage moléculaire, d'une part pendant la phase de mise en contact des plaquettes (point 1 et 2) et la qualité du collage (point 3). Cette dernière est essentielle afin d'optimiser les conditions de traitement thermique. A plus long terme, il s'agira également de faire évoluer cette formation vers des applications directes intégrant le transfert de couches minces de Si dans un dispositif technologique concret. Nous pourrions, par exemple, coupler cette formation SOI avec la formation LUMELEC, déjà dispensée à l'AIME, afin de réaliser des cellules solaires présentant des jonctions plus fines (submicroniques) avec un meilleur rendement. Ce stage SOI, naturellement destiné à des filières spécialisées en sciences des matériaux, pourra ainsi intéresser les nombreuses filières gravitant autour de la micro-nano-électronique.

### **Remerciements**

Ce travail a été réalisé avec le support du GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies, les programmes d'investissement d'avenir programme IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017 et le Labex NEXT (ANR-11-IDEX-0002-02, référence ANR-10-LABX-0037-NEXT).

### **Références**

1. K.J. Kuhn, IEEE Transactions on Electron Devices 59, 1813-1828 (2012).
2. M. Bruel, Patent FR9111491, 18-Sep (1991).
3. M. Bruel, Electron. Lett., 31 (14) 201-202 (1995).
4. <https://www.soitec.com/fr/produits/smart-cut>