

Conception et réalisation de circuits analogiques NMOS :

Apprentissage Par Projet de la CAO à la salle blanche

G. Beulaguet^a, N. Mariot,^a A. Palazon,^a R. Teulier,^a O. Bernal,^{a,b} RP. Tan,^c F. Gessinn,^c P. Bourdeu d'Aguerre,^c P-F. Calmon,^b H. Tap,^{a,b} M. Respaud.^c

^aINP-ENSEEIH, Université de Toulouse, 2 Rue Charles Camichel, 31000 Toulouse, France

^bLAAS, Université de Toulouse, CNRS, 7 Avenue du Colonel Roche, 31400 Toulouse, France

^cAIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

Le but de cette étude est de proposer à des étudiants de niveau Master ou Ingénieur de se familiariser avec la chaîne de conception et de fabrication de circuits intégrés analogiques sous forme d'Apprentissage Par Projet (APP). Le projet, d'une durée totale de 9 journées, permettra à chaque binôme d'étudiants de réaliser un circuit NMOS personnalisé à partir de données issues de la modélisation de la filière technologique NMOS développée par l'AIME de Toulouse, ainsi que de données de simulation obtenues à l'aide des modèles EKV des transistors issus de cette technologie.

Traditionnellement, la formation en microélectronique s'opère de manière séparée d'une part sur les aspects théoriques, de conception et de design, et d'autre part sur la réalisation en salle blanche de composants ou de systèmes. Il était jusqu'à présent impossible de proposer aux étudiants de concevoir leur propre solution et de la réaliser eux même en salle blanche. Le premier obstacle était la nécessité de réaliser des masques physiques à usage unique dont le coût unitaire et le temps de fabrication constituaient un obstacle. Actuellement, les outils de prototypage rapide, avec les techniques d'insolation de résines sans masque physique permettent d'envisager un enseignement intégré mêlant les aspects théoriques, de conception, de réalisation et de tests en vue de réaliser un prototype répondant à un cahier des charges personnel. Nous décrivons ci-après le projet de formation que nous implémentons actuellement en vue de répondre à la nécessité de comprendre un flot de conception /réalisation complet avec les outils de formation théoriques et pratiques en salle blanche. Ainsi il s'agit pour les étudiants de réaliser un circuit NMOS personnalisé à partir de données issues de la modélisation de la filière technologique NMOS développée par l'AIME de Toulouse, et remplissant une fonction électronique et un niveau de performance prédéfini.

I. Apports théoriques en technologies du Silicium (durée : une journée)

Le but de cette première étape pédagogique est de comprendre les grands principes de la technologie microélectronique et les principales techniques de fabrication.

Après une introduction de 2h en présence d'un enseignant pour expliquer la genèse et l'évolution de la technologie CMOS, ses contraintes fortes liées à la purification des matériaux, la propreté, le coût, ainsi que le principe de la photolithographie des couches minces, les étudiants auront à leur disposition un support pédagogique d'une centaine de pages leur présentant les principaux procédés de salle blanche permettant la fabrication de circuits CMOS. Lorsque ces techniques seront à leur disposition dans la salle blanche de l'AIME, le support en fera état. Les étudiants seront alors laissés en autonomie (en groupe mais sans enseignant) pendant 4h avec le polycopié et un accès en ligne aux

ressources pédagogiques numériques de la bibliothèque. L'enseignant interviendra en fin de journée pour répondre aux questions qu'ils n'auront pas su résoudre seuls.

II. Simulation du process NMOS sous SILVACO (durée : une journée)

Le but de cette étape pédagogique est d'extraire le modèle EKV des transistors.

Dans un premier temps, les étudiants vont décrire sous ATHENA le process NMOS réalisé en salle blanche à l'AIME (fig.1). La longueur minimale des canaux des transistors est de 6µm et la tension d'alimentation supportée est de 5V. A chaque étape, ils pourront extraire des valeurs clés telles que les épaisseurs des couches, leurs résistivités, mobilités, etc. ATLAS permettra de relever les paramètres électriques afin de compléter le modèle EKV reporté sous forme de fichier texte (Fig.2). De même, des abaques électriques seront tracés sous ATLAS pour ensuite les aider à la conception de leur circuit (par exemple $I_{DS} = f(V_{DS})$ pour différentes valeurs de V_{GS}).

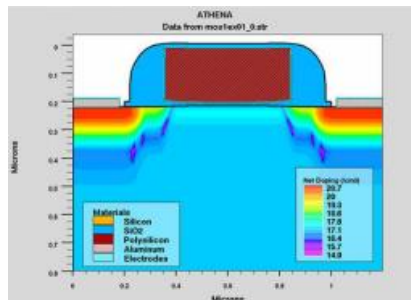


Fig.1 : Modélisation d'un transistor NMOS réalisé dans la salle blanche de l'AIME

Param.	Description	Formule	Value
μ_0	Mobility	$U_o = \frac{1}{(\rho_{subs} \cdot N_A \cdot q)}$	446 $cm^2 \cdot V^{-1} \cdot s^{-1}$
t_{ox}	Oxide Thickness	Direct measurements	$70 \cdot 10^{-9} m$
Phi	Strong Inversion Surface Potential	$Phi = 2 \cdot \left(\frac{K \cdot T}{q} \right) \ln \left(\frac{N_A}{n_i} \right)$	0,677 V
V_{T0}	Long-channel Threshold Voltage	$V_{T0} = V_{fb} + Phi + \left(\frac{T_{ox}}{\epsilon_{ox}} \right) \sqrt{2 \cdot q \cdot \epsilon_{si} \cdot phi \cdot N_A}$	0,504 V
K_p	Transconductance Parameter	$K_p = \frac{\epsilon_{ox}}{(U_0 \cdot T_{ox})}$	$2,1 \cdot 10^{-5}$ $A \cdot V^{-2}$
Gamma	Body Effect Parameter	$Gamma = \left(\frac{T_{ox}}{\epsilon_{ox}} \right) \sqrt{(2 \cdot \epsilon_{si} \cdot q \cdot N_A)}$	$1,003 \sqrt{V}$
Lambda	Depletion Length Coefficient	Read on abacus	$8 \cdot 10^{-5} V^{-1}$

Fig.2 : Paramètres du modèle EKV issu de la modélisation SILVACO des transistors NMOS de l'AIME : μ_0 = mobilité des électrons dans le canal, t_{ox} = épaisseur de l'oxyde de grille, Phi = potentiel de surface à l'inversion, V_{T0} = Tension de seuil des transistors, K_p = paramètre de transconductance, Gamma = paramètre d'effet substrat, Lambda = paramètre de modulation de la longueur du canal.

III. Conception d'un amplificateur différentiel aux performances personnalisées (durée : 1/2 journée)

Tous les amplificateurs différentiels seront constitués d'un seul étage de gain suivi d'une sortie montée en source suiveuse mais chaque binôme d'étudiants devra répondre à un cahier des charges

précis en termes de performances. 4 cahiers des charges distincts vont ainsi être proposés, demandant d’obtenir des performances élevées en termes de gain, de bande passante, de consommation ou d’impédance de sortie (fig.3). De plus, les étudiants devront, pour atteindre ce cahier des charges, utiliser uniquement des composants disposés sous forme matricielle qu’ils fabriqueront ensuite sur substrat silicium en salle blanche à l’AIME : à savoir des transistors NMOS dont la longueur de canal vaut $L = 6 \mu\text{m}$ et la largeur $W = 20.a \mu\text{m}$, avec a un entier tel que $1 \leq a \leq 3$ et dont la somme des largeurs de tous les canaux doit rester $\leq 1440 \mu\text{m}$. Ils disposeront également de résistances de valeur $R = n.2,25 \text{ k}\Omega$, avec n un entier tel que la somme totale des résistances du circuit ne pourra pas excéder $222,75 \text{ k}\Omega$. Chaque binôme dimensionnera dans un premier temps son circuit « à la main » en utilisant pour ses calculs les paramètres du modèle EKV et des valeurs issues des abaques tracés sous ATLAS.

Criteria	Value	Priority
Consumption	< 80 μA	1
Gain	> 12 dB	2
Bandwidth	> 1 MHz	2
Z_{out}	< 2,5 k Ω	2

Fig.3 : Exemple de cahier des charges mettant la consommation faible comme priorité devant les 3 autres caractéristiques.

Ensuite, les circuits seront affinés et validés avec le simulateur de circuits CADENCE SPECTRE (fig.4).

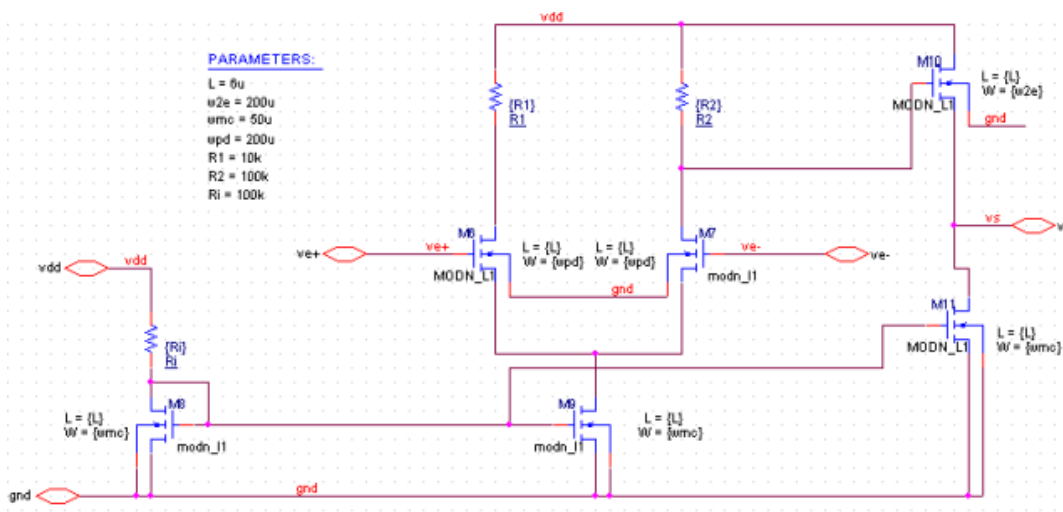


Fig.4 : Amplificateur différentiel à un étage de gain et adaptateur d’impédance en sortie. Les valeurs des résistances et des largeurs de canaux des transistors sont mis en paramètres de manière à affiner leurs valeurs pour répondre à plusieurs cahiers des charges distincts.

IV. Layout du circuit NMOS sous CADENCE à partir d’une base de données composants (durée : 1 journée)

Une librairie dédiée a été créée sous CADENCE LAYOUT. Elle contient une cellule avec 3 niveaux de masque : l’ouverture de l’oxyde de masquage, le polysilicium et l’ouverture des contacts (fig.5). Ainsi, en personnalisant le 4ème niveau de masque qui est le niveau métal, les différentes résistances pourront être placées en série et les transistors en parallèle. Chaque binôme d’étudiant pourra ainsi coller à sa schématique CADENCE SPECTRE afin de respecter le cahier des charges qui lui a été confié.

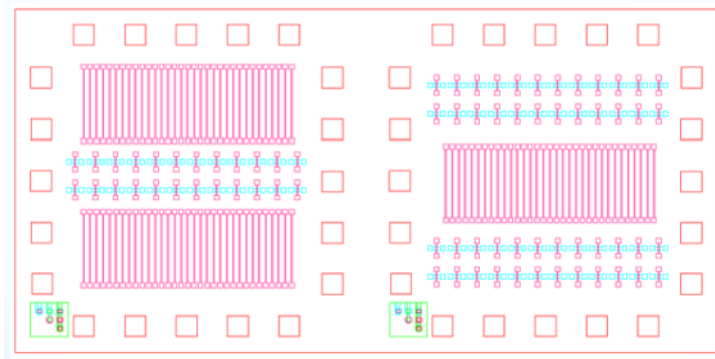


Fig. 5 : Vue du dernier niveau de masques du circuit sous CADENCE (manque le masque de métallisation). Chaque binôme d'étudiants pourra utiliser les $99 \times 2,25 \text{k}\Omega$ de résistance et les $72 \times 20 \mu\text{m}$ de largeur de canaux de NMOS.

V. Implantation du circuit sur substrat silicium dans la salle blanche de l'AIME (durée : 4 jours)

Le début du procédé de fabrication (correspondant aux 3 premiers niveaux de masque) est identique pour tous les étudiants. La 4^{ème} lithographie, qui correspond à la gravure du métal et qui va permettre de différencier les différents circuits, se fera par lithographie laser à partir du fichier gds2 établi sous CADENCE LAYOUT.

Un point important concerne donc la mise au point de la lithographie laser au sein de l'AIME qui permettra à chaque étudiant d'importer sa solution technique et la réaliser. Cette technique sans masque physique présente une résolution suffisante pour la réalisation du dernier niveau. La figure 6 présente des motifs tests réalisés (matériel, Kloe, Dilase 250). La résine utilisée est de la 1813. LA figure 6. (à droite) montre l'influence de la vitesse d'écriture sur la largeur de ligne insolée.

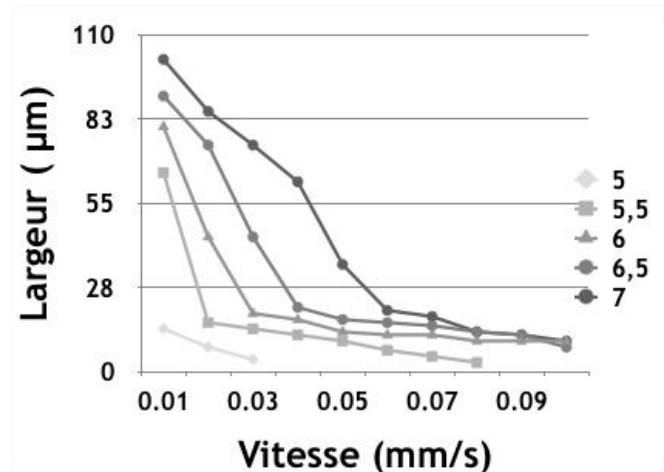
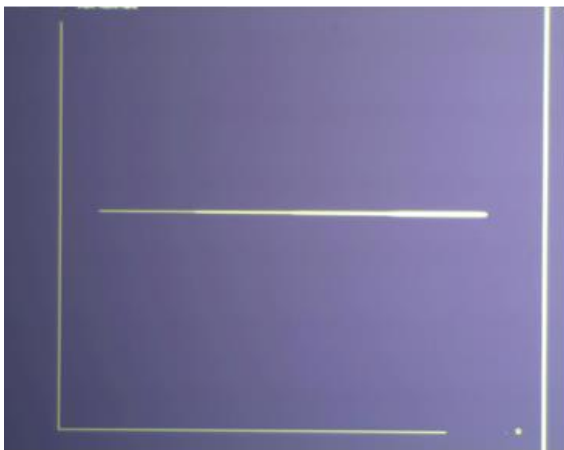


Fig. 6 : Motifs tests réalisés pour l'optimisation des paramètres de la lithographie laser en vue de la réalisation de lignes métalliques d'Al. La photo de droite montre une image optique après métallisation et lift off. A droite, les résultats de l'étude de l'influence de la vitesse d'écriture sur la largeur des lignes métalliques obtenues.

Les résolutions obtenues correspondent aux besoins pour la réalisation du dernier niveau technologique.

VI. Découpe, montage et test des circuits (1/2 journée)

Les tests sur puce devront permettre aux étudiants de comparer les valeurs obtenus par les calculs, la simulation et bien sûr la mesure (fig.7).



Fig.7 : Montage de l'amplificateur NMOS personnalisé de 2mmx4mm sur support TO5

Les étudiants termineront leur travail par la rédaction d'un rapport, critique au regard des résultats obtenus par rapport aux objectifs proposés, et proposer des solutions pour palier ou améliorer leurs résultats.

VII. Conclusion

En conclusion, cet APP permettra aux étudiants de voir la totalité du flot de conception et de fabrication d'un circuit intégré analogique. La mise en œuvre de ce projet a dû prendre en compte des contraintes fortes en termes de temps de réalisation, de coût et de compatibilité avec les 3 premiers niveaux du jeu de masques NMOS actuellement utilisé en stage salle blanche par les étudiants de Master et/ou Ingénieurs. Au travers de cette évolution, il amènera à ce stage une valeur ajoutée indéniable en faisant le lien avec la CAO.

Remerciements

Ce travail a été réalisé avec le support du GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies, les programmes d'investissement d'avenir programme IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017 et le labex NEXT (ANR-11-IDEX-0002-02, référence ANR-10-LABX-0037-NEXT).