

Application de la technologie FDSOI pour la conception de nouvelles topologies de circuits analogiques et mixtes

G. Jacquemod^a, Y. Charlon^a, Z. Wei^b, Y. Leduc^b, P. Lorenzini^a

^a Polytech Nice-Sophia, Pôle CNFM PACA, UNS, Sophia Antipolis, France

^b Polytech'Lab, EA UNS 7498, Sophia Antipolis, France

Contact email : gilles.Jacquemod@unice.fr

Pour poursuivre la loi de Moore avec des nœuds technologiques de 22 nm et en deçà, les transistors MOS bulk ont été remplacés par des transistors FinFET ou UTBB-FDSOI. Ces derniers disposent d'une grille arrière permettant de réaliser de nouvelles topologies de circuits analogiques et mixtes, offrant des performances jamais atteintes et réduisant certaines limitations, comme par exemple celles liées à la réduction de la longueur du canal. Partant de la caractéristique de la tension de seuil d'un transistor UTBB-FDSOI en fonction de la polarisation de la grille arrière, nous proposons aux élèves-ingénieurs d'étudier quelques nouvelles topologies de cellules par des simulations statiques et transitoires, associés à des analyses de Monte Carlo pour évaluer l'impact des variations du procédé de fabrication sur leurs performances finales. La première étude concerne la réalisation d'un inverseur en logique complémentaire basé sur le couplage croisé des grilles arrières de deux inverseurs permettant une symétrisation des signaux de sortie complémentaires. Ce concept peut être étendu à toutes les portes logiques et permet de réaliser des oscillateurs en anneau aux performances inédites. Une approche similaire est également appliquée à un miroir de courant permettant de réduire de façon drastique les effets de canal court.

I. Introduction

La variabilité des procédés de fabrication, illustrée par la figure 1, des circuits intégrés analogiques, numériques ou mixtes est devenue contraignante pour leur conception dans des technologies avancées (32 nm et en deçà) (1). Cette variabilité introduit des dés-appariements des transistors ; ainsi sur un même "wafer", voire sur une même puce, les transistors supposés identiques ne vont pas avoir les mêmes caractéristiques. Par exemple, leur tension de seuil sera différente, ce qui peut introduire des dysfonctionnements du circuit final, qui peut ne plus vérifier les spécifications demandées.

Pour résoudre ce problème induit par des technologies avancées, les industriels ont proposé deux solutions basées sur des transistors dont le canal n'est plus dopé : FinFET et UTBB-FDSOI. Cette dernière sera retenue pour illustrer la conception de nouvelles cellules analogiques et mixtes, en utilisant la polarisation de la grille arrière. Cette caractéristique est décrite au second paragraphe de cet article.

Par ailleurs, alors que les cellules numériques suivent la loi de Moore et implémentent des transistors toujours plus petits, il est d'une part très difficile d'appliquer ce facteur d'homothétie aux cellules analogiques actives et d'autre part impossible de l'appliquer aux éléments passifs, comme le montre la figure 2. Nous montrerons, là encore, comment

cette technologie permet, en partie, de résoudre ce problème en prenant l'exemple d'un simple miroir de courant.

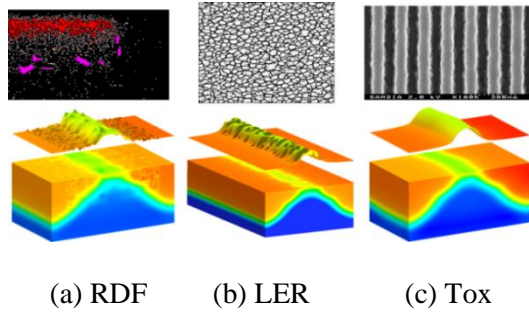


Fig.1. Différentes sources de variabilité pour les différentes architectures [1].

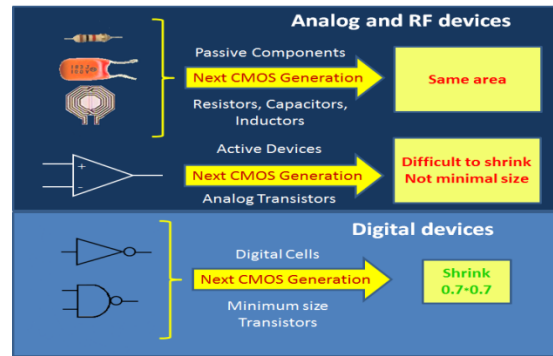


Fig.2. Problèmes liés aux composants analogiques en comparaison aux composants numériques.

II. Technologie FDSOI

La technologie FDSOI (Fully Depleted Silicon on Insulator) fait référence à la fine couche de silicium déposée sur un oxyde enterré (Buried Oxide ou BOX). Appelés UTBB-FDSOI (Ultra Thin Body and Box - FDSOI), les transistors sont réalisés dans cette fine couche de silicium totalement déplétée et offrent des performances inégalées par les transistors bulk classiques. La figure 3 illustre la comparaison entre un transistor bulk classique et son homologue UTBB.

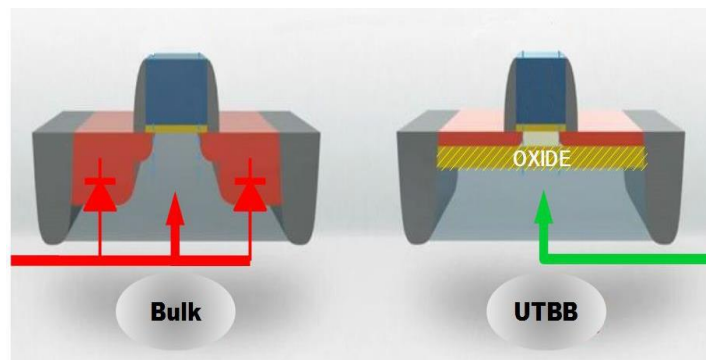


Fig.3. MOS Bulk et MOS UTBB-FDSOI. Pour ce dernier, la zone de canal est isolée électriquement par l'oxyde enterré, et ultra-fine.

Une des principales caractéristiques de cette technologie réside dans la possibilité de moduler la tension de seuil des transistors en polarisant la grille arrière (ou Back-Gate, BG) d'une manière particulièrement efficace en raison de la présence de cet oxyde enterré (2). Sur la figure 4, il convient de noter qu'avec la technologie bulk classique, la tension de bulk est limitée à -300mV dans la configuration RBB (Reverse Body Bias) en raison des contraintes GIDL (gate-induced drain lowering) et de $+300\text{mV}$ dans la configuration FBB (Forward Body Bias) due aux pertes source-drain ainsi qu'à l'augmentation du latch-up à forte tension.

A contrario, la tension de polarisation de la grille arrière d'un transistor UTBB-FDSOI peut varier de -3V dans la configuration RBB jusqu'à $+3\text{V}$ dans celle FBB, comme le

montre la figure 5 (3). Ceci est principalement dû à l'isolation complète du drain et de la source, fournie par la « BOX », notamment dans une implémentation triple-well. Cette particularité sera également utilisée par la suite.

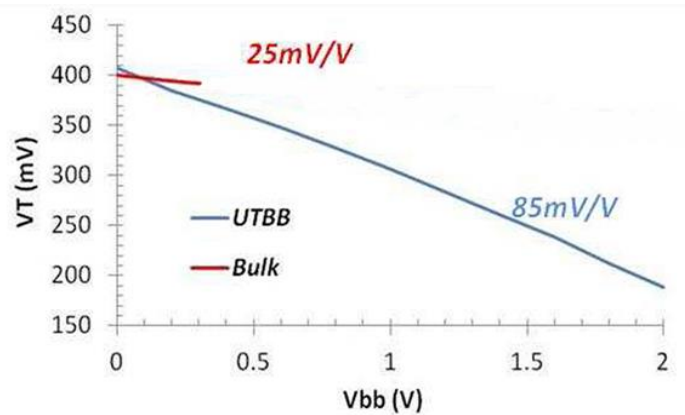


Fig.4. Variation de la tension de seuil en fonction de la polarisation de la grille arrière (BG) (2).

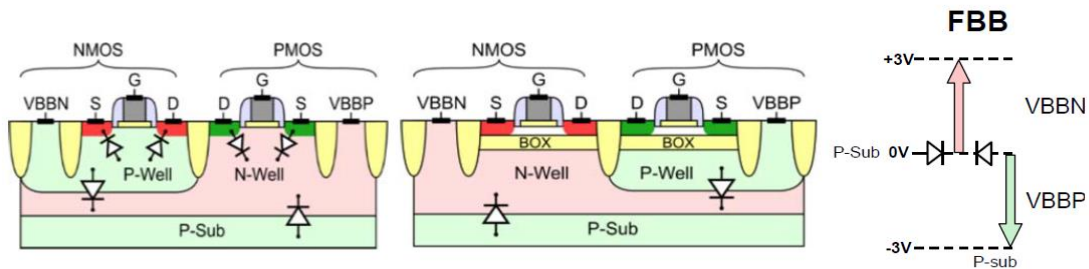


Fig.5. Polarisation d'un transistor Bulk classique ou UTBB-FDSOI Triple-well (3).

III. Logique complémentaire

Après cette étude de la technologie FDSOI, et des simulations de transistors UTBB, nous présentons aux étudiants la topologie d'un inverseur complémentaire en technologie FDSOI afin d'en extraire le comportement ainsi que les performances. La figure 6 illustre un inverseur classique en technologie CMOS Bulk, alors que la figure 7 présente quatre implémentations différentes d'un tel inverseur en technologie FDSOI.

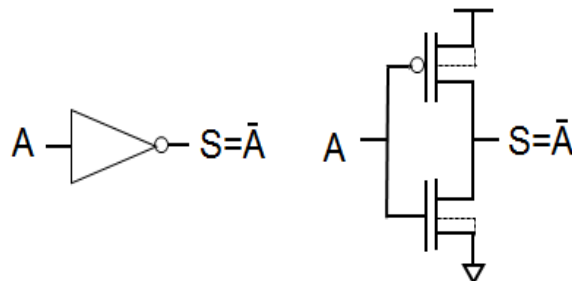


Fig.6. Implémentation CMOS Bulk d'un inverseur.

Nous pouvons noter que la configuration (d) correspond à la version classique bulk où le bulk (ou la grille arrière) du transistor NMOS est polarisé à V_{SS} et celui du PMOS à V_{DD} . Les configurations (a) et (b), où les grilles arrière sont polarisées à la même tension, permettront d'illustrer le comportement de la nouvelle structure complémentaire basée

sur le couplage croisé des grilles arrières (cf. Fig. 8). La configuration (c) ne présente pas de réel intérêt.

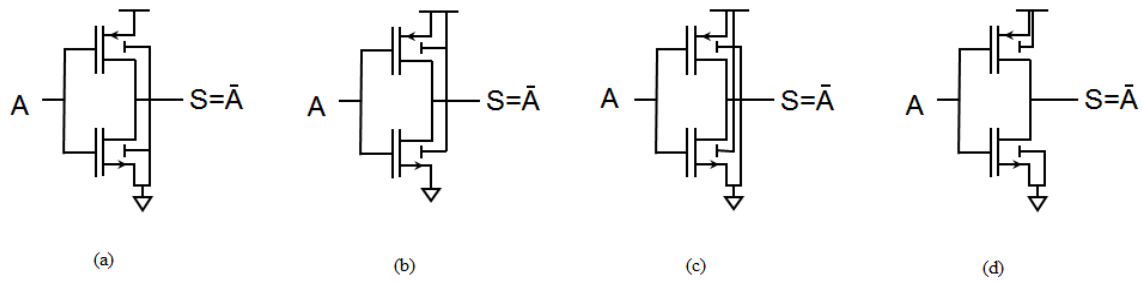


Fig.7. Différentes implémentations d'un inverseur en technologie FDSOI.

La figure 8 décrit l'implémentation d'un inverseur complémentaire, avec 2 entrées et 2 sorties respectivement complémentaires, utilisant l'auto-polarisation de la grille arrière des transistors UTBB-FDSOI. L'idée principale est la suivante : chaque inverseur contrôle la vitesse de commutation de l'autre à travers sa grille arrière. Ainsi, si cette vitesse n'est pas la même, le plus lent va ralentir le plus rapide, alors que ce dernier va accélérer le premier, en raison du couplage croisé des grilles arrières. Les sorties complémentaires vont se symétriser et se croiser à $V_{DD}/2$ et finalement nous obtiendrons $t_{pLH} \# t_{pHL}$.

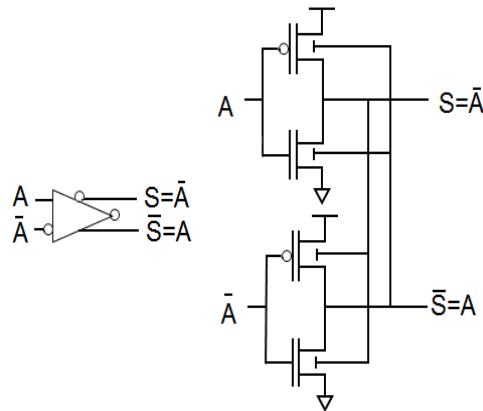


Fig.8. Inverseur complémentaire et son implémentation en technologie FDSOI.

Ce concept peut être adapté à toutes les cellules numériques. Par exemple, le tableau I donne la table de vérité d'une porte NAND complémentaire. On peut noter que cette porte est en fait une porte NAND-NOR, comme le montre la figure 9. Tous ces concepts sont présentés aux étudiants et validés lors de séances de travaux pratiques sous Cadence.

TABLEAU I. Table de vérité d'une porte NAND complémentaire.

A	\bar{A}	B	\bar{B}	S	\bar{S}
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1

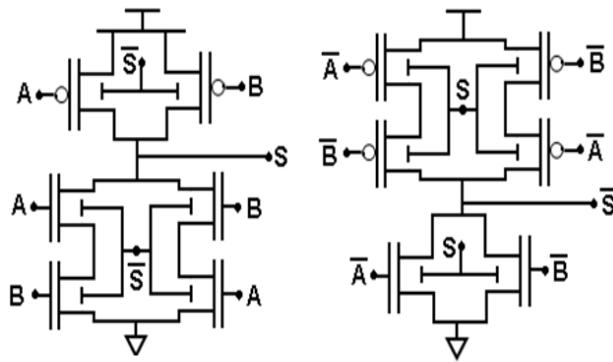


Fig.9. Implémentation en technologie FDSOI d'une porte NAND complémentaire.

IV. Travaux pratiques

Durant la première séance de travaux pratiques, les étudiants doivent dimensionner les transistors afin d'obtenir des signaux de sortie symétriques. Il faut ainsi « matcher » les capacités des grilles (C_{GS}) et des grilles arrières (C_{BS}), en gardant $W_P L_P = W_N L_N$. Ainsi, en compensant les valeurs K_{P_N} et K_{P_P} et en prenant en compte les effets de canal court, on trouve un rapport de $W_P/L_P = 1,7 W_N/L_N$. Finalement, on peut retenir la solution suivante :

- PMOS : $W_P = 9,1 \mu\text{m}$ et $L_P = 30 \text{ nm}$
- NMOS : $W_N = 7,0 \mu\text{m}$ et $L_N = 39 \text{ nm}$

En utilisant ces valeurs, on peut noter que les sorties complémentaires sont « parfaitement » symétriques et se croisent à $V_{DD}/2 = 500\text{mV}$ (cf. figure 10). Ce concept est validé par des simulations de Monte Carlo présentées à la figure 11. Cette dernière montre que l'écart type est d'environ $\sigma = 2,4\text{mV}$ ($6\sigma = 14,2\text{mV}$).

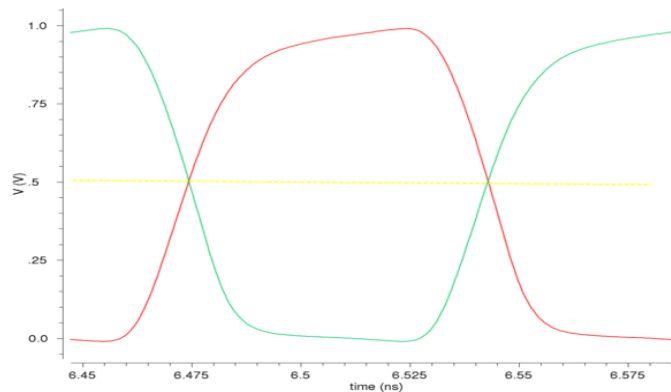


Fig.10. Simulations de signaux transitoires d'un inverseur complémentaire dans des conditions typiques de fonctionnement.

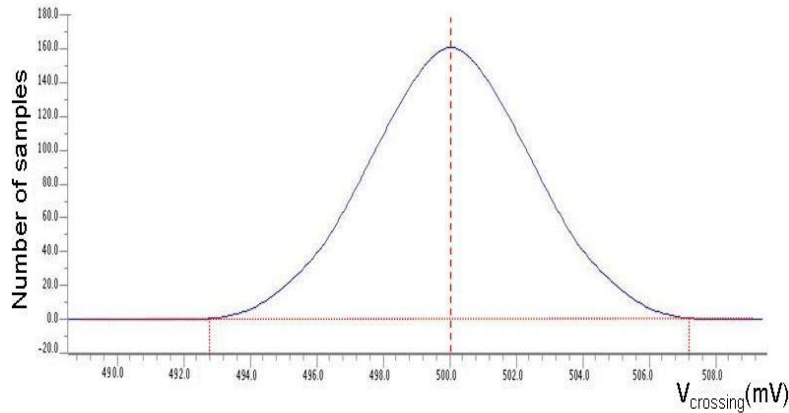


Fig.11. Simulations de Monte Carlo du point de croisement des sorties complémentaires.

Une étude DC de l'inverseur permet d'en expliquer le comportement en le comparant notamment avec les configurations (a) et (b) de la figure 7. Sur la figure 12, nous avons tracé, en rouge, la fonction de transfert DC de l'inverseur supérieur (cf. figure 13), ainsi que les fonctions de transfert des configurations (a, en vert) et (b, en bleu). La simulation commence avec $V_{in}=V_{SS}=0V$ ($A=0$), ainsi $V_{out}=V_{DD}=1V$ ($S=\bar{A}=1$) et $\bar{S}=0=V_{BG}=V_{SS}$. Les deux grilles arrière de l'inverseur supérieur sont donc connectées à V_{SS} , correspondant à la configuration (a) de la figure 7. Par conséquent, la courbe rouge de l'inverseur complémentaire suit la courbe bleue, configuration (a), sur cette première partie ($V_{in}<V_{DD}/2$). A la commutation (proche de $V_{DD}/2$), la sortie descend "directement" de V_{DD} à V_{SS} avec une pente très élevée, environ -49 sur cette figure. Ainsi, la sortie V_{out} passe à $V_{SS}=0V$ ($S=\bar{A}=0$, avec $V_{in}\neq V_{DD}/2$) et $\bar{S}=1=V_{BG}=V_{DD}$. Alors, les deux grilles arrière de l'inverseur supérieur sont maintenant connectées à V_{DD} , correspondant à la configuration (b) de la figure 7, et la courbe rouge de l'inverseur complémentaire suit la courbe verte, configuration (b).

Nous pouvons retrouver cette pente en calculant le gain de l'inverseur lors d'une simulation AC, autour du point de polarisation $V_{DD}/2$. En effet, si l'on considère des petites variations (v_{in} en entrée, A , et v_{out} en sortie, $S=\bar{A}$) autour du point de repos $V_{in}=V_{out}=V_{DD}/2$, la sortie "petits signaux" du second inverseur, $\bar{S}=A$, peut être considérée comme égale à $-v_{out}$. On parle alors de sortie différentielle et non plus complémentaire.

La figure 13 permet de déduire le gain théorique de cet inverseur, donné par la relation

$$A = \frac{-g_m}{g_{ds} - g_{mb}}$$

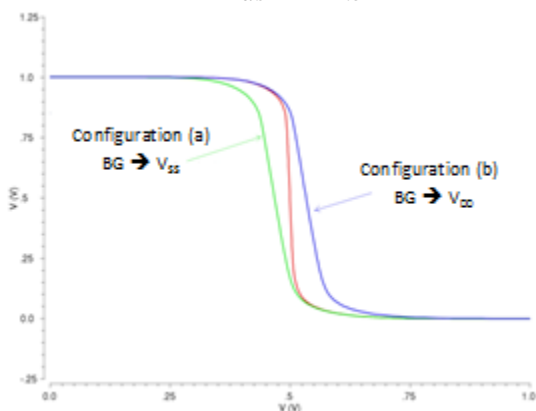


Fig.12. Fonction de transfert DC de l'inverseur complémentaire (sortie simple).

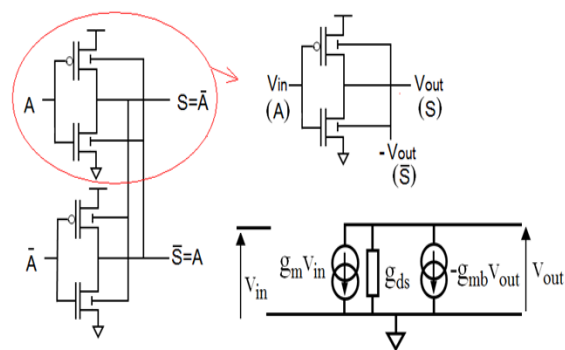


Fig.13. Etude dynamique autour de $V_{DD}/2$ et schéma équivalent petit signal.

En théorie, il est possible d'obtenir $g_{mb} = g_{ds}$ afin d'atteindre un gain infini et de tendre vers un inverseur idéal, réduisant ainsi très fortement sa marge de bruit (i.e. le bruit de phase d'un oscillateur en anneau réalisé à partir de cette cellule de base). Dans notre cas, résumé sur le tableau II (avec $W_P = 9,1\mu\text{m}$, $L_P = 30\text{nm}$, $W_N = 7,0\mu\text{m}$ et $L_N = 39\text{nm}$), nous en déduisons : $g_m = 7530 \mu\text{A/V}$, $g_{ds} = 670 \mu\text{A/V}$ et $g_{mb} = 515 \mu\text{A/V}$. Finalement, nous obtenons : $|A| = 7530/155 = 48,6$. Il est possible d'augmenter cette valeur en modifiant la longueur L des transistors afin d'égaliser g_{ds} et g_{mb} .

TABLEAU II. Paramètres Spice et caractéristiques des transistors UTBB FDSOI.

	$g_m (\mu\text{A/V})$	$g_{ds} (\mu\text{A/V})$	$g_{mb} (\mu\text{A/V})$	$V_{Th} (\text{V})$	$I_{Ds} (\mu\text{A})$	$KP (\mu\text{A/V}^2)$
PMOS	3180	380	230	-0,26	-385	44,2
NMOS	4350	290	285	0,33	380	146,1

Afin de conserver le rapport des W/L des deux transistors, nous avons également modifié la largeur W. Le tableau III résume les valeurs de la pente (ou le gain) de la fonction de transfert de l'inverseur en fonction de la taille des transistors. On vérifie ainsi que l'on peut tendre vers un gain très élevé, vers l'inverseur idéal (4).

TABLEAU III. Gain de l'inverseur en fonction de la taille des transistors.

	W (μm)	L (nm)	Gain A	W (μm)	L (nm)	Gain A
PMOS	9,2	32	116	9,33	33	348
NMOS	7,0	42		7,0	44	

Cette série de travaux pratiques se terminent par l'étude d'un oscillateur en anneau basé sur les inverseurs complémentaires. Un nombre pair d'inverseur peut être utilisé permettant de réaliser des VCO offrant des signaux en quadrature, de mêmes amplitudes mais de phases différentes : $0, 90^\circ, 180^\circ$ et 270° (5).

V. Cellules analogiques

La dernière partie concerne l'application du même principe de couplage croisé des grilles arrière sur une cellule analogique, à savoir un miroir de courant. La figure 14 permet de comparer deux structures de miroir de courant. La première (a) correspond à une topologie classique où les grilles arrière (ou bulk) du PMOS sont connectées à V_{DD} , alors que la seconde (b) utilise le concept de grilles croisées afin d'avoir une tension de seuil auto-calibrée.

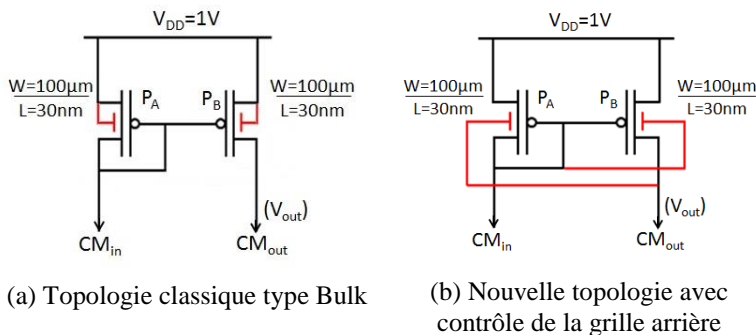


Fig.14. Comparaison des topologies de miroir de courant dans le cas de la technologie classique et dans le cas d'une structure UTBB-FDSOI avec contrôle de la grille arrière.

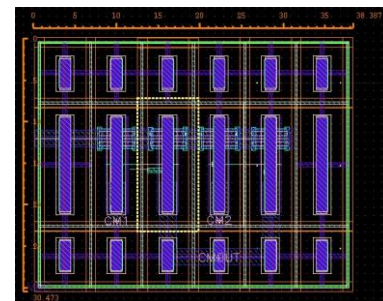


Fig.15. Layout du circuit en topologie UTBB-FDSOI intégrant les deux architectures avec et sans contrôle de la grille arrière.

Un prototype a été réalisé en technologie FDSOI 28nm, il intègre les deux topologies, avec et sans contrôle de la grille arrière. Le layout est présenté sur la figure 15 et la puce occupe une surface de $30 \times 40 \mu\text{m}^2$. Les résultats de simulation et de mesure, pour différentes valeurs du courant de commande, sont présentés sur les figures 16 et 17.

On peut remarquer d'une part un bon accord entre les mesures et les simulations, et d'autre part la très forte réduction de l'effet de canal court avec cette nouvelle topologie.

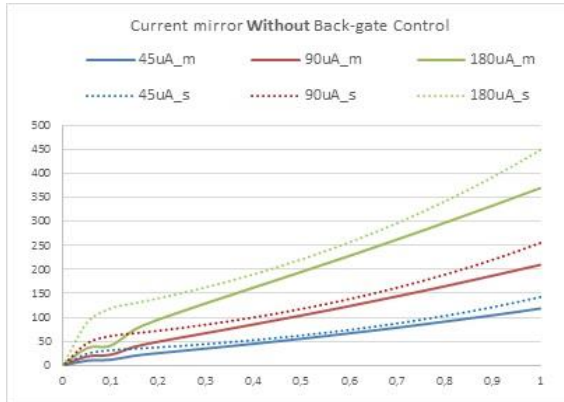


Fig.16. Mesures et simulations sans contrôle de la grille arrière.

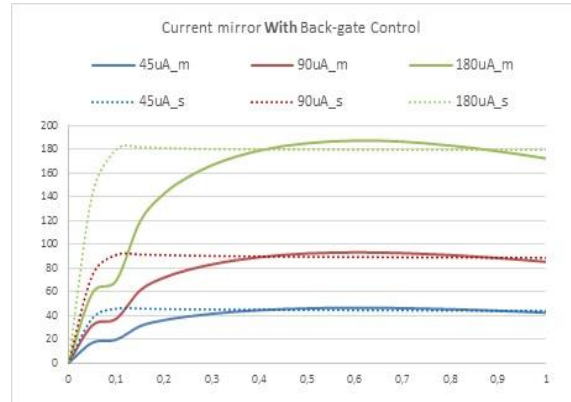


Fig.17. Mesures et simulations avec contrôle de la grille arrière.

VI. Conclusion

Cette série de travaux pratiques est en réalité un projet, elle n'a pas encore été mise en œuvre à l'école. Les résultats présentés dans ce papier ont été obtenus par un doctorant de Polytech'Lab qui travaille sur la conception et la réalisation d'une PLL en technologie FDSOI, en collaboration avec le CEA-LETI de Grenoble. Les cellules analogiques et numériques ont fait l'objet de deux dépôts de brevet conjoints entre les deux entités (6-7).

Remerciements

Les auteurs tiennent à remercier M. Emeric de Foucauld du CEA-LETI de Grenoble pour sa contribution scientifique et technique à la fabrication des prototypes en technologie FDSOI 28 nm et aux tests associés. Ces travaux ont été réalisés dans le cadre d'un soutien du projet IDEFI-FINMINA du ANR-11-IDFI- 0017 (8-9) et du GIP-CNFM (10-11).

Références

1. A. Asenov, "Device-Circuit Interplay in the Simulation of Statistical CMOS Variability", *VARI*, Nice, 2012.
2. Ph. Flatresse and R. Wilson, "SOC Variability Reduction: The UTBB FD-SOI Way", *VARI*, Darmstadt, 2013.
3. M. Blagojevic, "Conception de générateur de tension de substrat embarqué pour l'optimisation temps réel de l'efficacité énergétique dans les circuits VLSI conçus en technologie UTBB FDSOI", *Ph.D. report*, Telecom ParisTech, Dec. 2015.
4. Z. Wei, G. Jacquemod, Ph. Lorenzini, F. Hameau, E. de Foucauld & Y. Leduc, "Study and reduction of variability in 28nm Fully Depleted Silicon on Insulator technology", *Journal of Low Power Electronics*, vol. 12, n° 1, 2016, p. 64-73.
5. G. Jacquemod, Z. Wei, Y. Leduc and C. Jacquemod, "New QVCO Design using UTBB FDSOI Technology", 11th *European Workshop on Microelectronics Education EWME'2016*,

- Southampton (UK), 11-13 May 2016, Pp: 1-4, DOI: 10.1109/EWME.2016.7496477, Publisher: IEEE.*
6. G. Jacquemod, E. de Foucauld, Y. Leduc, A. Fonseca & Ph. Lorenzini, "Procédé et dispositif d'autocalibration de circuits multigrilles", *Brevet Français UNS et CEA-LETI*, 10 Avril 2015, FRA 1553096, étendu Europe, 8 Avril 2016, 16164459.6-1810, extension USA, 13 octobre 2016, US20160301365.
 7. P. Audebert, E. de Foucauld, Y. Leduc, G. Jacquemod, Z. Wei et Ph. Lorenzini, "Circuit électronique élémentaire pour étage d'amplification ou de recopie de signaux analogiques", *Brevet Français CEA-LETI et UNS*, 6 Avril 2017, WO2017055709 A1, PCT/FR2016/052394.
 8. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et NANotechnologies, ANR-11-IDFI-0017. Site web : <http://www.cnfm.fr/VersionFrancaise/actualites/FINMINA.htm>
 9. O. Bonnaud, A. Bsiesy, L. Fesquet, B. Pradarelli, IDEFI-FINMINA: a French educative project for the awareness, innovation and multidisciplinary in microelectronics, *Proc. of EAAEIE'2017 conference*, 7-9 June 2017, Grenoble (France).
 10. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Site web : <http://www.cnfm.fr>
 11. O. Bonnaud, P. Gentil, A. Bsiesy, S. Retailleau, E. Dufour-Gergam, J.M. Dorkel, GIP-CNFM: a French education network moving from microelectronics to nanotechnologies. Oral communication; in *Proc. of Global Engineering Education Conference, EDUCON'11*; Amman (Jordan) 3-6 April 2011, ISBN978-1-61284-641-5, pp 122-127.