

Apprentissage de la conception de circuits intégrés : une introduction par la technologie à l'aide d'un logiciel de TCAD

JB. Lincelles^a, V. Goiffon^b, M. Respaud^a

^a AIME pôle CNFM de Toulouse , INSA de Toulouse, Toulouse, France

^b ISAE-Supaéro, Toulouse, France

Contact email : lincelle@insa-toulouse.fr

Nous présentons le développement d'un stage de CAO (Conception Assistée par Ordinateur) pour des étudiants de niveau bac+5 découvrant le domaine de la microélectronique. Le but de ce stage est de délivrer dans un laps de temps relativement court (2 jours) les notions importantes sur la conception d'un circuit intégré en technologie CMOS. Pour cela, le travail se base sur une découverte du procédé CMOS par la TCAD (Technology Computer Aided Design) permettant d'introduire le procédé de fabrication d'un MOSFET et de relier ses grandes étapes à la logique de dessin par couche lors de la conception du transistor (layout).

I. Introduction

Ce stage de CAO a été conçu pour une formation d'étudiant-ingénieur en dernière année à l'ISAE Supaéro. Ces étudiants ont un profil équilibré en physique appliquée pour des applications dans les domaines de l'aéronautique et du spatial. L'électronique analogique et numérique fait donc partie de leur tronc commun, mais ils peuvent choisir une spécialité de découverte de la micro-électronique d'environ 40h d'enseignement. Cette spécialisation a pour but de doter l'ingénieur généraliste des connaissances utiles à la conduite de projet ou de fournir les bases aux étudiants souhaitant se spécialiser en micro-électronique, et poursuivre dans le cadre d'une thèse par exemple.

Il est donc nécessaire de balayer efficacement une large quantité de notions sur la conception de circuits intégrés dans un temps restreint. Les points à aborder peuvent être résumés dans la figure 1. Nous nous concentrons en particulier sur la création du schéma et du layout d'un circuit analogique, et gardons la partie d'extraction des éléments parasites si nous avons le temps de les traiter.

Les étudiants ayant peu de connaissances sur la conception et la fabrication des circuits, il est d'abord nécessaire de présenter les notions de base. Pour cela, nous avons choisi d'introduire le stage par une simulation de procédé de fabrication (TCAD pour Technology Computer Aided Design) avec le logiciel de calcul par éléments finis Silvaco. L'étudiant est ensuite amené à produire le layout d'un NMOS, puis de circuits plus complexes. Enfin, une visite dans la salle blanche de l'AIME permet de concrétiser les notions vues en salle de CAO.

Nous présentons ici plus en détail le déroulement d'un tel stage ainsi que l'intérêt que nous trouvons à articuler un exercice de TCAD avec une tâche de conception de circuit et une visite en salle blanche.

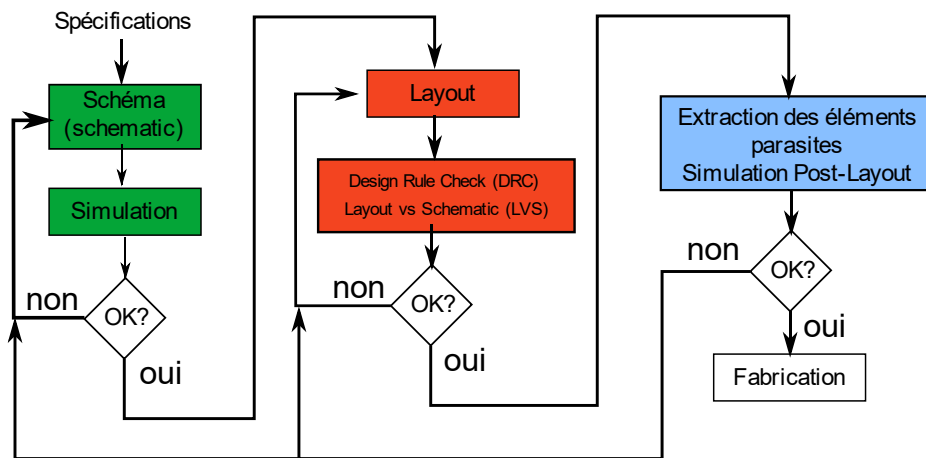


Fig.1. Schéma représentant les étapes de conception d'un circuit intégré. Le stage se focalise sur les deux premières étapes : schéma et le layout. L'extraction des éléments parasites et les simulations post-layout seront traités si le temps le permet.

II. Déroulement du stage

La première demi-journée est dédiée à l'introduction à la technologie CMOS à l'aide du logiciel Silvaco. Son but n'est pas d'apprendre aux étudiants à créer un procédé ex-nihilo, mais plutôt à utiliser le logiciel pour découvrir étape par étape la fabrication d'un NMOS sur substrat P de façon ludique et interactive. A cet effet, les étudiants ont à disposition l'ensemble du code source pour simuler le procédé de fabrication, et leur attention est portée sur des étapes importantes pour lesquelles un graphique adapté est généré. Le procédé simulé est représentatif d'une technologie CMOS planaire tel que celle présentée dans (1).

L'étudiant est ensuite chargé de dessiner un NMOS avec le logiciel Cadence, en partant d'un layout vierge et de quelques indications données par le livret du stage, en particulier les couches de dessin à utiliser (layer). Il doit donc agencer les différents layer afin de former un MOSFET fonctionnel. Il est aussi confronté à la vérification des règles de dessin (DRC pour Design Rule Check).

La seconde demi-journée commence avec le troisième exercice qui propose de réaliser un inverseur CMOS et de vérifier son fonctionnement à l'aide de simulations. L'étudiant aborde alors les outils de LVS (Layout versus Schematic pour vérifier l'équivalence du schéma électrique et du layout dessiné) et de simulation.

Durant la seconde journée, l'étudiant conçoit et simule un amplificateur puis réalise son layout. Si le temps le permet, les notions d'extraction des éléments parasites sont abordées. L'enchaînement des tâches réalisées peut se résumer dans le schéma de la figure 2.

Finalement, nous organisons également une visite de la salle blanche de l'AIME (≈ 30 min) pour présenter l'environnement et les machines de fabrication et de caractérisation.

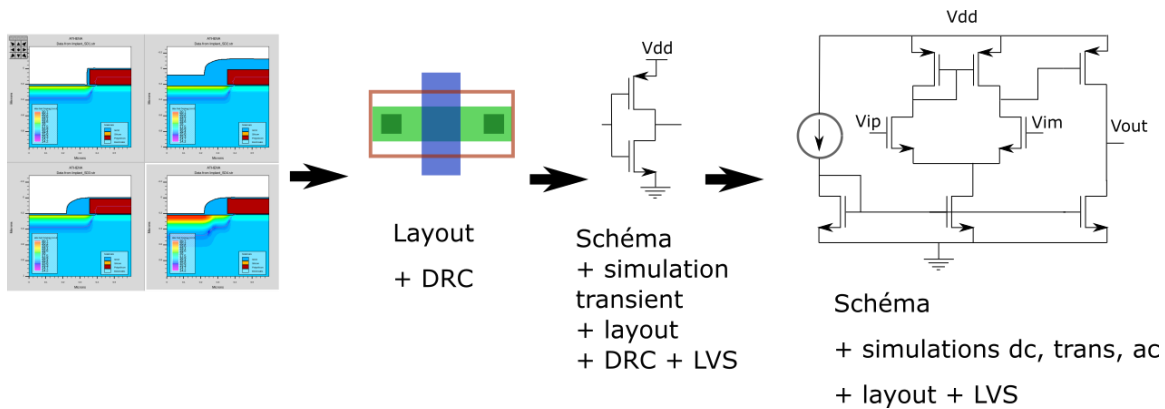


Fig.2. Schéma représentant la suite d'exercices du stage. De gauche à droite : simulation du procédé avec Silvaco, dessin du transistor NMOS avec Cadence, conception d'un inverseur logique, puis d'un amplificateur différentiel.

III. Intérêt Pédagogique

Si ce stage reste avant tout axé sur la conception de circuits intégrés, nous souhaitons y intégrer des notions de technologie à l'aide de TCAD et des exemples concrets lors d'une visite en salle blanche.

Intérêt de la TCAD

La TCAD permet en premier lieu d'expliquer et d'approfondir les notions sur la fabrication d'un procédé CMOS. A travers ce travail l'étudiant est également amené à réfléchir sur les techniques de fabrication (par exemple le traitement thermique pour la diffusion des dopants, le rôle de l'oxyde de masquage pour l'implantation...) et à questionner les encadrants.

Elle permet en second lieu d'expliquer le rôle de chaque couche de dessin (« layer ») utilisées dans un MOSFET ainsi que l'effet produit par leurs agencements. La figure 3 montre par exemple la relation qu'il est possible d'établir entre l'étape d'implantation des drains, et le dessin des couches « DIFF » (représentant l'ouverture de l'oxyde), « GATE » (représentant la grille) et « Nplus » (représentant l'implantation N+ des drains). L'oxyde de surface doit en effet d'abord être supprimé, puis la grille déposée avant de pouvoir implanter les drains. La présence de la grille permet de masquer le canal du transistor et d'implanter uniquement la zone des drains. Les drains sont alors auto-alignés avec la grille en bénéficiant du masque créé par cette dernière. Ceci explique par exemple pourquoi la couche Nplus est dessinée sur l'ensemble de la DIFF, grille y compris, et pourquoi la DIFF est dessinée sous la grille, détails qui peuvent facilement dérouter l'étudiant.

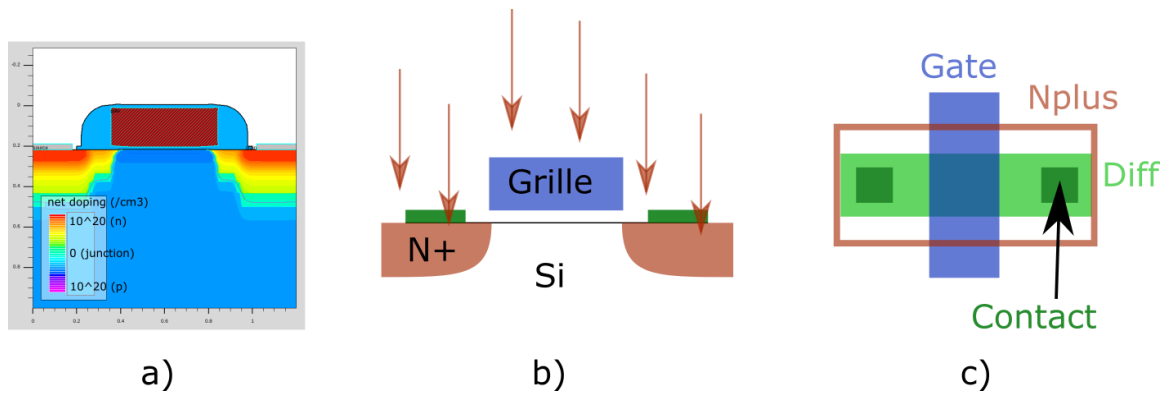


Fig.3. a) Etape finale du MOSFET simulé en TCAD par l'étudiant. b) schéma de l'étape d'implantation des drains utilisant la grille comme masque. c) schéma du layout que l'étudiant est ensuite amené à dessiner. La TCAD permet à l'étudiant de comprendre plus aisément la logique d'agencement des couches durant le layout.

Enfin, l'étude technologique délivrée par Silvaco permet de justifier les règles plus ou moins strictes rencontrées lors de la conception du premier MOSFET. L'ensemble des règles DRC et leurs restrictions peuvent sembler peu compréhensibles à l'étudiant ne disposant pas des connaissances sur l'implémentation physique des composants.

Intérêt de la visite en salle blanche

La visite en salle blanche permet de présenter les principaux équipements utilisés pour la fabrication de circuits intégrés (four LPCVD, diffusion de P, implanteur, gravure ionique réactive, machines d'alignement de masque, évaporateur, micro-soudeuse, testeur sous pointe, ...) et de les relier aux étapes de fabrication (oxydation, dopage, photolithographie, métallisation...). Cette visite reprend donc les notions abordées au début du stage mais dans un ensemble plus concret pour l'étudiant.

Elle permet aussi de fournir davantage d'explications sur le fonctionnement des équipements et d'introduire les stagiaires aux méthodes de caractérisation (ellipsométrie, profilométrie, microscopie électronique à balayage, spreading résistance, ...) et à leur importance durant la fabrication des circuits.

Retour des étudiants

Les étudiants nous ont porté des retours positifs de cet enchaînement d'exercices, en particulier de la partie de découverte de la technologie via la TCAD, ainsi que sur la visite en salle. Les résultats de ces étudiants aux examens montrent que les notions dispensées durant le stage ont été acquises, et ce alors qu'elles n'ont pas forcément été abordées lors d'autres séances de cours ou de travaux dirigés.

IV. Conclusion

Lors de ce stage, les exercices abordent d'abord les aspects technologiques, utilisés ensuite comme levier pour expliquer la logique du layout d'un MOSFET. L'étudiant est ensuite amené à créer le lien entre schéma et layout (LVS), puis à simuler un circuit inverseur. Une fois ces notions de bases acquises il peut se focaliser sur l'étude de l'amplificateur différentiel qui lui est proposé. Nous aurons alors au terme des deux jours de stage balayé les premières étapes de la conception d'un circuit intégré, en s'appuyant sur une simulation physique du procédé de fabrication CMOS. Le but y est de rendre moins

abscons l'ensemble des couches de dessin disponibles pour l'étudiant débutant dans ce domaine, ce qui peut lui permettre d'aborder plus sereinement l'étape de conception.

Pour conclure, ce stage ainsi que nos activités de support à l'enseignement et à la recherche en CAO bénéficient d'un nouveau serveur informatique et d'un serveur de sauvegarde capables de prendre en charge l'ensemble des tâches applicatives pour l'enseignement et la recherche. Les machines dont nous disposons sont amenées à être utilisées en tant que serveur de sauvegarde secondaire ou à être intégrées dans le cluster en tant que nœud, permettant d'étendre les capacités informatiques de la CAO de l'AIME

Remerciements

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Micro-électronique et Nanotechnologies), les programmes IDEFI FINMINA ANR 2011 [2, 3].

Références

1. J.D. Plummer, M. Deal and P.D. Griffin, *Silicon VLSI Technology : Fundamentals, Practice, and Modeling*, p 50, Pearson (2001).
2. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. Website: <http://www.cnfm.fr/VersionFrancaise/actualites/FINMINA.htm> (Accès 2021)
3. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (Accès 2021)