

Introduction à la modélisation compacte de transistor MOS pour concepteurs de circuits intégrés : mise en pratique de la théorie

L. Hébrard^a, F. Antoni^b, F. Schwartz^a, F. Stock^a, D. Constantin^b, S. Litaudon^b,
B. Gonzalez^b

^a Faculté de Physique et Ingénierie et pôle CNFM de Strasbourg (MIGREST), Université de Strasbourg, 3 rue de l'université, Strasbourg, France

^b Pôle CNFM de Grenoble (CIME Nanotech), Grenoble INP, Université Grenoble Alpes, 38000 Grenoble, France

Contacts email : luc.hebrard@unistra.fr

Les étudiants en conception de circuits intégrés analogiques doivent maîtriser le fonctionnement du transistor MOS. Ceci passe par une compréhension approfondie des modèles compacts des transistors utilisés pour dimensionner et simuler les circuits, et demande un fort investissement en physique du semi-conducteur. Afin de motiver les étudiants du Master Systèmes Microélectroniques de l'Université de Strasbourg, leur cours de modélisation des composants est relié à leur stage de fabrication de transistors NMOS au Centre Interuniversitaire de Micro-Electronique et Nanotechnologies de Grenoble en leur proposant de modéliser et simuler par éléments finis les transistors qu'ils ont fabriqués. Le cours théorique établit le modèle compact et les travaux pratiques permettent de simuler les caractéristiques I-V des transistors à partir desquelles les étudiants extraient les paramètres électriques du modèle. En parallèle, les étudiants caractérisent les transistors qu'ils ont fabriqués et en déduisent par mesure les paramètres électriques qui sont comparés aux paramètres extraits des simulations. Dans cet article, nous décrivons le déroulé des enseignements que nous avons mis en place, depuis la fabrication jusqu'à l'extraction des paramètres afin de montrer la cohérence d'ensemble qui est un vrai atout pour motiver les étudiants à s'investir en physique du semi-conducteur et modélisation des composants électroniques intégrés.

I. Introduction

La physique des semi-conducteurs est certainement la matière considérée comme la plus ardue par les étudiants en microélectronique, en particulier par ceux qui sont plus intéressés par la conception de circuits intégrés que par la physique et la technologie des composants. Pour autant, tout concepteur de circuits intégrés doit avoir compris en profondeur le fonctionnement du transistor, la manière dont il est modélisé et les limites des modèles qu'il utilise pour dimensionner manuellement puis simuler les circuits. Ainsi, le parcours « Systèmes microélectroniques » du Master mention « Physique Appliquée et Ingénierie Physique » de l'université de Strasbourg (Master SM – Faculté de Physique et Ingénierie) forment les étudiants à la conception de systèmes intégrés mixtes, tout en consacrant une part non négligeable de la formation aux technologies de fabrication, à la physique et à la modélisation compacte des composants. Les technologies de fabrication CMOS sont principalement abordées par un stage de fabrication de transistors NMOS au sein du CIME

Nanotech (Centre Interuniversitaire de Micro-Électronique et Nanotechnologies), pôle CNFM de Grenoble. La physique du composant est quant à elle abordée classiquement, par un cours magistral accompagné de travaux dirigés. L'originalité tient au lien mis en place entre ces deux enseignements grâce à la simulation par éléments finis (FEM) des transistors fabriqués au CIME Nanotech, sur la plateforme salle blanche, et à la comparaison des caractéristiques électriques extraites de la simulation avec celles extraites des mesures opérées sur les transistors. Ce lien est très important pour la compréhension des étudiants qui voient ainsi comment la théorie permet d'expliquer les résultats expérimentaux. Cet article décrit les activités que nous avons créées pour cette mise en pratique de la théorie. Tout d'abord, le déroulé des enseignements est présenté suivi d'une description des travaux pratiques au CIME Nanotech conduisant les étudiants à fabriquer le jeu de transistors NMOS qu'ils modéliseront et caractériseront par la suite. La section 4 décrit alors les éléments théoriques de modélisation compacte du transistor MOS dispensés par le cours magistral, et nécessaires pour bien appréhender les simulations par éléments finis. Elle est suivie d'une description dans la section 5 de la technique de caractérisation électrique utilisée pour déterminer les paramètres du modèle compact. La section 6 présente ensuite comment cette caractérisation est mise en œuvre expérimentalement sur les transistors fabriqués par les étudiants, puis la section 7 montre comment les étudiants simulent sous COMSOL® leurs transistors pour extraire des simulations les caractéristiques I-V comme si elles avaient été mesurées. Ils appliquent ensuite la même technique de détermination des paramètres du modèle compact, mais cette fois sur les courbes I-V issues de la simulation. Enfin, la section 8 conclut sur l'apport de ces travaux pratiques quant à la compréhension du fonctionnement et de la modélisation des transistors par les étudiants.

II. Déroulé des enseignements

L'ensemble des enseignements du Master SM introduisant la fabrication et la modélisation compacte des transistors MOS a lieu au second semestre de la première année de Master. En début de semestre, les étudiants effectuent un stage de deux jours et demi au CIME Nanotech pour réaliser des transistors NMOS sur tranches de silicium (wafer) de deux pouces sur la plateforme technologique salle blanche. Le circuit réalisé (figure 1) contient notamment un jeu de six transistors de même largeur $W = 100\mu\text{m}$ et de longueurs différentes $L = 1, 2, 4, 6, 8, 10\mu\text{m}$ (figure 2).

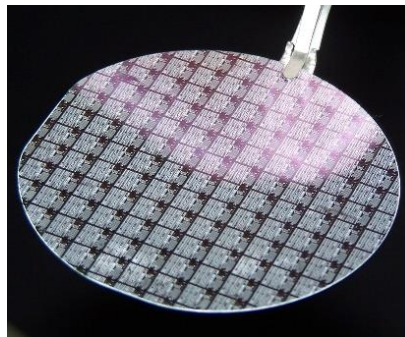


Fig.1. Wafer fabriqué par les étudiants.

A l'issue du stage, chaque étudiant dispose du wafer qu'il a fabriqué. Le transistor de longueur $L = 1\mu\text{m}$ est parfois difficile à obtenir car le développement de la résine photosensible reste manuel et il suffit d'un temps de développement légèrement trop long ou d'une légère surexposition de la résine pour parfois obtenir une ligne discontinue après

gravure. Aussi, le wafer que nous avons utilisé pour la mise au point des activités pratiques présentées ici ne dispose que de 5 transistors fonctionnels, ceux avec des grilles de longueurs supérieures ou égales à $2\mu\text{m}$.

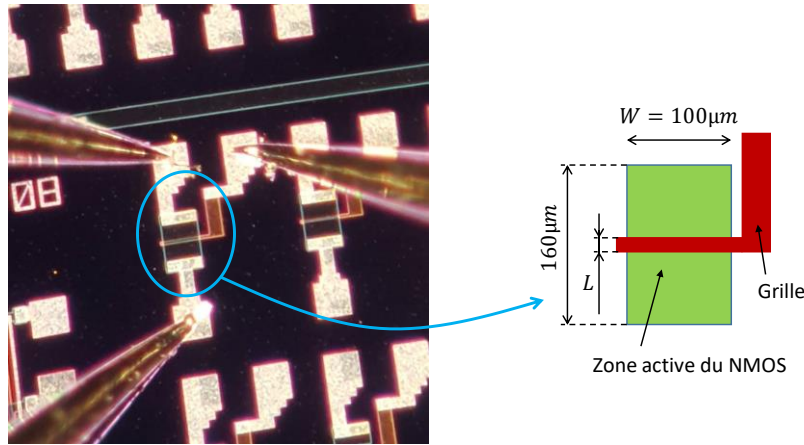


Fig.2. Vue au microscope du transistor NMOS de dimension $W/L = 100/10$. Le transistor est sous pointes en vue de sa caractérisation.

Les 20H de cours magistral et les 10H de travaux dirigés de physique du composant se déroulent tout au long du semestre, avant les travaux pratiques de simulation COMSOL[®] qui ont lieu en fin de semestre. Après quelques rappels de physique du semi-conducteur de Licence 3, le cours revisite le fonctionnement du contact ohmique et établit les équations régissant le fonctionnement de la jonction PN. Bien que déjà vues en Licence, ces équations sont ré-établies en Master car il est indispensable de les maîtriser pour comprendre en profondeur la structure du transistor MOS. Le fonctionnement du transistor est alors abordé en détail à partir de son diagramme des bandes afin d'établir les équations classiques de ses caractéristiques I-V en inversion forte et inversion faible. Ce cours étant un cours d'introduction, abordant pour la première fois la modélisation compacte du transistor MOS, il est important de ne pas perdre les étudiants en cherchant à établir de suite un modèle compact valide dans toutes les régions, de l'inversion faible à l'inversion forte en passant par l'inversion modérée, mais plutôt à bien faire comprendre les spécificités du mode d'inversion forte, dominé par le courant de dérive des électrons de la couche d'inversion, et du mode d'inversion faible, dominé par le courant de diffusion de cette même couche d'inversion. Les modèles compacts modernes (1), valides sur l'ensemble des modes et utilisés dans les simulateurs, peuvent alors être abordés sereinement en deuxième année de Master. Bien que des méthodes de conception de circuits basées sur des modèles en charge universels n'utilisant plus la notion de tension de seuil, V_T , et de tension de saturation, $V_{GS} - V_T$, mais utilisant la notion de coefficient d'inversion, apparaissent (2), le dimensionnement manuel de circuits analogiques, qui est au cœur du métier de concepteur, continue à utiliser majoritairement l'équation du transistor MOS en inversion forte et régime saturé en $(V_{GS} - V_{Tn})^2$, c'est-à-dire pour $V_{DS} \geq V_{GS} - V_{Tn}$:

$$I_{DS} = \frac{1}{2} \cdot K P_n \cdot \frac{W}{L} \cdot (V_{GS} - V_{Tn})^2 \quad [1]$$

où V_{Tn} représente la tension de seuil du transistor NMOS et $K P_n = \mu_n \cdot C_{ox}$ son paramètre de transconductance, avec μ_n la mobilité des électrons dans le canal et C_{ox} la capacité

surfacique d'oxyde. En conséquence, bien qu'évoquant les modèles récents en charge (1,2), le cours reste focalisé sur le modèle classique en $(V_{GS} - V_{Tn})^2$. Il se termine en utilisant l'équation du transistor en forte inversion et régime linéaire, c'est-à-dire pour $V_{DS} \leq V_{GS} - V_{Tn}$, afin de présenter la méthode de caractérisation électrique qui sera utilisée pour extraire les paramètres KP_n et V_{Tn} (i) des mesures expérimentales et (ii) des simulations FEM sous COMSOL®. En fin de semestre, une seule séance de 4H est suffisante pour caractériser électriquement les transistors fabriqués par les étudiants, puis deux séances de travaux pratiques avec COMSOL® sont suffisantes pour réaliser les simulations des transistors, en extraire leurs paramètres KP_n et V_{Tn} , et comparer avec les paramètres extraits des mesures.

III. Stage de fabrication de transistors NMOS au CIME Nanotech

La fabrication des transistors NMOS que les étudiants modélisent et caractérisent ensuite dans le cadre du cours de « physique et modélisation des composants » est réalisée en deux jours et demi au Centre Interuniversitaire de Micro-Electronique et Nanotechnologies (CIME Nanotech) de Grenoble. La succession des étapes est présentée dans la figure 3.

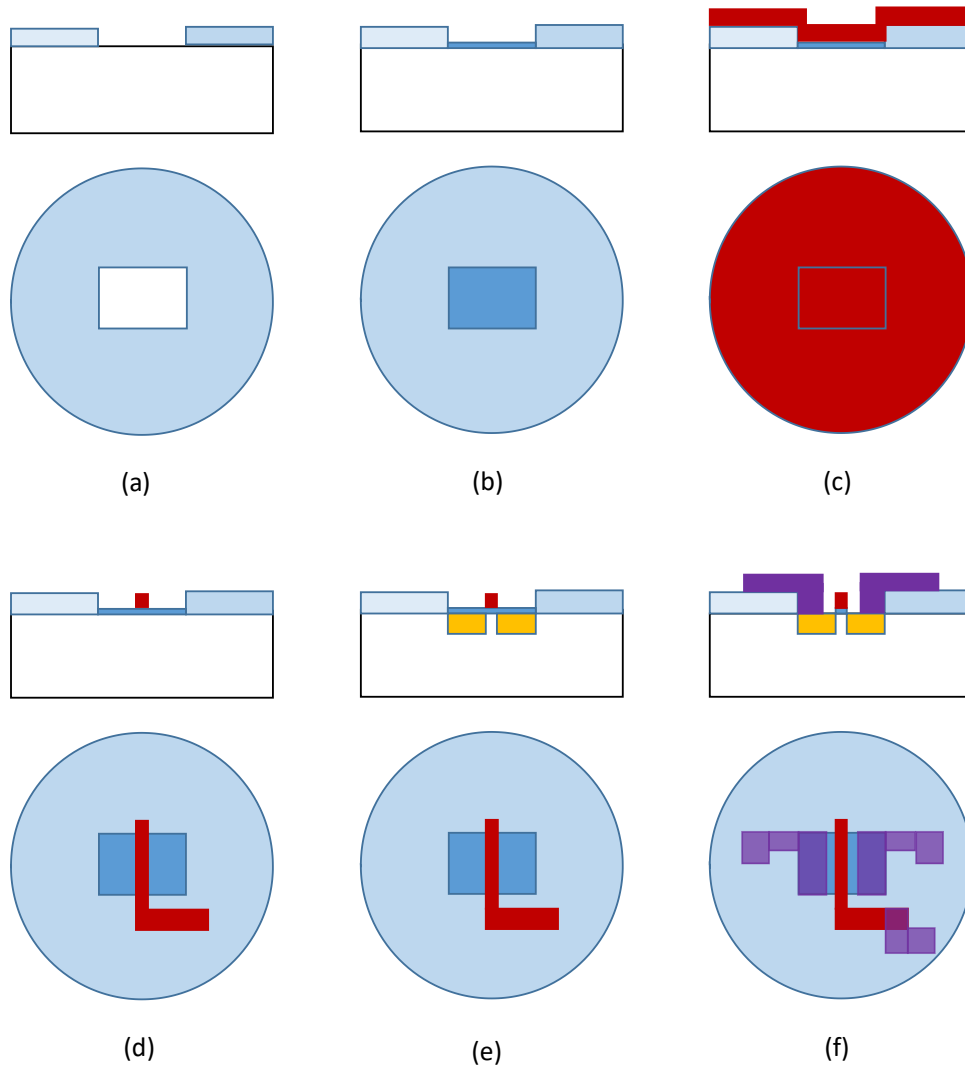


Fig.3. Succession des étapes de fabrication des transistors NMOS réalisés par les étudiants.

Première demi-journée : Les étudiants débutent leur fabrication sur un substrat de silicium de type P, de diamètre deux pouces, avec un oxyde de champ obtenu par oxydation humide d'une épaisseur d'environ $500nm$ et dans lequel les zones actives des transistors sont déjà ouvertes (figure 3-a). Chaque étudiant possède un wafer pour réaliser les étapes de fabrication. La première étape consiste à nettoyer le wafer pour éliminer l'oxyde natif et les impuretés adsorbées en surface des zones actives, afin d'obtenir une qualité optimale de la future interface silicium/oxyde de grille. L'oxyde de grille sera obtenu par oxydation sèche, réalisée par traitement thermique sous flux d' O_2 . Pour cela, les étudiants gravent tout d'abord l'oxyde natif par attaque chimique avec de l'acide fluorhydrique dilué à 5% pendant quelques secondes (le HF va également éliminer la plupart des impuretés métalliques). Ensuite, ils plongent les plaquettes pendant 15 minutes dans un mélange oxydant d'acide sulfurique et d'eau oxygénée de façon à éliminer les impuretés de type organique et à former un oxyde de silicium « chimique » en surface des zones actives. L'oxyde de Silicium ainsi formé est ensuite gravé dans l'acide fluorhydrique dilué pour obtenir des zones actives de transistor parfaitement propres, prêtes à être oxydées thermiquement. Les étudiants chargent alors leurs wafers dans un four d'oxydation. Cette oxydation (figure 3-b) dure environ 2 heures, depuis la mise en place des wafers dans le four maintenu à environ $600^{\circ}C$, la montée en température du four sous azote à $1050^{\circ}C$, l'introduction du dioxygène, la phase d'oxydation sèche (20min), la redescente en température du four à $600^{\circ}C$, jusqu'à la sortie des wafers du four.

Seconde demi-journée : L'étape qui suit (figure 3-c) consiste à déposer le silicium polycristallin, matériau qui constituera la grille du transistor MOS, par pyrolyse de silane (SiH_4) à $620^{\circ}C$ dans un bâti de dépôt chimique en phase vapeur (LPCVD – *Low Pressure Chemical Vapor Deposition*). En raison de la dangerosité du silane, les étudiants ne réalisent pas cette étape qui est assurée par un personnel de l'équipe technique. Au début de la seconde demi-journée du stage en salle blanche, les étudiants récupèrent donc leurs wafers avec une couche de polysilicium déposée et réalisent une étape de lithographie pour définir les zones qui seront protégées par la résine lors de l'étape de gravure par plasma pour structurer les grilles (figure 3-d).



Fig.4. Alignement des masques.

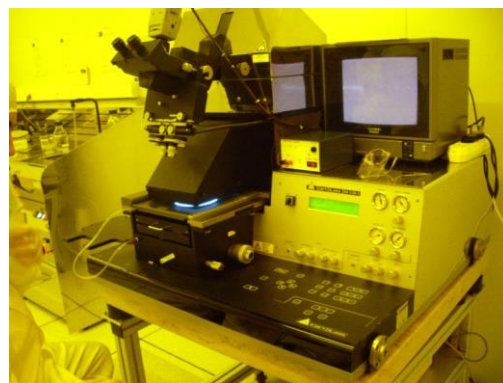


Fig.5. Insolation UV du wafer

Les étudiants mènent entièrement l'étape de photolithographie en (i) étalant la résine photosensible par « *spin coating* » grâce à une tournette, (ii) séchant cette résine, (iii) alignant le masque de polysilicium de grille avec les zones actives ; ils utilisent pour cela un aligneur de masque (figure 4) avant d'insoler sous ultra-violet la résine (figure 5) ; ils terminent l'étape de lithographie en (iv) développant la résine, (v) vérifiant sous microscope que le développement s'est correctement déroulé, et en (vi) durcissant la résine

de sorte qu'elle résiste à la structuration des futures grilles par gravure par plasma. Les étudiants procèdent ensuite, à la fin de la seconde demi-journée de stage, à la gravure par plasma de SF_6 de la couche de silicium polycristallin puis au retrait de la résine par plasma d' O_2 .

Troisième demi-journée : Au début de la troisième demi-journée, les étudiants assistent au dopage des futurs source et drain, et de la grille en polysilicium, par implantation ionique (figure 3-e). L'implanteur ionique étant un équipement complexe, très spécifique, et mettant en œuvre des gaz extrêmement dangereux, les étudiants ne réalisent pas l'étape par eux-mêmes mais assistent à celle-ci en présence d'un personnel de l'équipe technique qui pilote l'équipement (figure 6). Une fois les wafers implantés, les étudiants procèdent ensuite à un nettoyage complet, du même type que celui effectué en première séance, avant de les introduire dans le four de recuit (réparation de la maille cristalline, diffusion et activation des dopants). Cette étape de nettoyage est indispensable pour éviter de polluer le four lors du recuit à haute température. Ce recuit dure environ 1H30 avec étapes de chargement, rampes en température, palier de recuit à 950°C durant 25 min, puis redescente en température et déchargement. Une fois le recuit terminé, les étudiants retournent en salle de chimie pour graver avec la solution HF dilué à 5% l'oxyde de grille toujours présent au-dessus des zones de source et de drain (cet oxyde aura servi de masquage au phénomène de canalisation lors de l'étape d'implantation). Afin de déterminer le temps de gravure, les étudiants disposent d'une plaque témoin, c'est-à-dire un wafer de silicium vierge qu'ils ont aussi nettoyé puis oxydé lors de l'étape d'oxydation sèche. Ils déterminent alors la durée nécessaire pour retirer les 45nm d'oxyde de grille en plongeant la plaque témoin dans la solution HF et en observant l'apparition du phénomène de démouillage, le silicium étant hydrophobe, contrairement à l'oxyde de silicium. Les plaques sont alors plongées durant le temps précédemment déterminé dans la solution HF. Une fois l'oxyde de grille au-dessus des zones de source et de drain gravé, les wafers sont séchés puis chargés dans le bâti de PVD (pulvérisation cathodique) pour effectuer le dépôt de la couche métallique dans laquelle seront réalisés les contacts.



Fig.6. Implantation ionique des zones de source et de drain.

Quatrième demi-journée : La quatrième demi-journée débute par le dépôt d'une couche d'aluminium obtenue par pulvérisation d'une cible constituée d'atomes d'aluminium. Ce dépôt est suivi d'une étape de lithographie, puis d'une gravure chimique de l'aluminium par un mélange d'acides phosphorique, acétique et nitrique, afin de structurer les pistes de métal (figure 3-f). En fin de demi-journée, les étudiants terminent leur réalisation en salle blanche par une gravure plasma SF_6 de la face arrière de leur

plaquette pour retirer l'oxyde mince et le silicium polycristallin qui avait été déposé sur les faces avant et arrière lors du dépôt de polysilicium de grille. Ils finissent par un stripping O_2 de la face avant pour retirer la résine des contacts métalliques. La figure 7 montre le jeu de transistors réalisés par les étudiants.



Fig.7. Jeu de NMOS réalisé par les étudiants. Le transistor $W/L = 100/10$ est sous pointes en vue de sa caractérisation électrique.

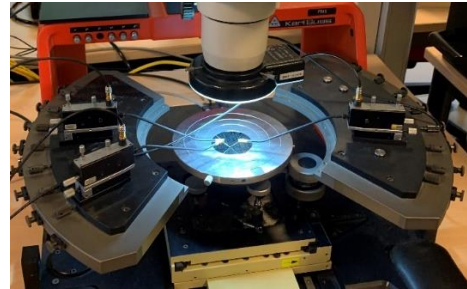


Fig.8. Plaquette sous pointes pour la mesure des caractéristiques électriques des transistors.

Cinquième demi-journée : La dernière demi-journée du stage est consacrée à la mise sous pointes des dispositifs réalisés sur les plaquettes de silicium (figure 8) et à leurs caractérisations électriques (figures 9 et 10). Les étudiants acquièrent les courbes $I_{DS} = f(V_{GS})$ pour diverses valeurs de V_{GS} (figure 9) et $I_{DS} = f(V_{GS})$ pour un V_{DS} faible, par exemple $50mV$ (figure 10) afin de vérifier le bon fonctionnement des transistors et d'enregistrer les données qui seront utilisées pour extraire les paramètres électriques des transistors comme expliqué à la section 5. Cette étape de caractérisation peut être longue et les étudiants ont la possibilité de la poursuivre à Strasbourg.

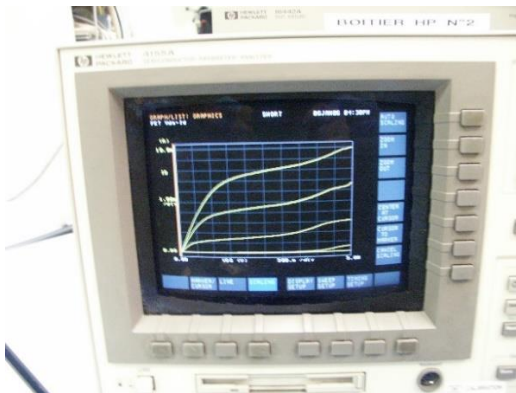


Fig.9. $I_{DS} = f(V_{GS})$ pour diverses valeurs de la tension V_{GS} .

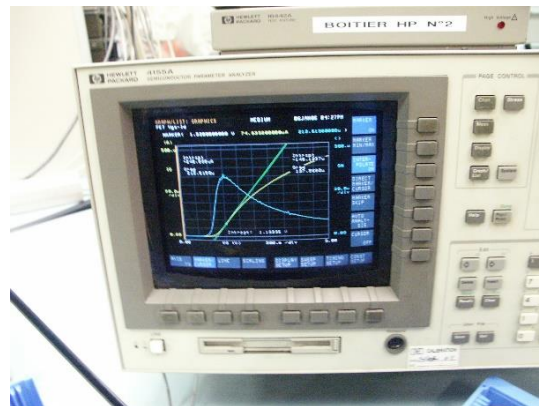


Fig.10. $I_{DS} = f(V_{GS})$ pour $V_{DS} = 50mV$, et sa dérivée pour déterminer les paramètres électriques des transistors selon la procédure exposée à la section 5.

IV. Eléments théoriques de modélisation compacte de transistors MOS

Les principales étapes permettant d'établir le modèle compact du transistor NMOS qui sera par la suite utilisé sont décrites brièvement ici, en mettant en avant les points sensibles que doit comprendre l'étudiant et qui sont étudiés dans les 20H de cours théorique. La référence des potentiels étant prise sur le niveau de Fermi des trous dans le bulk, et la tension de bandes plates de la structure MOS étant supposée nulle, la loi de Gauss appliquée sur

l'oxyde de grille permet de montrer que la charge surfacique stockée sur la grille s'exprime par :

$$Q_G = C_{ox} \cdot (V_G - U_S) = -Q_I - Q_B \quad [2]$$

où U_S représente le potentiel de surface, c'est-à-dire le potentiel à l'interface Si-SiO₂, Q_I la charge surfacique d'inversion (charge due aux électrons mobiles) et Q_B la charge surfacique fixe stockée dans la zone de charge d'espace sous l'oxyde. En supposant le dopage du bulk uniforme, N_A , et en négligeant la chute de potentiel au travers de la charge d'inversion (approximation de la nappe de courant), Q_B s'exprime avec une très bonne approximation par :

$$Q_B = -\sqrt{2 \cdot \varepsilon_{si} \cdot q \cdot N_A \cdot U_S} = -\gamma \cdot C_{ox} \cdot \sqrt{U_S} \quad [3]$$

où q est la charge de l'électron et ε_{si} la constante diélectrique du silicium. L'analyse unidimensionnelle de la structure MOS le long du canal permet de facilement montrer que le courant I_{DS} en régime linéaire s'exprime par :

$$I_{DS} = -\mu_n \cdot \frac{W}{L} \cdot \int_{V_S}^{V_D} Q_I(U_{Fn}) \cdot dU_{Fn} \quad [4]$$

où U_{Fn} représente le quasi-potentiel de Fermi des électrons dans le canal, qui varie de V_S côté source à V_D côté drain, où V_S est le potentiel appliqué sur la source par rapport au bulk et V_D le potentiel appliqué sur le drain. Pour $V_S = V_D$, l'étude du diagramme de bandes de la structure MOS permet de montrer que lorsque le potentiel V_G est suffisamment élevé (inversion forte), en raison de la dépendance exponentielle de la charge Q_I vis-à-vis du potentiel de surface U_S , ce dernier peut être considéré comme figé à une valeur proche de $U_{S0} = 2 \cdot \phi_P + V_{SB}$ où $2 \cdot \phi_P = 2 \cdot kT/q \cdot \ln(N_A/n_i)$ représente le potentiel d'inversion et n_i la densité intrinsèque de porteurs. Bien que U_S varie depuis la source jusqu'au drain de $2 \cdot \phi_P + V_{SB}$ à $2 \cdot \phi_P + V_{DB}$ lorsque $V_{DB} > V_{SB}$, et que l'extension de la zone de charge d'espace (ZCE) sous l'oxyde dépende de la différence de potentiels U_S qu'elle supporte, le modèle compact développé ici néglige la variation d'extension de la ZCE le long du canal. En conséquence, la charge surfacique stockée dans cette ZCE, Q_B , ne varie pas le long du canal et est donnée par :

$$Q_B = -\gamma \cdot C_{ox} \cdot \sqrt{U_{S0}} \quad [5]$$

C'est cette hypothèse fondamentale qui simplifie fortement le calcul de l'intégrale de l'équation [4] et qui permet d'obtenir le modèle simple en $(V_{GS} - V_{Tn})^2$ du transistor en régime d'inversion forte et saturé. Ainsi, la charge surfacique Q_I le long du canal s'exprime par :

$$Q_I = -C_{ox} \cdot (V_G - U_S) + \gamma \cdot C_{ox} \cdot \sqrt{2 \cdot \phi_P + V_{SB}} \quad [6]$$

En inversion forte, le quasi-potentiel de Fermi est piloté par le potentiel de surface et vaut :

$$U_S = 2 \cdot \phi_P + U_{Fn} \implies dU_{Fn} = dU_S \quad [7]$$

Ainsi, en introduisant les équations [6] et [7] dans l'équation [4], le courant I_{DS} en régime linéaire s'exprime par :

$$I_{DS} = -\mu_n \cdot \frac{W}{L} \cdot \int_{V_S}^{V_D} [-C_{ox} \cdot (V_G - U_S) + \gamma \cdot C_{ox} \cdot \sqrt{2 \cdot \phi_P + V_{SB}}] \cdot dU_S \quad [8]$$

L'équation [8] s'intègre facilement pour donner :

$$I_{DS} = KP_n \cdot \frac{W}{L} \cdot \left(V_{GB} - V_{TB} - \frac{V_{DS}}{2} \right) \cdot V_{DS} \quad \text{où } V_{TB} = 2\phi_P + V_{SB} + \gamma \cdot \sqrt{2\phi_P + V_{SB}} \quad [9]$$

Dans la suite, nous polariserons le transistor avec $V_{SB} = 0V$. Ainsi, l'équation qui sera utilisée pour la caractérisation des transistors se simplifie en :

$$I_{DS} = KP_n \cdot \frac{W}{L} \cdot \left(V_{GS} - V_{Tn} - \frac{V_{DS}}{2} \right) \cdot V_{DS} \quad \text{avec } V_{Tn} = 2 \cdot \phi_P + \gamma \cdot \sqrt{2 \cdot \phi_P} + V_{FB} \quad [10]$$

où V_{Tn} représente la tension de seuil classique d'un NMOS. La tension de bande, V_{FB} , supposée nulle jusqu'à maintenant, a été ajoutée. L'équation [10] n'est valable que tant que le canal n'est pas saturé, c'est-à-dire tant que le courant issu de l'équation [10] est inférieur à son maximum, soit tant que $V_{DS} \leq V_{GS} - V_{Tn}$ pour un V_{GS} donné. Lorsque $V_{DS} \geq V_{GS} - V_{Tn}$, le courant devient quasi-constant, égale à sa valeur maximale fournie par l'équation [1]. Nous négligeons ici la modulation de la longueur du canal pour $V_{DS} \geq V_{GS} - V_{Tn}$, modulation qui peut être étudiée par la suite.

V. Caractérisation électrique des transistors MOS

Afin d'extraire les paramètres KP_n et V_{Tn} du modèle du transistor, le NMOS est polarisé en régime linéaire avec un V_{DS} relativement faible, par exemple $V_{DS} = 50mV$. Puis la caractéristique $I_{DS} = f(V_{GS})$ est relevée (figure 11). Bien que l'équation [10] prédise pour $V_{GS} > V_{Tn} + V_{DS}$ un courant I_{DS} variant linéairement avec V_{GS} selon une pente égale à $KP_n \cdot W/L \cdot V_{DS}$, la courbe n'est réellement linéaire que sur une petite portion autour de son point d'inflexion. Ceci permet d'illustrer deux effets, le premier étant lié aux résistances d'accès à la source et au drain, R_{SD} (figure 12), et le second à la réduction de la mobilité des électrons lorsque le champ électrique transverse, et donc V_{GS} , est élevé. Toutefois, comme le montre la figure 11, autour du point d'inflexion ce second effet peut être négligé. Ainsi, en négligeant dans un premier temps R_{SD} et en traçant la tangente au point d'inflexion, représentative de l'équation [10], il est possible de déterminer KP_n et V_{Tn} (figure 11) par :

$$KP_n = \frac{a}{W/L \cdot V_{DS}} \quad \text{et} \quad V_{Tn} = V_0 - \frac{V_{DS}}{2} \quad [11]$$

où a représente la pente de la tangente et V_0 la tension V_{GS} pour laquelle la tangente coupe l'axe des V_{GS} .

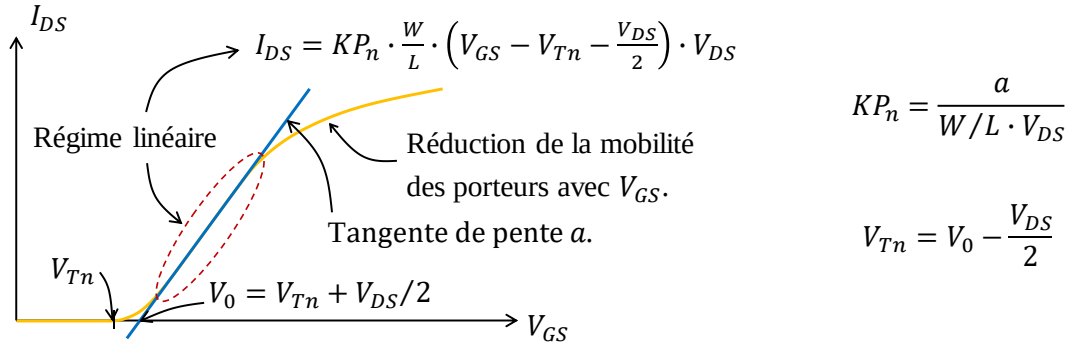


Fig.11. Caractérisation électrique $I_{DS} = f(V_{GS})$ pour un V_{DS} donné.

En reproduisant ces mesures sur le jeu de transistors de longueurs différentes $L = 2, 4, 6, 8, 10\mu m$, les étudiants constatent que V_{Tn} se réduit avec L . Bien que l'effet ne soit réellement visible que sur le transistor de longueur $L = 2\mu m$, ceci permet d'expliquer l'influence des zones déplétées sous l'oxyde dues à la présence des zones de source et de drain, c'est-à-dire l'effet des canaux courts sur V_{Tn} (4). D'autre part, les mesures montrent que le KP_n du transistor court, $L = 2\mu m$, semble plus élevé que celui déterminé sur les autres transistors. Ceci permet de montrer aux étudiants qu'il est important de tenir compte de la diffusion latérale des zones de source et de drain, ΔL , pour une détermination précise de KP_n . Pour cela, il est nécessaire de remplacer la longueur L du transistor par sa longueur effective $L_{eff} = L - 2 \cdot \Delta L$ dans l'équation [10], notamment pour les transistors courts (4). La technique utilisant une mesure de la résistance $R = V_{DS}/I_{DS}$ en fonction de la longueur des transistors (4) est alors utilisée par les étudiants pour extraire ΔL et R_{SD} . En effet, d'après la figure 12, on voit immédiatement que :

$$R = \frac{V_{DS}}{I_{DS}} = 2 \cdot R_{SD} + \frac{L - 2 \cdot \Delta L}{W \cdot \left(V_{GS} - V_{Tn} - \frac{V_{DS}}{2} \right)} \cong 2 \cdot R_{SD} + \frac{L - 2 \cdot \Delta L}{W \cdot \left(V_{GS} - V_{Tn} - \frac{V_{DS}}{2} \right)} \quad [12]$$

Ainsi, en traçant $R(L)$ pour deux valeurs distinctes, constantes, de $\Delta V = V_{GS} - V_{Tn} - V_{DS}/2$, dénommées ΔV_1 et ΔV_2 , on constate que les coordonnées du point d'intersection des deux droites obtenues sont $(2 \cdot \Delta L, 2 \cdot R_{SD})$, comme le montre la figure 13.

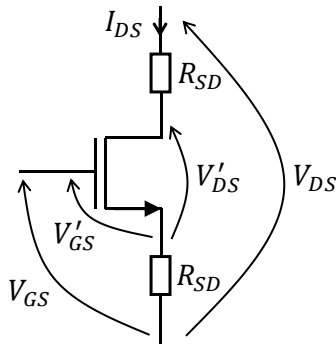


Fig.12. Influence des résistances d'accès à la source et au drain, R_{SD} .

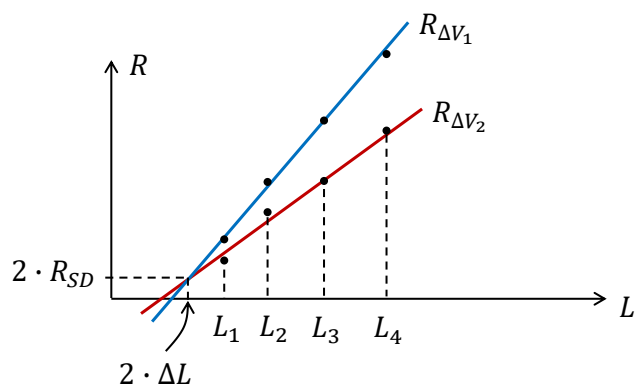


Fig.13. Détermination de ΔL et R_{SD} .

VI. Caractérisation des transistors réalisés par les étudiants

La caractérisation des transistors se fait sous pointe, grâce à un analyseur de paramètres, par exemple un HP4156C. Les étudiants paramètrent l'analyseur afin d'acquérir $I_{DS} = f(V_{GS})$ pour V_{GS} variant de 0 à 2V par pas de 10mV, et ce pour un $V_{DS} = 50mV$. Ils sauvent ensuite les données qu'ils traitent grâce un code MATLAB® qui leur est fourni. Le code permet d'afficher $I_{DS} = f(V_{GS})$ et $g_m = dI_{DS}/dV_{GS}$ en fonction de V_{GS} afin de déterminer le point d'inflexion et tracer la tangente. Les figures 6 et 7 montrent les mesures réalisées sur les transistors $L = 2\mu m$ et $L = 4\mu m$. Le tableau 1 donne les paramètres V_{Tn} et KP_n extraits des mesures pour l'ensemble des transistors.

TABLEAU I. V_{Tn} et KP_n sont extraits des mesures sans tenir compte de R_{SD} et ΔL , V_{Tn}^c et KP_n^c sont les valeurs corrigées tenant compte de R_{SD} et ΔL .

L	$2\mu m$	$4\mu m$	$6\mu m$	$8\mu m$	$10\mu m$
$V_{Tn}(mV)$	665,4	715	716,9	716,7	709,9
$V_{Tn}^c(mV)$	666,2	715,5	717,4	717	710,1
$KP_n(\mu A/V^2)$	26,36	24,64	23,67	23,23	23,80
$KP_n^c(\mu A/V^2)$	23,36	23,31	22,82	22,60	23,28

La figure 14 montre que le transistor le plus court présente une zone linéaire peu étendue. Ceci provient très certainement d'un effet de réduction de la mobilité par V_{DS} dû à un début de saturation de vitesse des porteurs par le champ électrique longitudinal. En revanche le transistor $L = 4\mu m$ (figure 15) et tous ceux de longueurs supérieures présentent une zone linéaire pour V_{GS} compris entre 1V et 1,9V. En conséquence, ils sont tous retenus pour déterminer R_{SD} et ΔL en traçant $R_{\Delta V1}$ pour $\Delta V_1 = 300mV$ et $R_{\Delta V2}$ pour $\Delta V_2 = 900mV$ en fonction de L . Il est en effet important d'utiliser des ΔV_1 et ΔV_2 suffisamment différents pour minimiser l'erreur de calcul. La figure 16 montre le résultat conduisant à :

$$R_{SD} = 14,6\Omega \quad \text{et} \quad \Delta L = 127,5nm \quad [13]$$

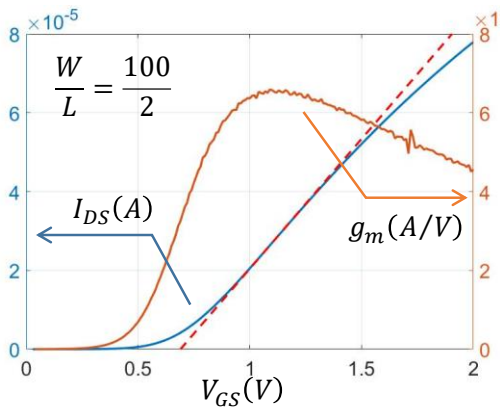


Fig.14. Caractérisation du transistor $L = 2\mu m$.

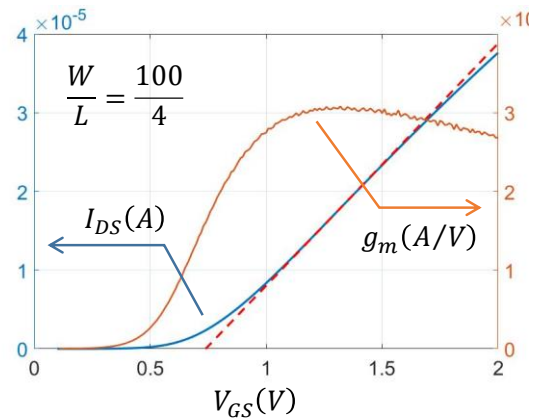


Fig.15. Caractérisation du transistor $L = 4\mu m$.

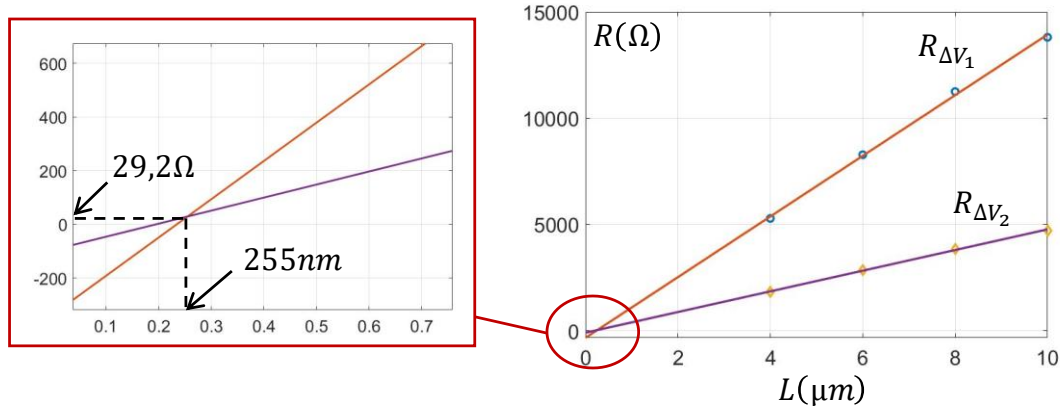


Fig.16. Détermination expérimentale de ΔL et R_{SD} .

Il est alors possible de corriger les valeurs de KP_n et V_{Tn} par :

$$KP_n^c = KP_n \cdot \frac{L - 2 \cdot \Delta L}{L} \cdot \frac{V_{DS}}{V_{DS}'} \quad \text{et} \quad V_{Tn}^c = V_{Tn} + \frac{V_{DS}}{2} - \frac{V_{DS}'}{2} \quad [14]$$

où $V_{DS}' = V_{DS} - 2 \cdot R_{SD} \cdot I_{DS0}$ avec I_{DS0} le courant sur le point d'inflexion de la courbe $I_{DS} = f(V_{GS})$. Les valeurs corrigées KP_n^c et V_{Tn}^c sont reportées dans la table 1. Comme l'on pouvait s'y attendre, l'influence de R_{SD} sur la tension de seuil déterminée par l'équation [14] est faible, et V_{Tn}^c est très proche de V_{Tn} . En revanche, la correction apportée par ΔL permet de significativement minimiser l'erreur commise sur la détermination de KP_n sur les transistors courts. Enfin, les transistors ayant une épaisseur d'oxyde de $t_{ox} \cong 45nm$, les étudiants déterminent leur capacité surfacique d'oxyde qui vaut :

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{34,5 \cdot 10^{12}}{45 \cdot 10^{-9}} = 0,77 \text{ fF}/\mu m^2 \quad [15]$$

En prenant pour KP_n la valeur moyenne mesurée de $23 \mu A/V^2$, les étudiants déterminent la mobilité des électrons dans le canal :

$$\mu_n = \frac{KP_n}{C_{ox}} = 298,7 \text{ cm}^2 \cdot V^{-1} \cdot s^{-1} \quad [16]$$

une valeur parfaitement réaliste à une interface Si/SiO₂.

VII. Simulation par FEM des transistors fabriqués

Les étudiants n'ont que deux séances de 4H de travaux pratiques pour simuler leurs transistors avec COMSOL[®] (Classkit License) en utilisant le module « Semiconductor ». La première séance est consacrée à la prise en main de l'outil. Pour cela les étudiants disposent d'un fascicule les conduisant à simuler des résistances réalisées dans des caissons N sur substrat P, et à comparer les caractéristiques I-V extraites de ces simulations des caractéristiques I-V basées sur les modèles compacts de ces mêmes résistances établis en travaux dirigés. Ces modèles tiennent compte des zones déplétées en 2D puis 3D des jonctions caisson-N/substrat-P. Lors de la seconde séance, les étudiants sont alors autonomes sous COMSOL[®] et modélisent en 2D des transistors de longueurs $L =$

2, 4, 6, 8, 10 μm avec un oxyde de grille d'épaisseur $t_{ox} = 45nm$ et en spécifiant une mobilité $\mu_n = 300 cm^2 \cdot V^{-1} \cdot s^{-1}$ pour les électrons. Aucun modèle de réduction de la mobilité n'est activé. Afin de réduire la taille du composant simulé, et donc les durées de simulation, l'extension des zones de source et de drain sont limitées à 3 μm , contrairement aux transistors réalisés au CIME qui présentent des zones de source et de drain s'étendant sur 80 μm comme le montre la figure 2. Ceci n'a que peu d'importance car ces extensions déterminent les résistances d'accès à la source et au drain, R_{SD} , et leur valeur peut être « réglée » par le niveau de dopage N+ de ces zones. A noter que la mobilité des électrons de 300 $cm^2 \cdot V^{-1} \cdot s^{-1}$ est valide pour l'ensemble du semi-conducteur, donc dans ces zones N+, alors que dans la réalité, on peut s'attendre à une mobilité plus grande dans ces zones. Cette mobilité « réduite » est donc équivalente à des zones de drain et de source plus étendues. Le substrat P est dopé uniformément avec $N_A = 10^{15} cm^{-3}$. Les zones de source et de drain sont dopées uniformément sur une profondeur de 250nm et sur toute l'extension de ces zones (3 μm), puis le dopage présente un profil gaussien et rejoint le dopage du substrat P sur une profondeur de 120nm comme indiqué sur la figure 17. On peut donc s'attendre à une réduction de la longueur effective des transistors de $2 \cdot \Delta L$ légèrement supérieure à 240nm. Pour modéliser la grille, le module « Semiconductor » de COMSOL® propose une « condition aux limites » dénommée « thin insulator gate » modélisant la structure grille-oxyde et où l'on peut spécifier l'épaisseur d'oxyde t_{ox} et une tension de bande plate V_{FB} . Les étudiants « règle » V_{FB} pour retomber sur des tensions de seuil similaires à celles mesurées. Ici, nous avons utilisé $V_{FB} = 700mV$. Enfin la structure est maillée avec une résolution « fine » (figure 18) conduisant à des temps de simulation raisonnables, d'environ 10 minutes pour calculer la courbes $I_{DS} = f(V_{GS})$ pour $V_{DS} = 50mV$ et V_{GS} variant de 0V à 2V avec un pas de 10mV, c'est-à-dire en reproduisant les conditions de mesures expérimentales.

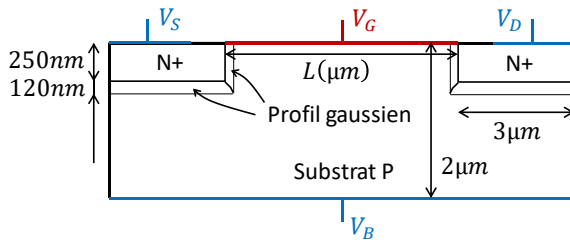


Fig.17. Structure géométrique du transistor simulé.

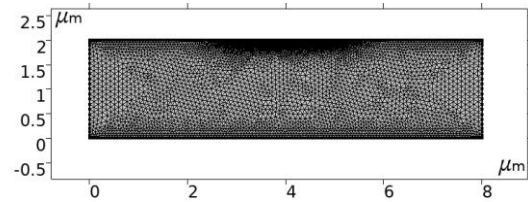


Fig.18. Maillage « fine ».

Les figures 19 et 20 montrent une carte du potentiel électrique dans la structure pour le transistor $L = 2\mu m$ et $V_{GS} = 0V$, puis pour le transistor $L = 10\mu m$ et $V_{GS} = 2V$. Ces cartes sont très utiles pour la compréhension de la théorie. En particulier, sur la figure 19, on voit clairement que les zones de source et de drain déplètent partiellement le semi-conducteur sous l'oxyde. La tension de seuil des transistors étant la tension à appliquer sur la grille pour créer la zone de charge d'espace déplétée en porteur supportant comme tension le potentiel de surface U_s , la figure 19 permet d'illustrer concrètement que la réduction de la tension de seuil des transistors courts provient de la contribution relative importante apportée par les zones de source et de drain pour dépléter le semiconducteur, contrairement à des transistors longs où cette contribution relative est beaucoup moins importante. D'autre part, puisque COMSOL® utilise comme référence des potentiels le niveau de Fermi dans la structure à l'équilibre thermodynamique et calcule le potentiel sur le niveau du vide, le potentiel affiché sur la carte au niveau du contact ohmique V_B (voir figure 17 pour la définition de V_B) est de $-4,89V = -\chi_{si} - E_g/2 - \phi_P$ où $\chi_{si} = 4,05eV$

représente l'affinité électronique du silicium, $E_g = 1,12eV$ le bandgap et $\phi_P = kT/q \cdot \ln(N_A/n_i)$ le potentiel de Fermi qui, pour un substrat dopé à $N_A = 10^{15} cm^{-3}$ vaut $280mV$ à température ambiante. L'interprétation de ces cartes de potentiel permet donc aux étudiants de faire le lien avec le diagramme des bandes de la structure vue en cours, ce qui est fondamental pour la compréhension.

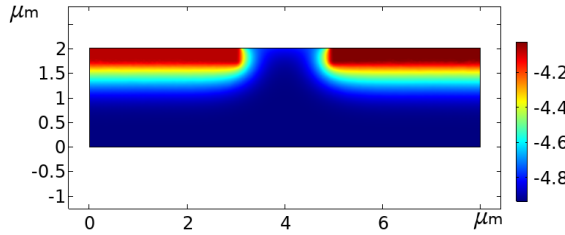


Fig.19. Carte du potentiel électrique pour le transistor $L = 2\mu m$ et $V_{GS} = 0V$.

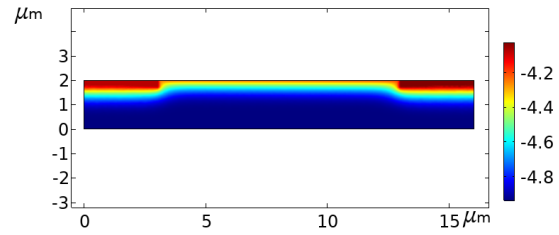


Fig.20. Carte du potentiel électrique pour le transistor $L = 10\mu m$ et $V_{GS} = 2V$.

Les figures 21 et 22 montrent quant à elles la courbe $I_{DS} = f(V_{GS})$ obtenue par simulation COMSOL® pour les transistors $W/L = 100/2$ et $W/L = 100/4$, avec $V_{DS} = 50mV$ et V_{GS} variant de $0V$ à $2V$, c'est-à-dire pour des conditions identiques aux conditions de mesures expérimentales présentées sur les figures 14 et 15.

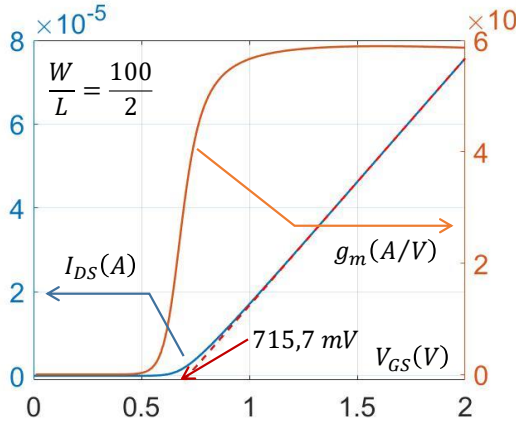


Fig.21. $I_{DS} = f(V_{GS})$ simulé pour le transistor de longueur $L = 2\mu m$.

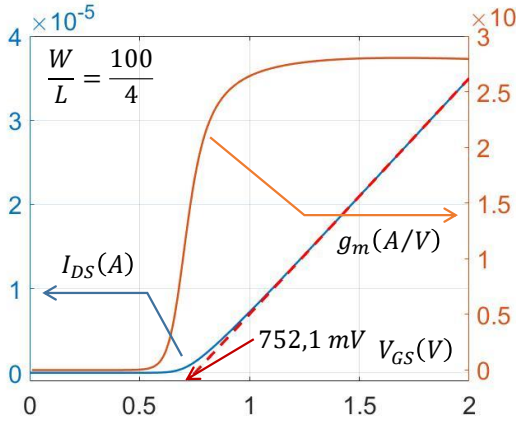


Fig.22. $I_{DS} = f(V_{GS})$ simulé pour le transistor de longueur $L = 4\mu m$.

Les étudiants perçoivent clairement l'influence de la longueur du transistor sur la tension de seuil puisque la tangente représentant l'équation [10] coupe l'axe V_{GS} pour une tension $V_{Tn} + V_{DS}/2 = 715,7mV$ pour le transistor de longueur $2\mu m$, alors qu'elle coupe le même axe à une valeur de $752,1mV$ pour le transistor de longueur $4\mu m$. En revanche, on ne peut voir l'influence du V_{GS} et du V_{DS} sur la mobilité puisqu'aucun modèle de réduction de la mobilité n'a été introduit sous COMSOL®. Néanmoins, ceci ne change rien au but recherché qui est de déterminer KP_n , V_{Tn} , R_{SD} et ΔL . Ainsi, une fois les courbes $I_{DS} = f(V_{GS})$ calculées pour les 5 transistors, les étudiants utilisent le même code MATLAB® que celui utilisé pour traiter les mesures expérimentales pour extraire V_{Tn} et KP_n , puis R_{SD} et ΔL (figure 23), de façon à corriger les valeurs de V_{Tn} et KP_n (c.f. section 6). Avec les paramètres utilisés, les résultats donnent pour R_{SD} et ΔL :

$$R_{SD} = 18,7\Omega \quad \text{et} \quad \Delta L = 167nm \quad [17]$$

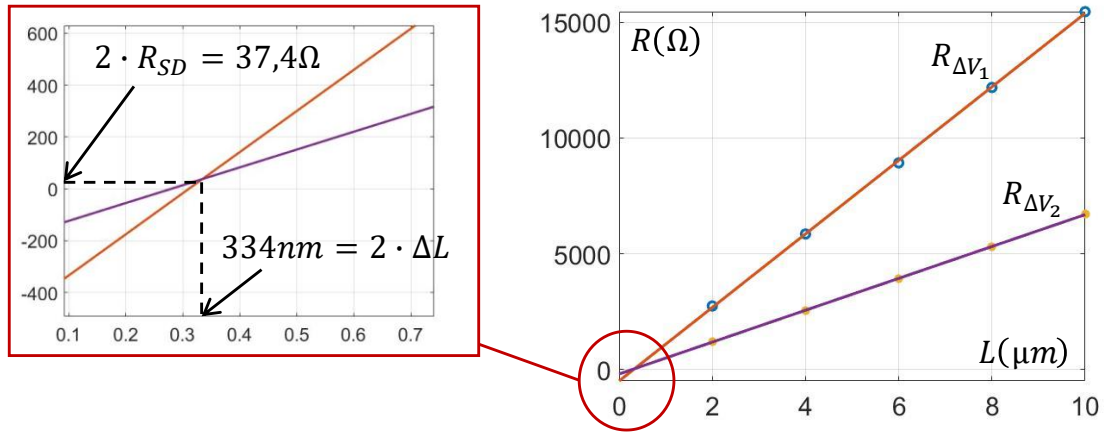


Fig.23. Détermination de ΔL et R_{SD} à partir des résultats de simulation COMSOL®.

Les valeurs de V_{Tn} , KP_n , V_{Tn}^c et KP_n^c sont fournies dans le tableau 2.

TABLEAU II. V_{Tn} et KP_n sont extraits des simulations sans tenir compte de R_{SD} et ΔL , V_{Tn}^c et KP_n^c sont les valeurs corrigées tenant compte de R_{SD} et ΔL .

L	$2\mu m$	$4\mu m$	$6\mu m$	$8\mu m$	$10\mu m$
$V_{Tn}(mV)$	690,7	727,1	734,8	736,5	736,4
$V_{Tn}^c(mV)$	692,7	728,1	735,4	736,9	736,7
$KP_n(\mu A/V^2)$	23,58	22,43	21,93	21,60	21,33
$KP_n^c(\mu A/V^2)$	20,44	20,97	20,96	20,87	20,74

En comparant les tableaux 1 et 2, les étudiants constatent que les valeurs absolues obtenues en simulation pour le V_{Tn} et le KP_n ne sont pas exactement les mêmes que celles obtenues par mesures. Pour le V_{Tn} ceci provient principalement de la tension de bande plate utilisée dans la simulation, mais aussi du niveau exact de dopage du substrat P, et de son profil, qu'il faudrait précisément connaître pour modéliser sous COMSOL® le substrat P des wafers utilisés lors du stage de fabrication. Actuellement, le dopage est pris constant, à $10^{15} cm^{-3}$. Toutefois, en simulation V_{Tn} varie en fonction de L de manière similaire à la variation mesurée expérimentalement. Concernant le paramètre KP_n , l'écart entre mesure et simulation provient de la valeur de la mobilité des porteurs dans le canal choisie en simulation et de l'épaisseur d'oxyde de grille utilisée, $t_{ox} = 45nm$. En pratique, il faudrait mesurer précisément t_{ox} pour connaître la valeur à appliquer dans la détermination de C_{ox} avec l'équation [15]. Connaissant C_{ox} précisément, on peut alors déterminer la mobilité à utiliser dans la simulation à travers l'équation [16]. Les résultats de simulation devraient alors être plus proches de ceux obtenus en mesure, même si ici ils sont déjà en très bon accord.

VIII. Conclusion

Depuis une année, des travaux pratiques de simulation COMSOL® ont été introduits dans le Master SM de l'université de Strasbourg pour améliorer la compréhension des étudiants vis-à-vis de la physique des composants. Pour motiver les étudiants à s'investir dans l'étude du fonctionnement des transistors, il a été choisi de leur faire modéliser les transistors qu'ils fabriquent lors de leur stage au CIME Nanotech, pôle CNFM de Grenoble, et de comparer les résultats de mesures expérimentales aux résultats de simulation. Pour

cela, dans un premier temps les étudiants mesurent les caractéristiques I-V du jeu de transistors qu'ils ont fabriqués et appliquent une procédure d'extraction des principaux paramètres électriques du modèle du transistor. Puis, dans un second temps, ils simulent par FEM sous COMSOL[®] le même jeu de transistors pour obtenir les caractéristiques I-V de ces derniers. Ils appliquent alors la même procédure d'extraction des paramètres électriques des transistors, mais cette fois sur les caractéristiques I-V simulées. La comparaison des paramètres électriques mesurés avec ceux simulés est très instructive, et permet réellement aux étudiants de faire le lien entre la théorie de la physique du semi-conducteur et le modèle compact du transistor. Au final, les étudiants acquièrent une meilleure compréhension du fonctionnement du transistor et des limitations des modèles qu'ils utilisent. Bien que les étudiants aient seulement 8H encadrées de simulation COMSOL[®], ils ont accès à l'outil à distance et les plus motivés ont donc la possibilité de poursuivre leurs investigations en regardant l'effet de profils de dopage différents, de modèles de réduction de la mobilité, de polarisation différentes, par exemple en mode d'inversion faible ou modérée, ou en regardant l'effet d'un V_{SB} non nul.

Références

1. C. Galup-Montoro, M. C. Schneider, *MOSFET modeling for circuit analysis and design*, World Scientific Ed., Singapore (2007).
2. M. C. Schneider, C. Galup-Montoro, *CMOS Analog design using all-region MOSFET modeling*, Cambridge University Press, Cambridge (2010).
3. W. Kern, and D. A. Poutinen, Cleaning solution based on Hydrogen peroxide for use in silicon semiconductor technology, *RCA rev.*, vol. 31, pp. 187-205, (1970).
4. Y. P. Tsividis, *Operation and modeling of the MOS transistor*, McGraw-Hill International Editions, Singapore (1988).