

Procédé de fabrication d'un circuit redresseur de puissance : de la fabrication de diodes Silicium à leur assemblage sur substrat métallisé d'alumine

H. Debéda^a, A. Gracia^a, M. Dematos^a, I. Favre^a, B. Plano^a, J. Tomas^a,
R. Tan^b, C. Rouabhi^b, M. Respaud^{b,c}

^a Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

^b INSA et pôle CNFM de Toulouse (AIME), Toulouse, France

^c Centre d'Elaboration des Matériaux et d'Etudes Structurales, Toulouse, France

Contact email : helene.debeda-hickel@u-bordeaux.fr, micro.el@aime-toulouse.fr

Les deux pôles CNFM (Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies) de Toulouse et Bordeaux, AIME et PCB respectivement, ont associé leurs compétences pour créer des formations sur la thématique de l'électronique de puissance : procédé de fabrication de composants pour l'AIME, et leur assemblage sur un substrat céramique pour le PCB. Le circuit choisi, un redresseur de puissance (Pont de Graetz) a permis de valider le procédé de fabrication des diodes de puissance nouvellement mis au point à l'AIME. L'intérêt de cette collaboration inter-pôle est double (i) proposer aux étudiants un TP complet allant du composant élémentaire, à leur assemblage et la caractérisation élémentaire ou du redresseur de puissance, (ii) avoir possibilité de changer selon l'application finale les caractéristiques électriques et dimensionnelles des diodes, (iii) bien connaître les caractéristiques des diodes en prévision des études de fiabilité du composant.

I. Introduction

Afin de réduire l'usage des énergies fossiles, l'électrification des équipements qui composent les procédés industriels et qui sont utilisés dans la vie de tous les jours est un enjeu industriel majeur. Former les futurs techniciens et ingénieurs aux métiers de l'électronique est le préalable afin de réussir cette mutation technologique et accroître le potentiel d'innovation de nos filières industrielles. Un secteur clé est l'électronique de puissance, impliqué aussi bien pour la production d'électricité à partir des énergies renouvelables, que l'utilisation par les citoyens.

Le CNFM propose des formations dans chacun de ses pôles. Celles-ci s'appuient sur les domaines de compétences des universités, laboratoires de recherche et des industriels qui les entourent. A Toulouse, l'AIME dispose d'une centrale technologique pour la fabrication de composants ou de circuits intégrés en technologie Si (diodes, transistors MOS, cellules solaires,...) ou microsystèmes [1]. Le pôle de Bordeaux dispose d'une centrale technologique de microélectronique hybride et de micro assemblage ; en particulier les étudiants peuvent se former grâce à des TP sur les deux niveaux d'assemblage, avec la réalisation de cartes permettant de mettre en pratique le premier

niveau d'assemblage (puce sur carte ou puce dans boîtier), le second niveau (boîtiers sur carte) et les techniques d'analyse des assemblages [2-3]. Des exemples de réalisation sont montrés figure 1. Pour ces enseignements, une veille technologique est menée, qui conduit à des innovations pédagogiques [4]. La fiabilité des procédés ou packaging [5] est aussi au cœur de nos préoccupations, et nous essayons aussi de sensibiliser les étudiants à ces problématiques. Un des circuits proposés, un circuit redresseur de puissance, nous a paru adapté pour illustrer notre démarche. Il a aussi permis de montrer une synergie entre les 2 pôles AIME et PCB accueillant les étudiants bordelais. Dans cette article, la description complète du circuit redresseur sera dans un premier temps proposée avec les éléments le constituant. Puis, les étapes de fabrication seront détaillées, depuis l'élaboration des diodes silicium en salle blanche jusqu'à leur report sur le support d'interconnexion. Les diodes et le circuit complet seront finalement caractérisés électriquement. Pour finir, quelques défauts de fabrication observés lors des TP seront décrits et les solutions proposées pour y remédier seront présentées.

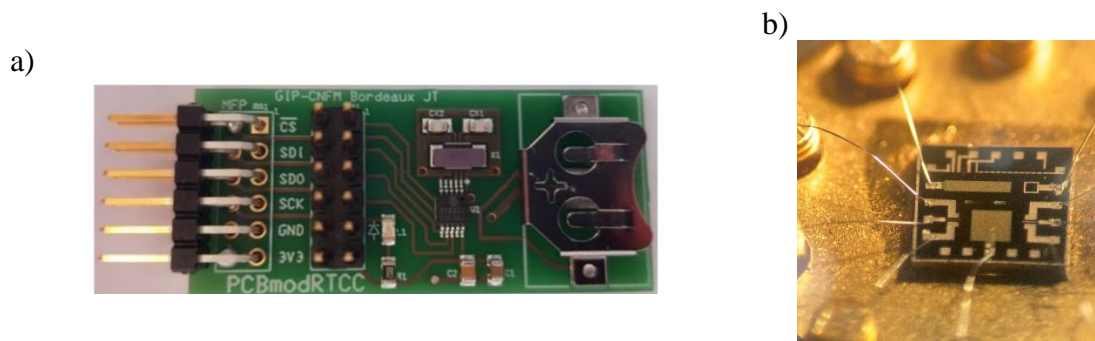


Fig.1 : Exemples de réalisations (a) Pôle PCB carte PCBmodRTCC assemblée [4] (droite) Pole AIME, puce Si (transistors NMOS) fabriquée par des étudiants et montée sur un boîtier To5.

II. Description du circuit redresseur

II.1 Circuit d'implémentation, connectique et packaging

Une photo d'un circuit commercial redresseur est donnée sur la figure 2, avec ses caractéristiques. Visuellement, sont notés un enrobage et 4 broches. La résine encapsule le circuit constitué de 4 diodes reportées sur un substrat et probablement une semelle dissipatrice de chaleur. Pour ces TP (niveau Licence à Master), seule la partie substrat/diodes est effectuée. Le schéma d'implémentation du circuit redresseur réalisé pendant les TP est donné figure 2b. Les dimensions sont $2,54 \times 2,54 \times 0,635\text{mm}^3$ pour le substrat, $3,5 \times 3,5\text{mm}^2$ pour la plage d'accueil des diodes, et 1mm pour la largeur des pistes. Les puces seront reportées sur le substrat avec un joint face arrière reliant l'anode aux métallisations du substrat. La cathode sera câblée avec des fils de $300\mu\text{m}$ de diamètre.

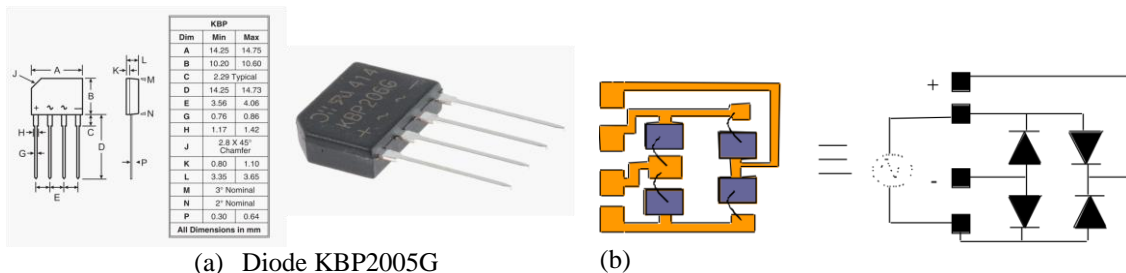


Fig.2 : Redresseur (a) commercial [6] (b) schéma d'implantation réalisé au pôle PCB

II.2. Les matériaux

Pour les assemblages de puissance, plusieurs types de substrats peuvent être utilisés. Le tableau I regroupe les substrats d'interconnexion les plus répandus en électronique de puissance. Le choix se fera en fonction de l'application. Ici, un substrat céramique d'alumine Al_2O_3 96% a été choisi. Il présente un bon compromis en termes de propriétés thermo-mécanique/coût. L'alumine est aussi compatible avec l'encre de sérigraphie à base d'AgPdPt choisie pour les pistes conductrices. Ces couches seront imprimées par sérigraphie sur l' Al_2O_3 puis frittées pour obtenir les bonnes propriétés électriques.

TABLEAU I. Propriétés des principaux substrats utilisés pour des assemblages de puissance

Substrat	Coefficient de dilatation thermique (ppm.°C ⁻¹)	Conductivité thermique (W.m ⁻¹ .°C ⁻¹)
Alumine (Al_2O_3)	6,6	20
Direct Bond Copper/Nitruure d'aluminium (DBC/AlN)	4,7	170
Substrat métallique isolé	60	1-12

L'attache de la puce sur les pistes métalliques du substrat nécessite l'utilisation d'un matériau supplémentaire, généralement une colle ou une crème (pâte) à braser (Fig. 3a). Dans ce TP, la crème à braser composée d'étain, argent et cuivre (SnAgCu aussi appelée SAC) sera utilisée. Cette solution permettra de montrer la technique de sérigraphie et le procédé de refusion. Pour un assemblage subissant plus de contraintes thermo-mécaniques, une pâte à braser ou un alliage à haute température de fusion seraient recommandés (SnAu par exemple [7]). Une photo du redresseur obtenu par les étudiants est donnée figure 3b.

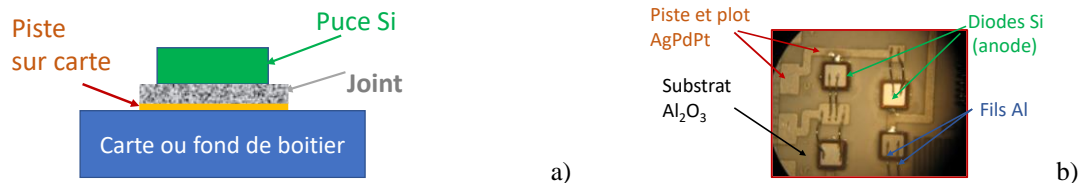


Fig.3 : Vue en coupe d'un assemblage (a) Photo du redresseur.

III. Fabrication et caractérisation des diodes

Les diodes en Si sont fabriquées à l'AIME. Afin de respecter la structure des diodes anciennement utilisée par le pôle PCB, un procédé de fabrication a été mis au point. Les diodes doivent notamment avoir comme caractéristiques requises :

- une cathode métallisée à l'or pour faciliter le mouillage de la brasure (connexion face arrière par brasure sur plaque d'alumine sérigraphiée)
- une anode métallisée à l'aluminium en face avant. Une forte épaisseur d'aluminium de 5 μm est également requise pour les étapes de câblage ultérieures de ces diodes. Néanmoins, les bâtis de dépôt métallique disponibles à l'AIME (évaporateur thermique ou pulvérisation cathodique) ne permettent pas d'obtenir de telles épaisseurs. Aussi, la couche d'aluminium déposée est réduite à 1 μm .

Le procédé est résumé sur la Figure 4a. Des plaquettes de 2 pouces de Si type n (substrats de départ dopées à 10^{16} at/cm³) sont dans un premier temps oxydées (oxyde humide ~

460 nm). Un premier niveau de masquage conduit à l'ouverture des zones actives après retrait de la couche de silice (SiO_2) par attaque à l'acide fluorhydrique (HF) (Fig.4a -B). Cette attaque est volontairement incomplète et contrôlée de manière à préserver une couche de SiO_2 ~100 nm qui permettra de protéger le Si lors de l'étape suivante d'implantation ionique. Le dopage au bore se fait alors à travers ce masque physique (30keV, 8.10^{14} at/cm³) et est finalisé avec une redistribution de 5 minutes à 950°C (Fig.3a-C). Après retrait de l'oxyde de protection, une couche d'aluminium est ensuite déposée sur la face avant par évaporation thermique. Elle est ensuite gravée après une seconde photolithographie et finalement recuite à 450 °C pendant 20 minutes (Fig.4a -D et Fig.4a -D E). Enfin, la reprise de contact en face arrière est réalisée pleine plaque via un dépôt successif de Ti/Au (50/250 nm) qui sera recuit à 250°C pendant 20 minutes (Fig.3a -F). Les caractéristiques courant-tension des diodes AIME obtenues sont illustrées sur la figure 4b et comparées à celles des puces commerciales SERMA. En moyenne, les tensions seuil sont de ~0,57 V et les résistances séries de ~1,6 Ω (Tableau II). Ces tensions seuil sont de l'ordre de grandeur attendues pour des jonctions p/n en Si dans cette configuration sandwich mais sont sensiblement différentes de celles des diodes commerciales (Tableau III). Une optimisation du procédé de fabrication à l'AIME sera nécessaire afin de se rapprocher des caractéristiques des composants industriels.

IV. La fabrication du redresseur avec le report des diodes (1^{er} niveau) et test

Les étapes de fabrication du redresseur effectuées par les étudiants sont (Fig.5) :

1. Sérigraphie sur l' Al_2O_3 de AgPdPt (ESL9562-G [8]), séchage et cuisson à 850°C.
2. Sérigraphie de la crème à braser SAC (Loctite GC10 [9]).
3. Report des diodes avec la Pick and Place CIF-Precitec
4. Refusion phase vapeur (IBL – SV 260) avec une température pic de 230°C
5. Câblage « wedge-wedge » de fils d'Al de diamètre 300 μm (Orthodyne M20).
6. Le circuit est testé pour vérifier qu'il assure sa fonction de redresseur de tension et il est comparé à un circuit commercial encapsulé dans un boîtier.
7. Finalement, un test destructif du circuit est réalisé pour illustrer la problématique de dissipation thermique avec ce simple circuit sans semelle dissipatrice de chaleur. Pour ce test, la résistance de charge du circuit est progressivement diminuée tout en gardant la tension constante (environ 20 V de valeur efficace à 50Hz). La température du circuit qui augmente progressivement conduit à l'endommagement des diodes. Celle-ci est parfois supérieure à 230°C, puisqu'une fusion de la brasure peut être notée. Une visualisation de ce test est possible avec la vidéo fournie.

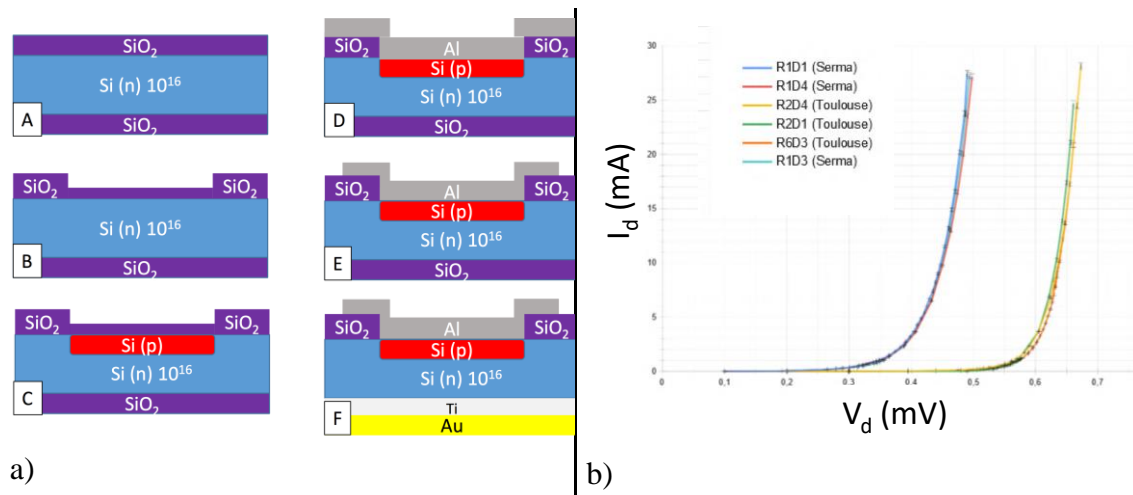


Fig.4 (a) Etapes de fabrication des diodes Si AIME (b) Caractéristiques I/V mesurées pour les diodes AIME (« Toulouse ») et les diodes commerciales (« SERMA »).

TABLEAU II. Caractéristiques des diodes AIME.

R6D3		R2D4		R2D1		Moyenne	
V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)
0,57	1,63	0,562	1,67	0,57	1,62	0,57	1,62

TABLEAU III. Caractéristiques des diodes commerciales.

R1D3		R1D1		R1D4		Moyenne	
V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)	V_{seuil} (V)	R_d (Ω)
0,36	2,55	0,35	2,22	0,36	2,56	0,35	2,44

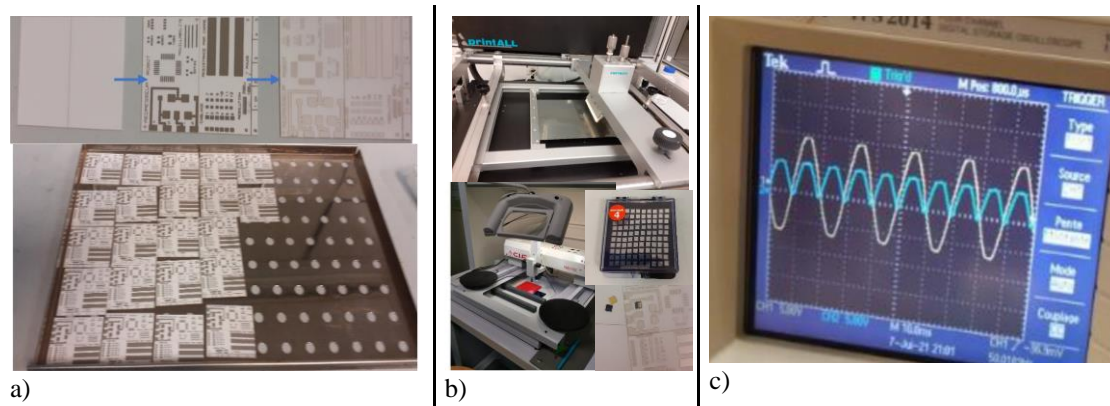


Fig.5 : (a) Substrats Al₂O₃ vierges, avec couche AgPdPt séchée, cuite et fabrication en série (b) Report des diodes (sérigraphie crème à braser et dépôt des puces avant la refusion) (c) Test du redresseur.

V. Les défauts identifiés et les solutions proposées

Au fil des TP réalisés avec ces nouvelles diodes, quelques défauts ont pu être observés et solutionnés.

1. Tout d'abord les puces plus fines se sont avérées souvent inclinées à la fin du procédé d'assemblage (Fig.6 a-b). Parmi les causes avancées, la première et la plus probable est que le dépôt manuel de la crème peut présenter des différences d'épaisseur, lorsque le manipulateur ne plaque pas assez le clinquant contre le substrat. Les puces les plus fines, si celles-ci mouillent mal, restent inclinées. Lorsque la sérigraphie ne peut se faire de manière automatique, une astuce consiste à appliquer un poids sur la diode avant la refusion.

2. Dans d'autres cas, une fissuration des diodes a été observée après le câblage (Fig.6 c-d). Etant donnée l'épaisseur des diodes Si et parfois leur inclinaison, la force d'appui exercée lors du câblage peut conduire à ce clivage. Une réduction de la force d'appui et un dépôt homogène de la crème à braser peuvent résoudre ce problème.

3. Par ailleurs, un décollement de la piste d'aluminium est apparu (Fig.6.e). Il est évident que la fine épaisseur et la trop forte énergie des ultrasons en est la cause. Cependant, ce défaut est survenu rarement. C'était principalement dans le cas où la pression appliquée par l'outil de câblage n'était pas homogène, du fait de la non planéité de la diode.

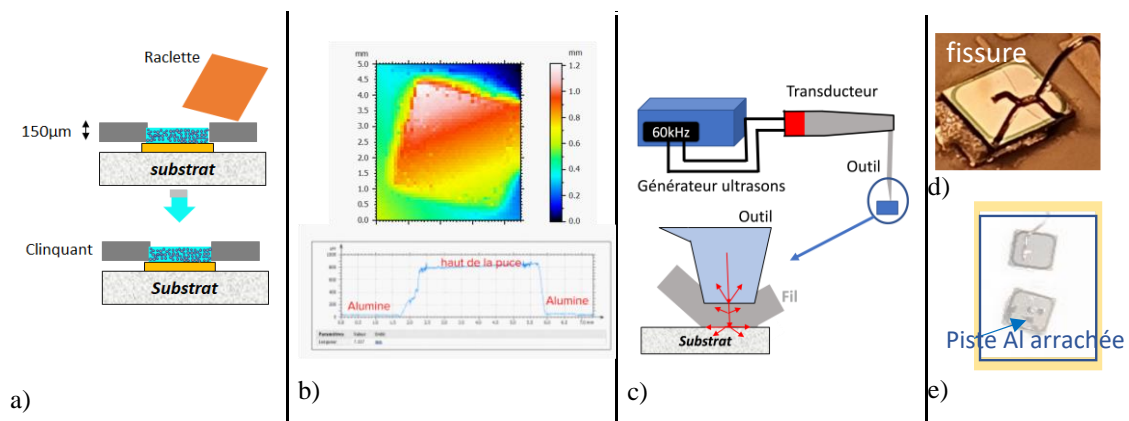


Fig.6. Principes de sérigraphie et câblage et défauts observés suite aux étapes de report (a) Sérigraphie de crème à braser (b) Profils en épaisseur d'une puce AIME inclinée après l'étape de report/ refusion (c) Câblage ultrasonique « wedge-wedge » (d) Photo d'une puce avec fissure suite au câblage (e) Photo d'une piste d'Al arrachée après le câblage.

4. Les observations par radiographie X montrent la présence d'un plus grand nombre de bulles d'air de taille et de forme inhabituelle dans le joint de brasure pour les puces de l'AIME (Fig. 7). Plusieurs hypothèses sont envisageables : la composition de la nouvelle crème à braser, le profil de refusion à optimiser, les métallisations AgPdPt (température de frittage à optimiser voire même sa nature) et le non polissage arrière de la puce.

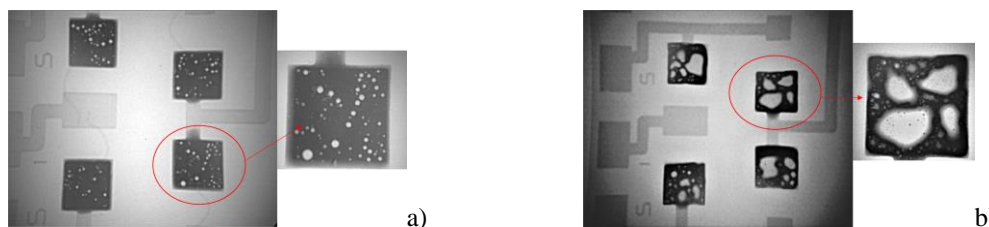


Fig. 7 : Radiographies X des puces brasées (a) Commerciales (b) AIME, laissant apparaître des bulles d'air.

Conclusion

Les deux pôles CNFM AIME et PCB se sont associés pour créer un TP sur la thématique de l'électronique de puissance. Le circuit choisi, un redresseur de puissance (Pont de Graetz) a permis de valider le nouveau procédé de fabrication des diodes de puissance nouvellement mis au point à l'AIME et de montrer la synergie entre les 2 pôles. Un TP dimensionné pour une durée de 2 jours, avec 1 jour d'enseignement dans chaque pôle pourrait ainsi être proposé. Avec ce type de TP, les étudiants pourraient ainsi voir toute la chaîne de production d'un composant de puissance, depuis le procédé de fabrication des puces Silicium p-n, leur report sur carte (« Chip On Board ») jusqu'à l'analyse non destructive du joint métallique et leur caractérisation électrique. L'intérêt de cette collaboration inter-pôle, outre de proposer aux étudiants un TP complet allant du circuit intégré, à son assemblage et à sa caractérisation a surtout permis d'interagir sur le procédé de fabrication des puces Si pour pouvoir l'adapter en fonction des contraintes technologiques et de l'application. Les perspectives de ce travail seraient notamment (i) de montrer aux étudiants l'intérêt d'une semelle dissipatrice de chaleur et d'un radiateur sur la fiabilité du composant, et la tenue en test du redresseur (ii) d'améliorer la mouillabilité de la brasure afin d'éviter les bulles d'air présentes dans le joint, en travaillant sur les profils de température choisis et la nature des couches à braser.

Remerciements

Hind Gara, élève ingénieur EILCO Longuenesse, 2nde année, et Matthieu Labrit élève de licence 2^{ème} année CMI IMSAT Bordeaux, sont remerciés pour leur travail de stage sur le procédé de fabrication (puces silicium ou assemblage) ou leurs caractérisations. Les élèves de la Licence PRO-CAFIEM de l'IUT GEII de Bordeaux sont aussi remerciés pour leur vidéo sur le test du redresseur. Enfin, le GIP-CNFM est remercié pour sa politique de soutien financier des projets pédagogiques innovants.

Références

1. R.P.Tan *et al*, Practical works on Nanotechnology Middle school to undergraduate students, *IEEE Nanotechnology Magazine*, 2020, 21-28.
2. H. Debéda *et al*. Stage de microassemblage Pôle CNFM de Bordeaux / IMS Bordeaux : réalisation de circuits hybrides et capteurs. *12^{èmes} JPCNFM 2012*.
3. H.Debéda *et al*. Vers l'électronique imprimée à l'IMS Bordeaux - plateforme technologique TAMIS (Technologies Alternatives aux Microsystèmes Silicium). *J3eA*, 14, 2015.
4. A.Gracia *et al*. Les cartes d'extension PCBmod : conception et applications pédagogiques VHDL et micro-assemblage. *J3eA, EDP Sciences*, 2019, *15^{ième} JPCNFM 2018*.
5. R. Khazaka *et al*. Survey of High-Temperature Reliability of Power Electronics Packaging Components, *IEEE transactions on power electronics*, vol. 3^o, n^o5, 2015.
6. Site web <https://docs.rs-online.com/c5f4/0900766b814f36d3.pdf>
7. H. Zhang *et al*. A Brief Review on High-Temperature, Pb-Free Die-Attach Materials. *Journal of Elec Materi* 48, 201–210 (2019).
8. Site web <https://www.bestpcbs.com/design-guide/ceramic-pcb-material/ELS9562-G-datasheet.pdf>
9. Site web https://www.henkel-adhesives.com/fr/fr/produit/solder-pastes/loctite_gc_10.html