

Nouveau jeu de masques pour la prise en main des étapes de base de fabrication en salle blanche de composants microélectroniques

O. de Sagazan, C. Lebreton, E. Jacques , L. Pichon

IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

Contact email : olivier.de-sagazan@univ-rennes.fr

Depuis plus de 30 ans le CCMO propose des formations aux techniques de fabrication de micro-composants en salle blanche. L'actualité récentes à remis en lumière l'importance stratégiques de ces technologies de micro-fabrications. A travers un TP de 4 jours, le CCMO permet à des élèves de second cycle, de découvrir l'univers de la fabrication des composants semiconducteurs ainsi que de leurs méthodes de tests électriques. Ainsi au bout de la formation les élèves auront réalisé et testé des transistors, des diodes et même des circuits logiques simples.

I. Introduction

Quelque peu délaissé pendant des années, la fabrication des composants microélectroniques semiconducteurs redevient un enjeu stratégique. Si beaucoup de formations académiques tiraient petit à petit cette matière de leur offre pédagogique, cela ne semble plus être le cas aujourd'hui. En effet, il apparaît que la demande en ingénieurs, formés aux techniques de micro-fabrication en salle blanche, augmente drastiquement. Ces ingénieurs pouvant alimenter aussi bien la filière de la microélectronique mais aussi de l'optique intégrée ou plus généralement de la physique des matériaux.

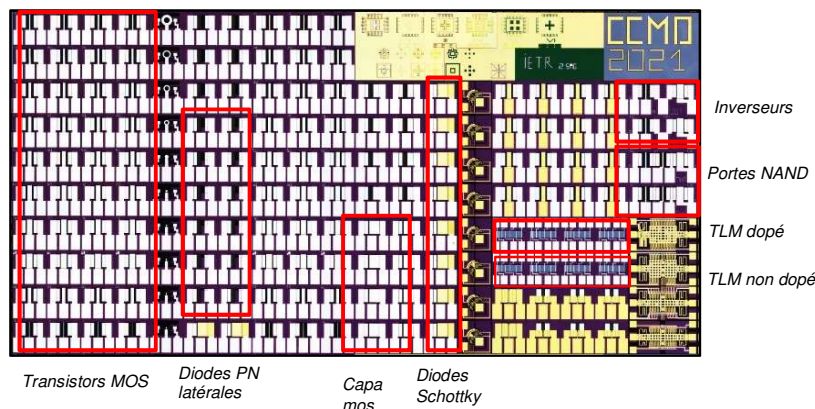


Fig.1. Cellule unitaire (10mmx5mm) après l'ensemble des étapes réalisées lors du TP. Chaque cellule comprend 70 transistors MOS, 24 diodes PN, 10 diodes Schottky, 2 TLM dopés, 2 TLM non dopés, 8 capacités MOS, 2 inverseurs et 2 portes Nand.

Acteur de la formation en microélectronique depuis plus de 40 ans, le CCMO (1) a récemment renouvelé ses offres de formations et plus spécialement celles ayant attiré à la réalisation de composants en filière silicium. A travers un nouveau jeu de masques (cf. Fig.1), les étudiants peuvent réaliser en quatre jours des diodes PN ou NP, des diodes Schottky, des transistors MOS à canal N ou P, ainsi que des circuits inverseurs ou des portes logiques simples. Le design du jeu de masques a été conçu fin 2021 et son utilisation lors

des premiers travaux pratiques sur des formations M2 a été mise en place en 2023. La principale réalisation porte sur les transistors MOS, mais en simplifiant le procédé de fabrication associé il est possible de produire des diodes PN ou Schottky avec l'ajout d'un simple masque. Le design des masques comprend aussi des modules de tests qui permettent aux étudiants d'effectuer des mesures complémentaires permettant de qualifier la qualité de leurs travaux (TLM, Capa MOS, etc.).

II. Fabrication de transistor MOS sur silicium

Le procédé de fabrication standard des composants microélectroniques est décrit par la figure 2. Cette fabrication s'appuie sur un process à haute température utilisant des wafers de silicium Si (orienté <1.0.0>) comme substrats. Selon le type de dopage choisi, le wafer accueillant le canal de conduction peut être soit de type P ou N, faiblement dopé avec une résistivité comprise entre 1 et 10 Ohm.cm. La fabrication à haute température sur silicium a été privilégiée, mais des variantes du jeu de masques permettent de réaliser les transistors en technologie couche minces sur des substrats hôtes différents comme du verre ou même des polymères (PEN ou Kapton) par un procédé de fabrication compatible à plus basse température.

Procédé de fabrication

Dans un premier temps, après avoir été rapidement désoxydés par une solution diluée de HF puis rincés, les wafers sont oxydés à 1050°C en présence d'hydrogène et d'oxygène. Cette oxydation dite humide forme un oxyde d'environ 1µm d'épaisseur. Cette opération assez consommatrice en temps est effectuée avant l'arrivée des étudiants pour que ceux-ci puissent se concentrer sur les étapes suivantes plus intéressantes pédagogiquement.

Cet oxyde humide est ensuite gravé au BOE (Buffer Oxide Etching) après une première étape de photolithographie (Mask 1) qui définira les zones à doper. Le dopage se fait par diffusion à partir d'un pré-dépôt à 1050°C utilisant des wafers de nitrure de bore (BN) ou nitrure de phosphore (PN) selon le type de dopage choisi. Après la gravure de l'oxyde ainsi

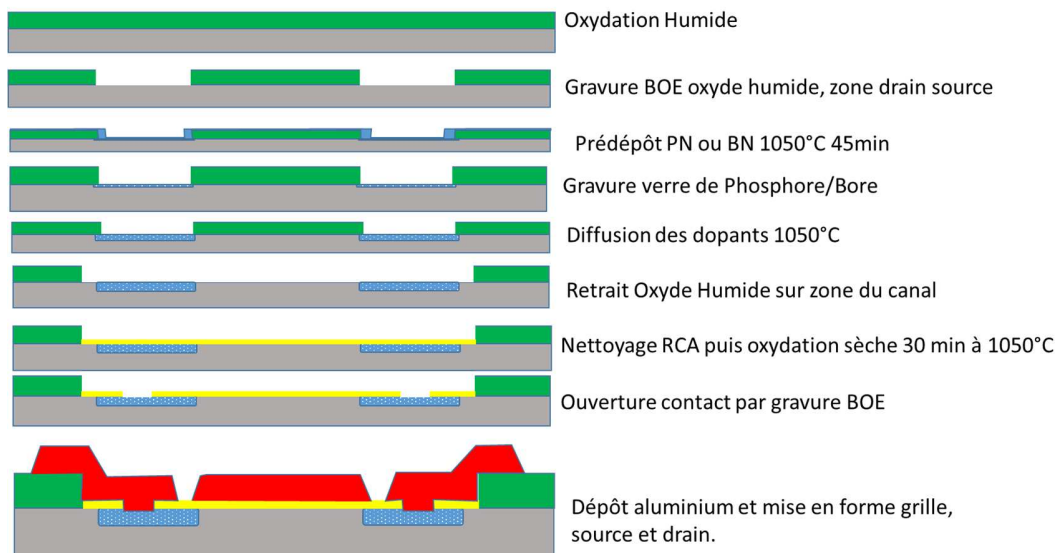


Fig.2. Description du procédé de fabrication à haute température des transistors MOS, pour la fabrication des drains/sources, puis du canal surmonté par un oxyde de grille, piloté par des contacts en aluminium. Ce procédé permettra aussi la création de tous les autres composants, à l'exception des diodes Schottky.

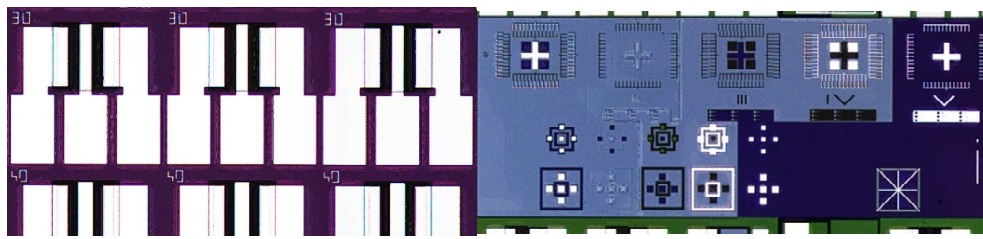


Fig.3. A gauche vue au microscope des transistors et de leurs plots de tests électriques de taille $W=200\mu\text{m}$ avec un L variant de 10 à $100\mu\text{m}$ ($L=30$ et $40\mu\text{m}$ sur la photo). A droite détail sur la zone des motifs d'alignements en fin de procédé de fabrication.

créé en surface des plaques, les wafers sont à nouveau soumis à un traitement thermique pour faire diffuser les dopants. Une deuxième étape de photolithographie (Mask 2) permet alors d'ouvrir la zone du canal en gravant l'oxyde humide. Ceci permet aux étudiants d'être confrontés à leur premier alignement. Après un nettoyage RCA des wafers une oxydation sèche est réalisée dans la foulée à 1050°C , mais cette fois sans hydrogène. Cette étape permet de créer l'oxyde de grille qui mesure entre 80 et 100nm d'épaisseur. Le Mask 3 permet quant à lui d'ouvrir des contacts aux niveaux des sources et drain en gravant l'oxyde de grille au BOE pendant moins d'une minute. Le procédé de fabrication s'achève par une évaporation sous vide d'aluminium liquéfié par effet joule. Le Mask 4 permettant, par un troisième alignement, de définir la grille ainsi que les contacts de sources et drains comme on peut le voir sur la figure 3.

La dernière étape consiste à recuire les wafers à 380°C dans un mélange dit « forming gas » afin d'améliorer la résistance de contact entre l'aluminium et le silicium. Cette résistance sera par la suite calculée par les étudiants lors de la phase de caractérisations électriques.

Tests électriques des transistors

Les tests électriques sont effectués sur une station sous pointes reliée à un analyseur de paramètres de type Agilent B1500, à partir de programmes prédéfinis pour la caractérisation électrique.

Après une familiarisation avec la manipulation de micro-pointes de test, les étudiants sont ainsi amenés à tracer des courbes de transfert (fig.4) mais aussi les caractéristiques de sortie. Des notions telle que, la tension de seuil, la transconductance, la pente sous le seuil ou encore le rapport $I_{\text{on}}/I_{\text{off}}$ sont abordées et illustrées par la mesure directe sur le composant préalablement réalisés.

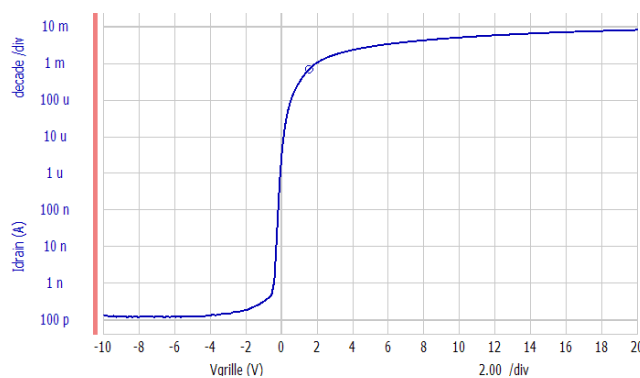


Fig.4. Caractéristique de transfert d'un transistor n-MOS W/L $200/10\mu\text{m}$ en échelle semi-log.

Tests électriques des inverseurs

Le design des masques comprend un inverseur simple fait de deux transistors de géométries différentes (W/L 200/10 et 200/100) câblés en pseudo CMOS (voir figure 5).

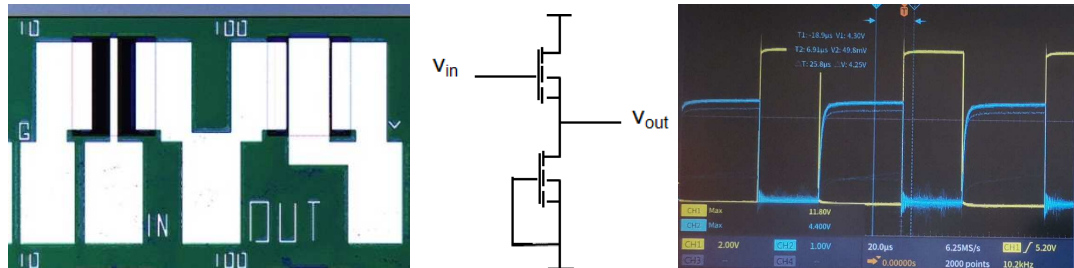


Fig.5. A gauche l'inverseur réalisé à l'aide de deux transistors MOS et ses quatre points de mesure (Ground In, Out et Vdd). Au centre, circuit électrique du pseudo inverseur. A droite observation de l'inversion sur un oscilloscope numérique branché sur la sortie Out.

Les étudiants peuvent alors mesurer le gain statique de leur inverseur en traçant la courbe $V_{out}=f(V_{in})$. Les notions d'excursion, de fréquence de transition ainsi que la tension de déchet peuvent être abordées à l'aide de ce montage. Enfin, ce simple circuit permet de faire le lien entre une approche très physique des semi-conducteurs de l'électronique et la naissance des fonctions numériques booléennes.

III. Fabrication de diodes

Outre les transistors, le procédé de fabrication associé au jeu de masques permet la réalisation en même temps de diodes latérales, verticales, ou bien de type Schottky.

Diode latérale

Le design comprend aussi spécifiquement des diodes latérales comme décrit figure 6, réalisées en quatre masques, en suivant le procédé de fabrication des transistors. Ces diodes présentent des caractéristiques électriques différentes des diodes verticales obtenues en polarisant la face arrière du substrat. Une telle configuration présente l'avantage d'illustrer l'effet de redressement aussi bien en volume qu'en surface.

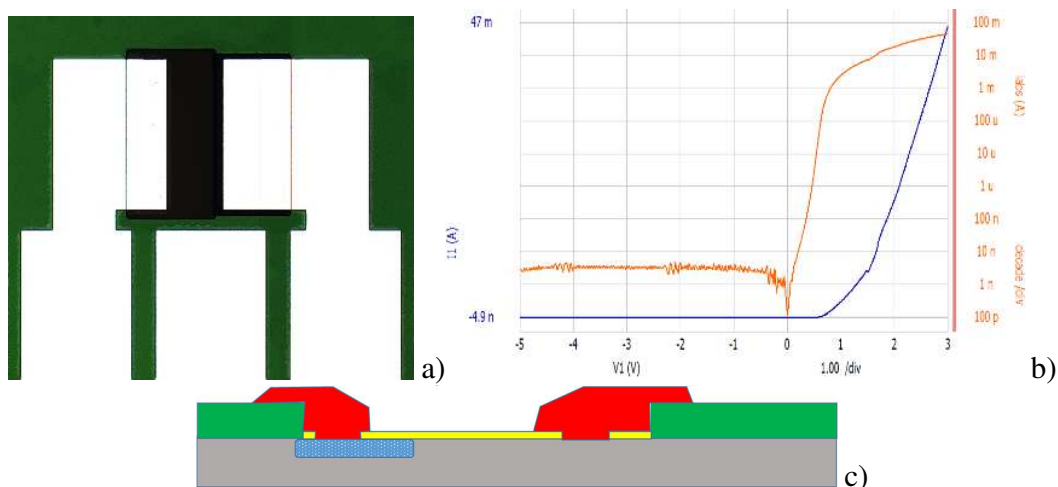


Fig.6. Photo microscope de la diode latérale (a) reprenant le design général du transistor. Caractéristique électrique en linéaire et semi-logarithmique (b) de la diode verticale. Vue en coupe de la diode latérale avec en vert l'oxyde humide, en bleu la zone dopée, en jaune l'oxyde de grille et en rouge les contacts d'aluminium.

Diode verticale

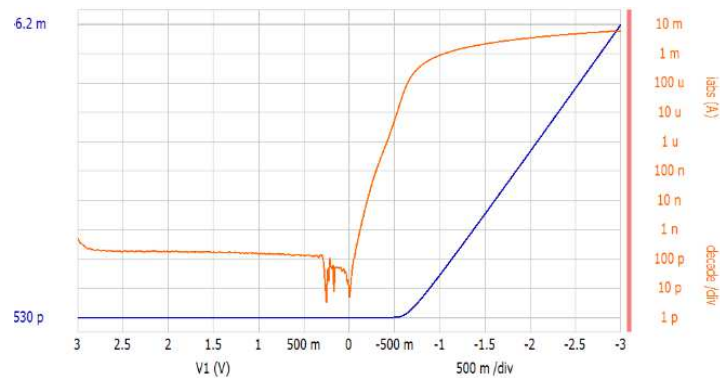


Fig.7. Caractérisation électrique d'une diode verticale en polarisant le substrat en face arrière et le contact de source /drain prévu pour les transistors.

En polarisant le substrat par la face arrière (fig 6. c) et en utilisant le contact de drain/source des transistors, on peut réaliser une diode qui de plus ne nécessite que deux masques (Mask 1 et Mask 4). Cette configuration simplifiée a de nombreux avantages. En effet, certaines formations ne disposent pas dans leur cursus de 4 jours à investir dans l'apprentissage de ces technologies de micro-fabrications. C'est pourquoi ce TP peut s'adapter facilement à la réalisation de diodes verticales. De cette manière les étudiants peuvent réaliser et tester leur dispositifs en deux jours pleins.

Le test électrique de ces diodes se fait après le recuit sous forming-gas et permet de déterminer le courant de fuite inverse et le courant en mode passant. La figure 7 montre les performances obtenues pour de telles diodes en représentations linéaire ou semi-logarithmique. Une aspiration sur le chuck de test permet de garantir un bon contact électrique en face arrière. Une couche d'aluminium en face arrière peut aussi être ajoutée pour illustrer l'intérêt d'un contact ohmique aux bornes des deux pôles de la diode.

Diode Schottky

Une dernière variante du design propose aux étudiants de réaliser des diodes Schottky. Dans ce cas il faut utiliser un masque supplémentaire à la suite du process de transistor qui permet de déposer et de mettre en forme par lift-off une couche de métal préalablement choisie parmi celle disponible au CCMO à savoir le nickel, l'or ou le platine.

La diode est formée en déposant par évaporation à l'aide d'un canon à électron (EBD) directement sur le silicium non dopé du substrat le métal choisi selon ses travaux de sortie. La figure 8 représente une vue en coupe de la diode Schottky. Les caractéristiques électriques mesurées (fig. 9) par la station sous pointes à l'aide de l'analyseur B1500, en faisant appel à un programme de test dédié, sont ainsi comparées à celle de la diode classique, et les intérêts et domaines d'utilisation de chaque système peuvent être discutés par les étudiants selon leur filière de spécialités.



Fig.8. Vue en coupe de la diode Schottky avec le silicium en gris, l'aluminium en rouge, l'oxyde de grille en jaune et l'or en doré. Diode réalisée après un process complet de transistor.

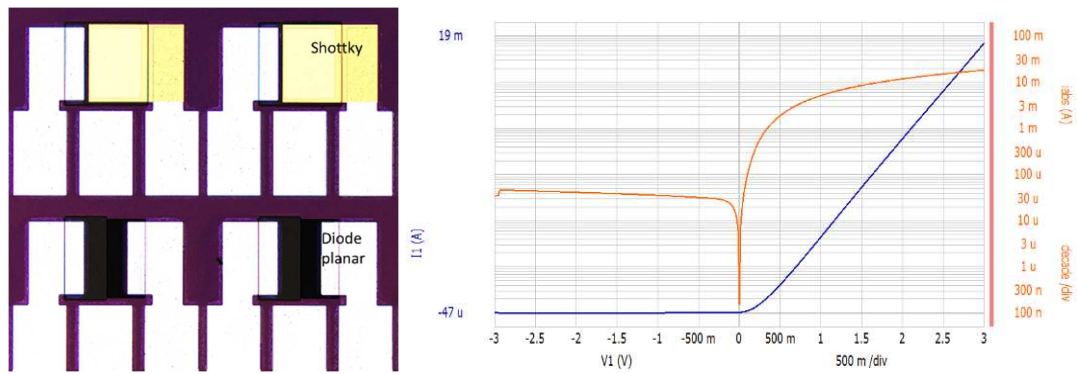


Fig.9. Vue comparative des diodes latérales et Schottky Si-Au à gauche. Caractérisation électrique d'une diode Schottky en échelles linéaire et semi-logarithmique à droite.

IV. Caractérisation électrique complémentaire

Présent sur le design, plusieurs motifs de tests permettent de qualifier le procédé de fabrication, à travers la qualité de l'oxyde de grille, la résistance de contact ainsi que le niveau de dopage. Ceci est possible grâce à la possibilité prévue par le jeu de masques de fabriquer des capacités MOS et des modules TLM (Transmission Line Measurement).

Capacité MOS

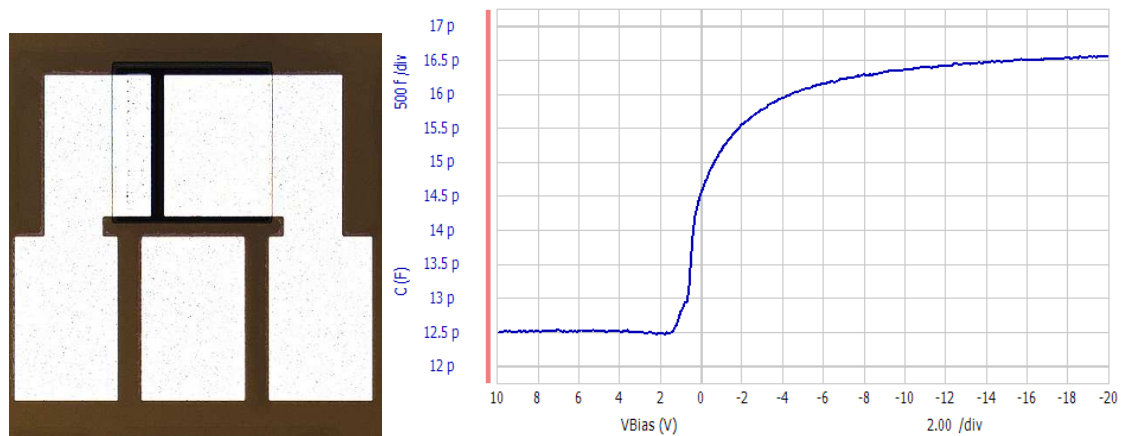


Fig.10. Vue au microscope à gauche et test électrique de la capacité MOS en mode C(V) à 100kHz.

Grâce à un module CMU installé sur l'Agilent B1500, la mesure C(V) (fig. 10) de la capacité MOS permet de qualifier l'oxyde de grille et de son interface en extrayant la tension de bandes plates ainsi que la permittivité diélectrique relative à partir de la relation suivante :

$$C = \epsilon_r \epsilon_0 \frac{S}{d} \quad [1]$$

où d est l'épaisseur de l'oxyde mesuré précédemment au profilomètre lors de la gravure des contacts drain/sources et S la surface de la capacité (100x200µm).

Motifs TLM

Les wafers processés par les étudiants possèdent deux zones de TLM qui permettent de mesurer la résistance de contact ainsi que d'approximer le niveau de résistivité et donc l'efficacité du dopage issu du pré dépôt (dopage des caissons source et drain).

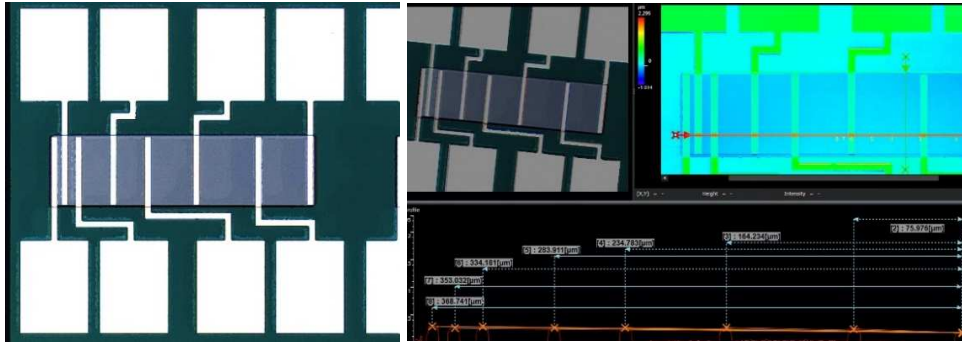


Fig.11. Vue au microscope du motif TLM à gauche et mesure au microscope confocal de la distance entre les lignes formant les différentes résistances à droite.

La figure 11 présente l'allure générale de la zone TLM, avec en son centre la zone rectangulaire de largeur ($l = 100\mu\text{m}$) de silicium dopé sur une épaisseur diffusée (e), et ainsi des prises de contacts électriques disposés à différents emplacements donnant une configuration de résistance de différentes longueurs (L). Les dimensions latérales (l et L) de chaque résistance test sont déterminées par imagerie optique 3D obtenue par microscope confocal disponible au CCMO (2). En s'appuyant sur la formule de la résistance R en fonction de la résistivité ρ :

$$R = \rho \frac{L}{l e} \quad [2]$$

il devient alors possible de mesurer la résistivité ainsi que la résistance de contact entre l'aluminium et le silicium comme exposé dans la figure 12. Le tracé de la résistance en fonction de la longueur du barreau de silicium dopé permet de remonter grâce à l'ordonnée à l'origine à la valeur de la résistance de contact (R). La mesure de la pente de la droite obtenue permet d'estimer la résistivité en approxinant la profondeur de diffusion e (environ $1.5\mu\text{m}$ selon les simulations disponibles).

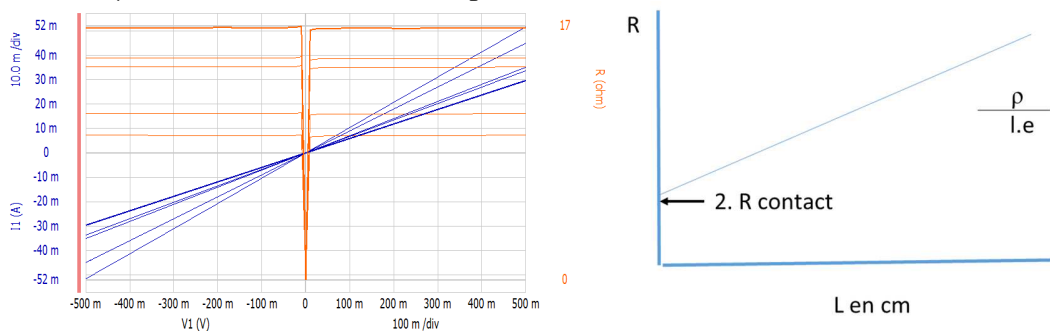


Fig.12. Mesures $I=f(V)$ des résistances entre les différentes lignes du TLM à gauche. A droite tracé de ces résistances en fonction différentes lignes.

V.C onclusion

Grâce à un nouveau jeu de masques, le CCMO propose aujourd'hui une nouvelle version de TP salle blanche permettant la découverte des techniques de base de fabrication microélectronique. En quelques jours, les étudiants sont amenés à réaliser des composants électroniques simples comme des transistors ou des diodes. Le jeu de masques offre aussi la possibilité de fabriquer des circuits simples comme des inverseurs. Enfin, ils apprennent l'importance du contrôle qualité en qualifiant les étapes clés du procédé de fabrication par des mesures électriques *a posteriori*.

Remerciements

Les dispositifs exposés ici ont été réalisés dans la salle blanche du CCMO partagés avec la plateforme NanoRennes (3) de l'IETR, elle-même plateforme de proximité du réseau Renatech. Les auteurs remercient le CNFM (4-5) ainsi que le réseau Renatech pour leur soutien dans le développement et le maintien en condition opérationnelle des différents équipements servant aussi bien à la recherche qu'à la formation. Ils tiennent aussi à remercier les responsables des différentes formations qui ont accepté de tester avec leurs étudiants le nouveau jeu de masques pour la fabrication de composants électroniques en salle blanche.

Références

1. <https://ccmo.univ-rennes.fr/>
2. L. Pichon, J. P. Landesman, H. Lhermite « La microscopie confocale : un support de formation en micro- et nano-électronique au CCMO, pôle CNFM de Rennes » *Journal sur l'enseignement des sciences et technologies de l'information et des systèmes* (2022). DOI 10.1051/j3ea/20221007
3. <https://www.ietr.fr/plateforme-nr-nanoreennes>
4. <http://www.cnfm.fr/>
5. INFORISM, INgénierie de FORmations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans démarre au cours de l'année académique 2023-2024