

Découverte des processus de fabrication en microassemblage électronique, du BUT 3 au doctorat.

H. Debéda, A. Gracia, L. Fadel, L. Oyhenart, J. Tomas

Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

Contact email : helene.debeda-hickel@u-bordeaux.fr

La mise en place du BUT a entraîné des modifications des contenus pédagogiques et volumes horaires. C'est dans ce cadre que s'inscrivent les travaux pratiques de micro-assemblage nouvellement proposés en BUT 3 GEII de Bordeaux, parcours Electronique et Systèmes Embarqués. De plus, à un niveau supérieur, des cours et TP centrés sur le micro-assemblage peuvent être suivis par les doctorants des 2 écoles doctorales SPI et Sciences chimiques ; cette formation a pour objectif de compléter leur formation à la recherche en élargissant leur culture scientifique et/ou les aider dans leurs réflexions sur leur projet professionnel.

I. Introduction

La mise en place du Bachelor Universitaire de Technologie avec la troisième année (BUT 3) a entraîné des modifications des contenus pédagogiques et volumes horaires. C'est dans ce cadre que s'inscrivent les travaux pratiques de micro-assemblage nouvellement proposés au BUT GEII de Bordeaux, parcours Electronique et Systèmes Embarqués (ESE). De plus, à un niveau supérieur d'études, un catalogue des formations est proposé aux futurs docteurs qui doivent obligatoirement suivre 100 heures de formation disciplinaire ou transverse. Depuis un an, une nouvelle formation centrée sur les techniques d'assemblage a pu être proposée et suivie par les doctorants de l'école doctorale de Sciences Physiques et de l'Ingénieur (1) mais aussi aux étudiants de l'école doctorale Sciences Chimiques. Cette formation a pour objectif de compléter leur formation à la recherche en élargissant leur culture scientifique et/ou les aider dans leurs réflexions sur leur projet professionnel. Ces enseignements de micro-assemblage proposés à deux niveaux d'étude seront détaillés dans cet article.

II. Contexte

Le secteur de l'électronique est de plus en plus présent dans tous les domaines de la société, comme en témoigne la croissance exponentielle des chiffres d'affaires avec notamment un triplement des revenus des objets connectés d'ici 10 ans (2). Cela conduit à une accélération des innovations technologiques de fabrication des composants avec de plus en plus de fonctionnalités dans des objets de plus en plus petits, légers et performants. Avec cette course aux innovations technologiques dans les processus de fabrication des composants et leur intégration, les réseaux de capteurs sans fils, souvent basés sur la technologie RFID (Radio Frequency Identification) deviennent un objet incontournable. Pour la fabrication de ces composants passifs, l'électronique flexible imprimée apparaît donc comme une technologie compétitive souvent préférée à la technologie conventionnelle silicium, car elle réduit considérablement le coût de fabrication (Fig. 1.). Pour des composants plus complexes (i.e. des modules), des changements sur l'architecture,

les matériaux et les technologies d'assemblages (« packaging ») sont inévitables avec par exemple les « *System In Package* » (SiP) ou les assemblages 3D.

Les enjeux principaux de l'industrie électronique de ce siècle sont donc la diminution de coûts, mais aussi plus d'intégration et une amélioration des performances. De nos jours, plusieurs milliards de transistors peuvent être intégrés sur un seul SoC (« *System on Chip* ») pour obtenir des systèmes complexes pour l'informatique mobile, l'IoT (« *Internet of Things* »), l'intelligence artificielle... Parallèlement à cette course à l'intégration, est apparu le « *More than Moore* », qui, sans miniaturiser le transistor, permet de réduire à la fois les densités d'interconnexions et les coûts de production, avec un empilement tridimensionnel 3D des composants (3). Les objectifs des enseignements proposés aux étudiants en dernière année avant leur insertion professionnelle (BUT 3, Master 2, Doctorat) sont de les sensibiliser à ces accélérations technologiques constantes en électronique mais aussi, à travers des exemples simples afin de leur faire comprendre les problématiques associées aux processus de fabrication, plus précisément au « packaging ».

Technique d'impression	Viscosité encre (mPa.s)	Épaisseur dépôt (µm)	Résolution latérale (µm)	Substrat	Productivité
Offset	5000-10000	0,5-2	20-50	Papier, film polymères	10 000 feuilles/h 10-1000m/min
Flexographie	50-500	0,5-8	40-80	Papier, films polymères, carton ondulé, verre, métaux	10-600m/min
Sérigraphie	500-10000	0,5-100	50-100	Tous les substrats	< 800 feuilles/h 1-50m/min
Jet d'encre	1-40	0,01-1	10-50		>1500 feuilles/h 1-150m/min
Photo-lithographie		0,01-2	0,02	Wafers de silicium	6000 wafer/sem Soit 80 000m ² /an

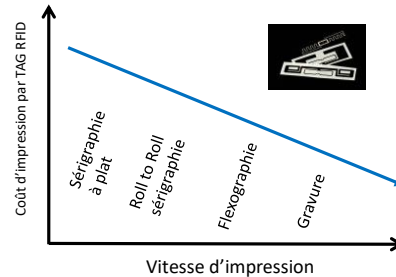
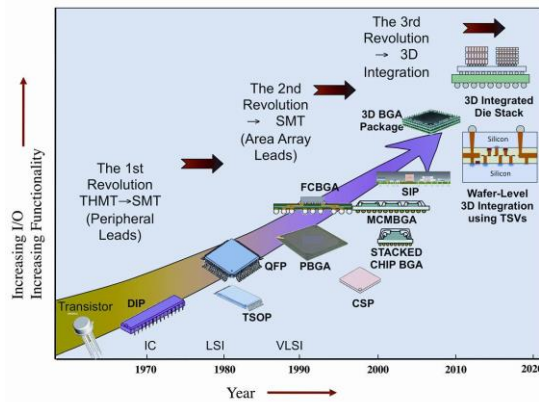


Fig.1. Comparatif entre les technologies d'impression et la photolithographie utilisée en technologie conventionnelle silicium avec un exemple pour l'impression de TAG RFID.



Glossaire : THMT = Through Hole Mounted Technology; SMT = Surface Mounted Technology; QFP = Quad Flat Package; TSOP = Thin Small Outline Package; BGA = Ball Grid Array; PBGA = Plastic BGA; CSP = Chip Scale Package; FCBGA = Flip chip BGA; MCMBGA = MultiChip BGA; SIP = System On Package

Fig.2. Evolution des techniques d'assemblage (4).

III. TP de micro-assemblages en BUT 3

Depuis la création de la licence Professionnelle Chargés d'affaires en ingénierie électronique et microélectronique (LPro CAFIEM) et cette année avec le BUT à l'IUT GEII, des innovations pédagogiques ont toujours été recherchées pour être en phase avec les autres enseignements et avec les avancées technologiques de l'industrie électronique. Citons par exemple le TP jauge de déformation /électronique de conditionnement proposé à la LPro CAFIEM (5) et qui avait permis de former les étudiants à la fois sur le niveau 2

d'assemblage (report de CMS sur carte) mais aussi sur l'intégration par impression sérigraphique d'une jauge résistive.

Ces enseignements de micro-assemblage font partie du parcours électronique et systèmes embarqués (ESE) du BUT GEII de Bordeaux. Pour cet enseignement, les travaux pratiques (TP) de micro-assemblage premier niveau, avec le report d'une puce dans un boîtier ou sur une carte (Fig.3.) ont été maintenus. En effet, les étudiants de BUT maîtrisent déjà le second niveau d'assemblage puisqu'ils fabriquent déjà pendant leurs cursus des cartes de circuit imprimé (« PCB ») avec report de composants montés en surface et refusion. Mais ils ne connaissent pas l'environnement de travail salle blanche et les équipements semi-industriels tels que les micro-câbleuses par ultrasons, la refusion par phase vapeur ou encore la sérigraphieuse pour l'impression de pistes (Fig. 4.). Le second TP porte quant à lui sur l'impression d'une antenne sur substrat souple plastique ou papier pour capteur RFID.

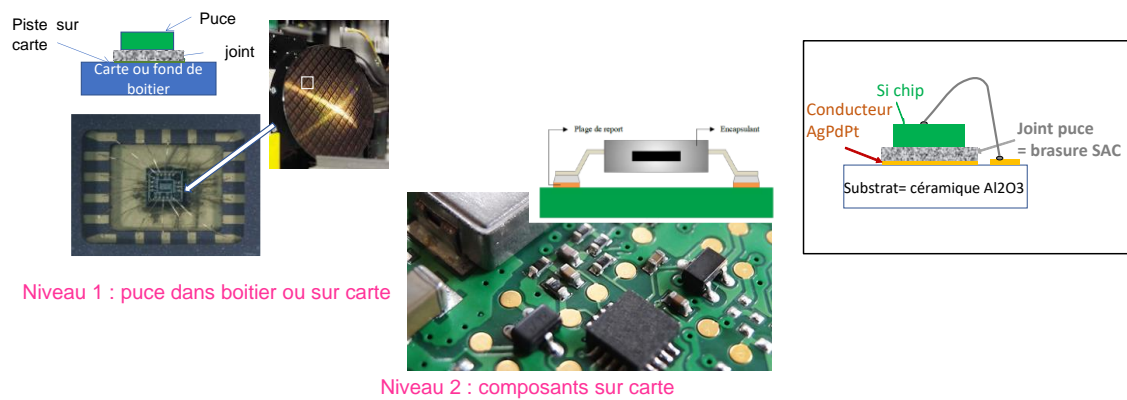
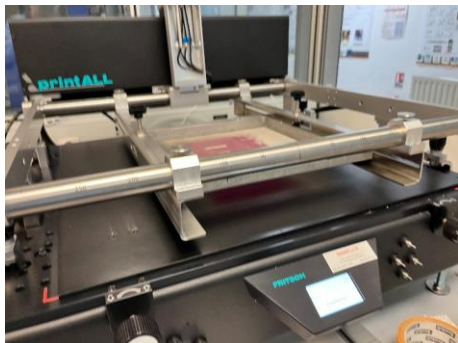


Fig.3. À gauche, niveaux 1 et 2 d'assemblage (« packaging ») ; à droite, illustration du TP assemblage redresseur du BUT3.



a)



b)

Fig.4. Photos d'équipements de la salle blanche IMS a) Sérigraphieuse, b) Microcableuse.

TP redresseur

Pour ce premier TP, un redresseur type Pont de Graëtz est fabriqué (Fig.5.). Ce TP est le même que celui qui était proposé à la LPRO CAFIEM de l'IUT GEII (6). Les étapes réalisées par les étudiants sont : 1/ Impression du joint de brasure par sérigraphie (crème à braser sans plomb à base d'étain, argent et cuivre) 2/ Report de la diode de puissance avec une machine « pick and place » 3/ Étape de refusion en phase vapeur à 230°C 4/ Câblage ultrasonique de fils d'aluminium de diamètre $\approx 300\mu\text{m}$ 5/ Test du circuit avec résistance de charge. Ce test avec de fortes puissances permet d'illustrer la problématique de dissipation de chaleur, et de mettre en évidence les choix des matériaux dans les

assemblages pour réduire la résistance thermique. La vidéo associée à cet article « dégradation_redresseur_J3EA_PCB_IMS » illustre les dégradations pouvant survenir.

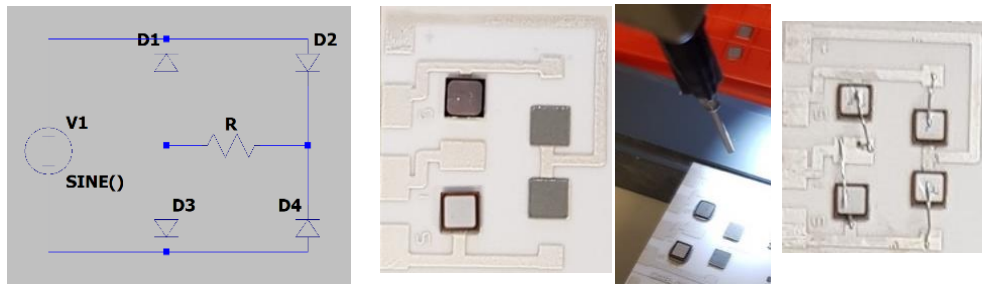


Fig.5. Schéma du redresseur type Pont de Graëtz et étapes de fabrication (dépôt de crème à braser, placement des diodes et câblage après refusion)

TP antenne

Le second TP proposé dénommé TP antenne propose la fabrication d'une antenne sur un substrat flexible PET (poly(téréphtalate d'éthylène)) ou Polyimide Kapton ©). Cette antenne est un élément d'un futur capteur RFID qui, avec la puce RFID permettrait de communiquer sans fil avec l'émetteur-récepteur. Pour cette première génération de TP, seule l'antenne est fabriquée par sérigraphie puis caractérisée à l'aide d'un analyseur de réseau (Vector Network Analyzer).

Les étudiants voient dans un premier temps les étapes de fabrication de l'écran par photolithographie qui servira ensuite à l'impression du motif sur le substrat flexible : 1/ dépôt de l'émulsion photosensible sur le maillage de l'écran 2/ insolation UV de l'émulsion avec le photomasque 3/ développement de la résine (Fig.6.).

Une fois l'écran de sérigraphie préparé, le motif peut être imprimé par sérigraphie : une raclette vient cisailer l'encre qui passe à travers les mailles de l'écran, le motif de l'écran se retrouve alors reproduit sur le support choisi, un substrat flexible dans notre cas. L'encre utilisée pour l'antenne est une encre conductrice polymère à base d'argent et d'époxy (Ferro 1901-SD). Cette dernière a été sélectionnée pour sa facilité de manipulation, avec une bonne tenue dans le temps sur un écran de sérigraphie. Aussi, elle offre la possibilité de travailler à différentes températures de polymérisation (« curing » température). Pour un substrat comme le polyimide (Kapton©), la température sera celle préconisée dans la documentation technique, soit 120°C, 20-30minutes (variable selon l'épaisseur du dépôt). Pour un substrat ayant une température de transition vitreuse (Tg) plus basse, la température sera abaissée à 60°C avec une durée supérieure (1h-2h), (Tableau I).

Une fois l'antenne avec le motif choisi (7-8) imprimée sur le substrat flexible choisi, les étudiants posent les connecteurs SMA et effectuent les tests émission/réception de 2 antennes avec mesure du coefficient de réflexion S_{11} (Fig.7.).

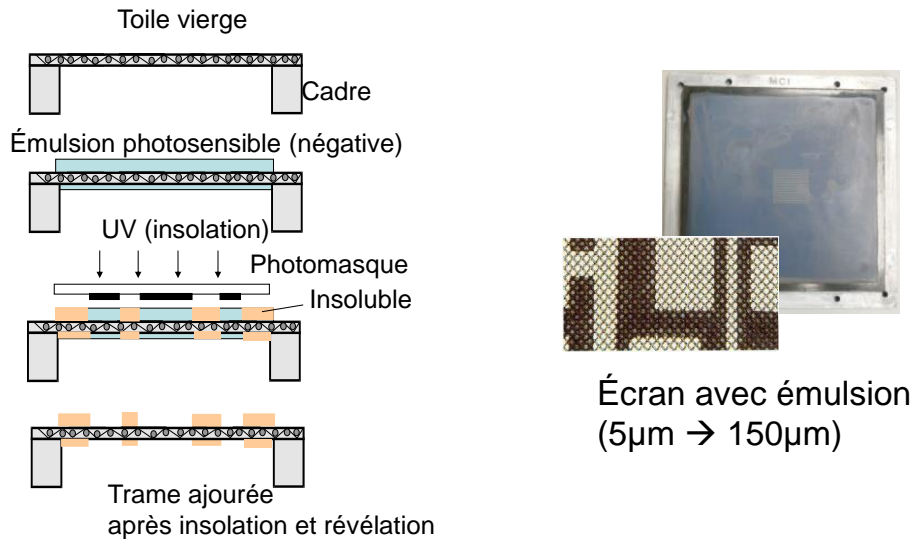


Fig.6. Etapes de fabrication d'un écran de sérigraphie.

TABLEAU I. Propriétés des substrats pouvant être utilisés pour imprimer une antenne.

Substrat	Température de transition vitreuse T_g (°C)	Température maximale d'utilisation (°C)
PET (poly(téréphtalate d'éthylène))	62	120
PEN = poly(naphtalate d'éthylène)	125	160
PI = Polyimide (kapton©)	360	300
Papier	-	120-220

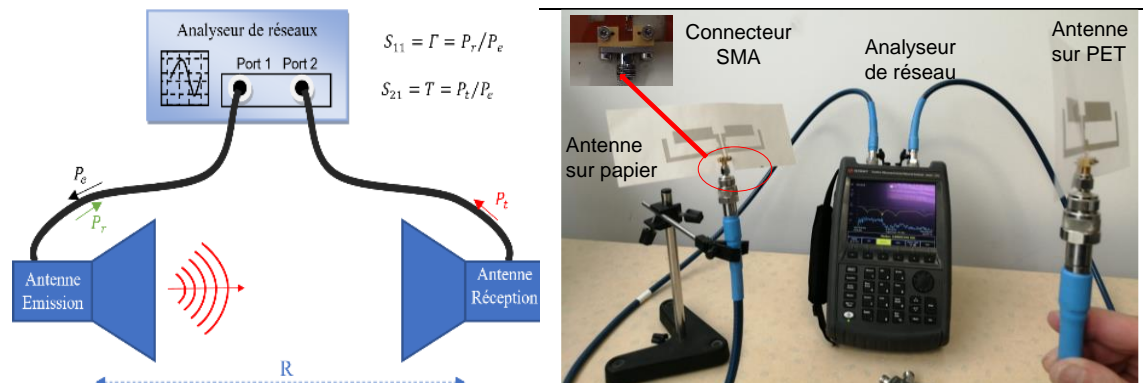


Fig.7. Montage pour l'étude du système antennaire.

IV. Formation disciplinaire pour les doctorants des EDOC Sciences Pour l'Ingénieur et Sciences Chimiques

La formation proposée Automne 2022 s'intitule « Assemblages en microélectronique : du choix des matériaux aux techniques d'intégration des composants ». Il s'agit de sensibiliser les participants aux exigences de l'industrie électronique (« *Smaller, Lighter, Faster, Cheaper* »), aux contraintes technologiques et aux choix des matériaux pour des assemblages performants et fiables. Pour cette formation à la fois théorique et pratique, l'accent a été mis sur les points suivants : 1/ Techniques d'impression pour l'électronique et formulation d'encres 2/ Notions sur les matériaux pour l'électronique (support d'interconnexions composites, céramiques ou métalliques, pistes conductrices, joints d'assemblage) et les boîtiers (« *packaging* ») 3/ Contraintes associées aux choix des

matériaux et procédés d'assemblage 4/Techniques de report des composants (brasage, collage, frittage) et de connexion (câblage filaire) 5/ Techniques d'impression pour les dépôts de couches en microélectronique (colle, brasure ou piste conductrice).

Pour mettre en pratique et illustrer les 6 heures de cours suivies dans un premier temps, 12 heures de travaux pratiques de 4h sont ensuite proposées aux doctorants. Ceux-ci se déroulent au Laboratoire IMS, pour la plupart en salle blanche et se divisent en 3 TP :

- TP1 : Techniques d'impression avec préparation d'écrans de sérigraphie (figure 6), formulation d'encre avec un mélangeur tri-cylindre (Fig.8.) et impression
- TP2 : Premier niveau d'assemblage : circuit redresseur de puissance sur substrat céramique, alumine. Le TP est identique à celui proposé au BUT, et décrit partie III « TP redresseur ».
- TP3 : Second niveau d'assemblage : Circuit chenillard sur substrat PCB (Printed Circuit Board epoxy/verre), figure 9.

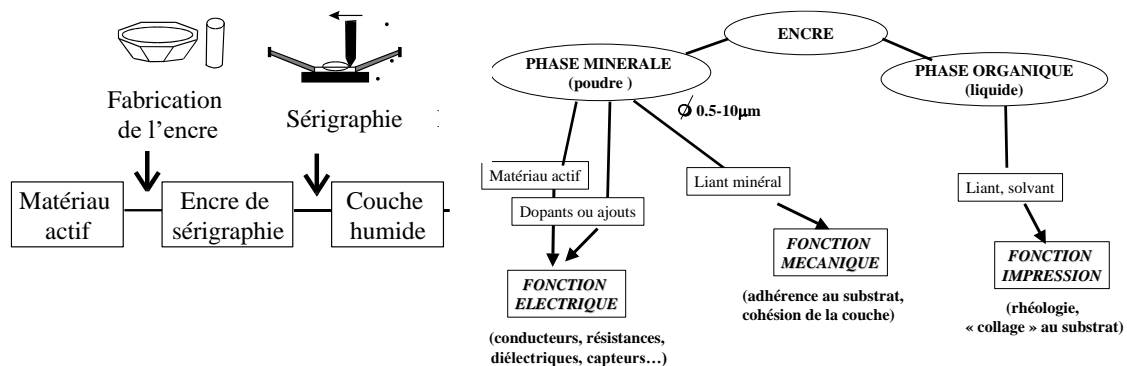


Fig.8. Fabrication d'une encre de sérigraphie.

Désignation	Boîtier	Quantité	Dénomination sur schéma
Transistor MMBT2222A	SOT-23	4	T1 à T4
Led rouge QTLP650C-2	1206	2	D1 et D2
Led verte QTLP650C-3	1206	1	D3
Led jaune QTLP650C-4	1206	1	D4
4 portes non ou à 2 entrées CD4001BCM	SO-14	1	-
Compteur / diviseur par 10 HEF4017B	SO-16	1	-
Résistance 470 Ω	1206	1	R2
Résistance 470 kΩ	1206	1	R1
Condensateur céramique 220 nF, 63/50 volts	1206	1	C1
Condensateur tantalé 10 μF, 16V	B	1	C (polarisé)
Coupleur pile PP3	1	1	-
Pile 9 V type PP3	1	1	-

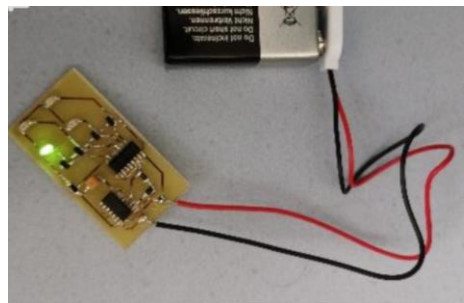


Fig. 9 TP second niveau d'assemblage avec la fabrication d'un chenillard.

V. Conclusion et perspectives

Un enseignement autour de l'assemblage a été pour la première fois proposé aux étudiants de BUT3, parcours ESE. Quatre heures de cours permettent de décrire les évolutions technologiques en « packaging » avec notamment le « More than Moore » illustré avec les assemblages 3D. À ce cours, sont associés deux TP, l'un sur le niveau d'assemblage 1^{er} niveau avec une fabrication d'un redresseur, le second TP, avec une antenne toute imprimée par sérigraphie sur substrat flexible. Pour ce TP, l'objectif *in-fine* sera de réaliser un capteur flexible RFID qui exploiterait les interactions entre l'antenne et l'environnement entourant l'antenne. Pour les enseignements niveau doctorat, en complément des cours, la mise en pratique avec 3 TP, les 2 premiers d'assemblage 1^{er} niveau (puce dans boîtier) et 2nd niveau (boîtier sur carte) et le troisième sur les techniques

d'impression en électronique ont été fortement appréciés à la fois par les étudiants et par les 2 écoles doctorales SPI et sciences chimiques. Pour cet enseignement, dès l'an prochain, la formation sera plus interdisciplinaire puisque, avec la collaboration de collègues de chimie et mécanique, un TP de chimie (formulation d'une encre tout organique de PEDOT : PSS) et un TP de mécanique (simulation thermomécanique des assemblages) seront inclus à la formation.

Remerciements

Les auteurs remercient l'accompagnement du pôle PCB-CNFM pour le financement d'un stagiaire étudiant Master 1 ISC, Clément Dufossé, qui a participé à la conception et fabrication des premiers prototypes d'antennes. Que les responsables de la plateforme assemblage de l'IMS soient ici remerciés pour leur investissement. Par ailleurs, ce nouvel ensemble de TP a bénéficié du projet ANR-23-CMAS-0024 INFORISM dans le cadre de France 2030.

Références

1. Ecole Doctorale Sciences Physiques et de l'Ingénieur, *Website* <https://doctorat.u-bordeaux.fr/avant-le-doctorat/les-ecoles-doctorales/SPI> (date consultation 12/03/24).
2. Valeur du marché des objets connectés dans le monde de 2020 à 2030, *Website* <https://fr.statista.com/statistiques/561282/revenus-marche-objets-connectes-monde/> (date consultation 13/03/2024).
3. G. Poupon, Procédés de packaging et d'interconnexion de composants électroniques, *Techniques de l'ingénieur*, Février 2023.
4. Update on JEDEC Thermal Standards, *Website* <https://www.electronics-cooling.com/2012/09/update-on-jedec-thermal-standards/> (date consultation 12/03/2024).
5. H. Debéda *et al.*, Vers l'électronique imprimée à l'IMS Bordeaux - plateforme technologique TAMIS (Technologies Alternatives aux Microsystèmes Silicium), *J3eA*, **14** (2015).
6. H. Debéda *et al.*, Procédé de fabrication d'un circuit redresseur de puissance : de la fabrication de diodes Silicium à leur assemblage sur substrat métallisé d'alumine, *J3eA*, **21** (2022).
7. L. Fadel *et al.*, Oyhenart *et al.*, A concurrent 915/2440 MHz RF energy harvester. *International Journal of Microwave and Wireless Technologies*. **8**(3), 405-413 (2016).
8. R. Berges *et al.*, Conformable dual-band wireless energy harvester dedicated to the urban environment, *Microwave Opt. Technol. Lett.*, **62**, 3391 (2020).