

Caractérisation automatisée et conception de puce

M. Guerin, S. Meillère, P. Pannier, H. Tortel, R. Laffont

Pôle CNFM PACA - Aix Marseille Université - Polytech Marseille
Filière Microélectronique et Télécommunications :
Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France
Contacts email : mathieu.guerin@univ-amu.fr

Dans le cadre du projet pédagogique CARA_PUCE, une équipe d'une trentaine d'étudiants, encadrés par deux enseignants-chercheurs a mis en application un flot de rétro-ingénierie en microélectronique. Ils ont mis au point un banc de caractérisation automatisé de portes logiques, puis ils ont créé et simulé le schéma niveau transistor des portes logiques. Les simulations ont pour objectif d'extraire précisément les performances électriques des portes avant d'en réaliser le dessin des masques (*layout*). Les vues schématique et *layout* sont réalisées en technologie AMS CMOS 0,35 μ m en utilisant les ressources logicielles et matérielles de la plateforme IDLab du CNFM PACA cofinancée par l'IDEFI FINMINA et POLYTECH MARSEILLE.

I. Introduction

La rétro-ingénierie a pour objectif de mesurer et d'étudier le fonctionnement d'un circuit afin de pouvoir reproduire le fonctionnement de celui-ci. Ceci a plusieurs applications dans le milieu industriel, notamment lors de phases de débogage lors desquelles on souhaite reproduire en simulations un comportement non désiré d'un circuit électronique. Le but étant alors en premier lieu de reproduire sur un banc de mesure un fonctionnement défectueux. Il convient ensuite, grâce à des simulations, d'être capable de recréer les conditions ayant mené au dysfonctionnement. Une phase de modifications du schéma au niveau transistor intervient alors, suivie de re-simulations de vérification pour s'assurer de la disparition du dysfonctionnement. Une fois cette étape validée, le dessin des masques du circuit est réalisé pour en débiter la fabrication.

II. Présentation du projet

Afin de mener à bien le projet, les étudiants sont répartis en équipes de 4. Chaque équipe devant s'organiser pour mener à bien les différentes tâches du projet (caractérisation automatisée, conception, simulation et dessin des masques). Les étapes du projet peuvent être divisées en deux grands axes présentés dans la figure 1.

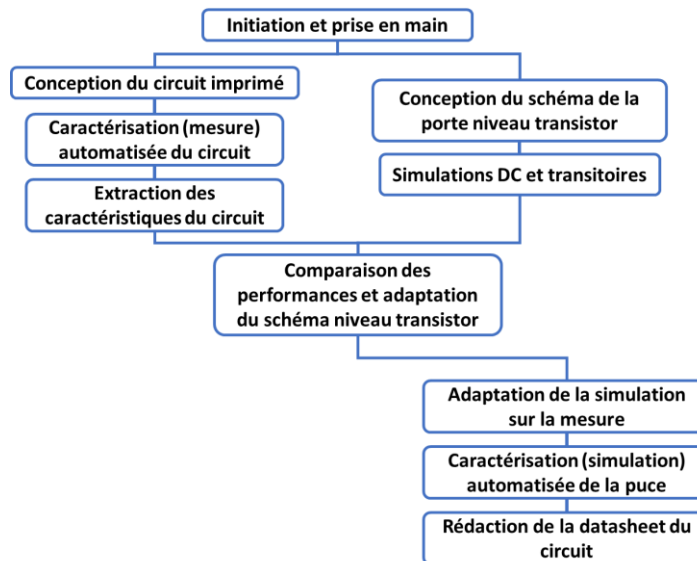


Fig.1. Déroulement du projet pour les étudiants.

Dans la partie caractérisation sous microcontrôleur, les étudiants utilisent la carte Nucléo STM32 de la société ST Microelectronics (1). L'objectif sera de programmer en langage C afin d'automatiser les mesures effectuées sur la porte logique afin de pouvoir éventuellement créer une plateforme de test pour différents circuits numériques (2).

Tout au long de la partie simulation, le logiciel Cadence-Virtuoso sera utilisé pour établir le schéma niveau transistor de la porte logique et à effectuer des simulations électroniques tout en automatisant l'extraction des paramètres sous ADE-L. Le dessin des masques (*layout*) de la porte sera également effectué. Ensuite, des simulations seront lancées en modifiant les contraintes du *design* (process, alimentation et température) afin de rédiger une documentation technique qui résumera tous les paramètres de la puce et permettra de réutiliser la porte dans des étapes de conception plus poussées.

III. Banc de caractérisation automatisée

Cette partie du projet a pour objectif de créer un système permettant la caractérisation automatisée d'une puce (une porte ET 3 entrées CD4073B de Texas Instruments (3) comprenant trois portes identiques dans un même boîtier). Il suffit alors de placer le système à tester (Device Under Test -DUT- en anglais) sur un support, lancer un programme et la caractérisation de la puce est réalisée en un clic.

Pour cela, plusieurs étapes sont nécessaires, dans un premier temps réaliser un circuit imprimé (Printed Circuit Board -PCB- en anglais) pour pouvoir simplement poser le circuit à tester dessus.

Ensuite concevoir un programme embarqué sur un carte ST-Nucleo-L476RG qui configure ses entrées et sorties, génère des tensions à positionner sur les entrées du DUT et mesure les grandeurs (tensions et courants) permettant de caractériser le DUT. Ces données de mesure sont envoyées en temps réel vers un ordinateur via le port série du microcontrôleur.

Enfin, il est nécessaire d'analyser les données de mesure afin d'en extraire les paramètres caractéristiques de la porte logique (seuils de basculement, tension minimale d'alimentation, consommation). Ces valeurs sont renseignées dans la fiche technique de la porte logique.

Réalisation d'un circuit imprimé

Cette partie du projet a pour objectif de réaliser une carte PCB intégrant des emplacements pour connecter la porte à caractériser, des connecteurs vers la carte nucleo et d'éventuels interrupteurs, ceci afin de pouvoir effectuer nos mesures de manière efficace. Le logiciel « EAGLE 9 » est utilisé pour la modélisation ainsi que le routage du prototype. Pour ce faire, il convient d'importer les empreintes Arduino et CD4073BE (la puce étudiée) sous EAGLE (4). Ces empreintes correspondent au « *pinout* » de la carte Nucléo et respectent les dimensions exactes de cette dernière. Afin de rendre le dispositif de test plus fonctionnel et pratique d'utilisation, des « *jumpers* » sont intégrés sur la carte. Il s'agit de ponts permettant de sélectionner une piste ou une autre. De cette manière, il est possible d'analyser le fonctionnement des trois portes de la puce sur la même carte simplement en sélectionnant les pistes souhaitées. Le routage des pistes sur la carte est effectué de manière automatique par le logiciel. La figure 2 présente la vue *layout* final du PCB.

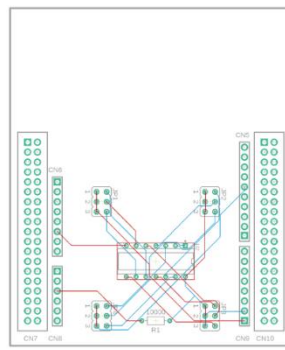


Fig.2. Vue *layout* du PCB de test

L'utilisation d'une carte PCB réalisée spécifiquement pour effectuer ces mesures permet d'obtenir des résultats plus précis et stables qu'en utilisant des câbles et une carte de prototypage de type « *breadboard* ». Elle réduit de nombreux effets (notamment résistifs) indésirables pouvant perturber la mesure.

Caractérisation automatisée

L'objectif de cette caractérisation est de mesurer la tension de seuil ainsi que le courant consommé par la porte logique. Avec ces données, il serait possible de concevoir sous Cadence une porte possédant les mêmes caractéristiques électriques. La carte Nucléo 476RG offre suffisamment de Convertisseurs Analogique-Numérique (CAN) et Numérique-Analogique (CNA) pour réaliser ces mesures à l'aide d'un programme unique. Il est en effet possible de caractériser à l'aide d'un seul programme la tension de basculement et la consommation de la porte logique pour toute une gamme de tensions d'alimentation V_{DD} . La figure 3 présente les branchements effectués entre la carte nucleo et la porte CD4073BE afin d'en assurer la caractérisation complète.

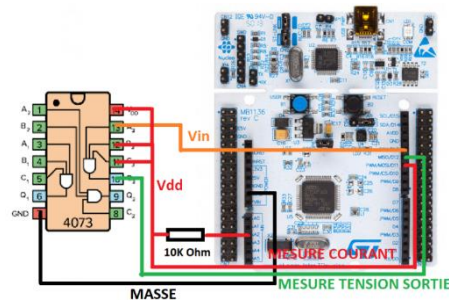


Fig.3. Schéma électrique des connexions permettant la caractérisation de la porte logique.

Les CNA et CAN embarqués sur la carte nucleo disposent d'une résolution de 65535 points, une valeur pleine échelle de 3,3 V ainsi qu'un quantum de $50 \mu\text{V}$. Le port USB de la carte nucleo est utilisé pour assurer un protocole série à 115,2 kbit/s permettant d'envoyer les données vers un ordinateur via un terminal configuré en réception série. Une utilisation judicieuse des caractères de tabulation et fin de lignes permettent de simplement copier le contenu du terminal dans une feuille Excel. L'algorithme de la figure 4 résume de manière le fonctionnement du programme utilisé.

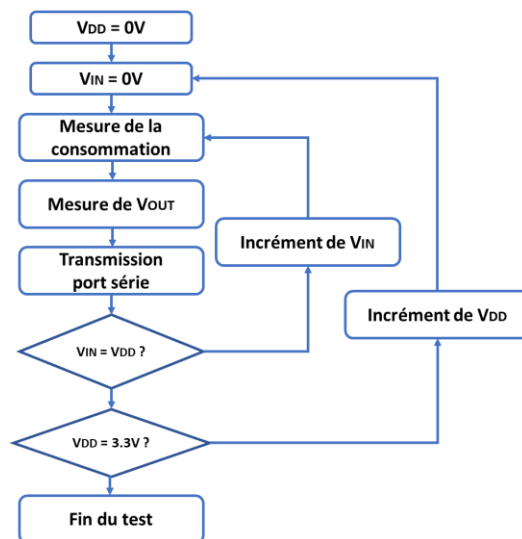


Fig.4. Algorithme du programme de test embarqué sur nucleo.

Extraction des performances des portes logiques

Une fois les éléments de la carte PCB connectés et le programme de caractérisation lancé, les données de courant et tension mesurés sont récupérés dans le terminal d'un ordinateur afin d'être tracés. Un exemple des tensions mesurées en sortie de la porte ET en fonction de la tension en entrée pour différentes valeurs de tension d'alimentation VDD est présenté dans la figure 5.

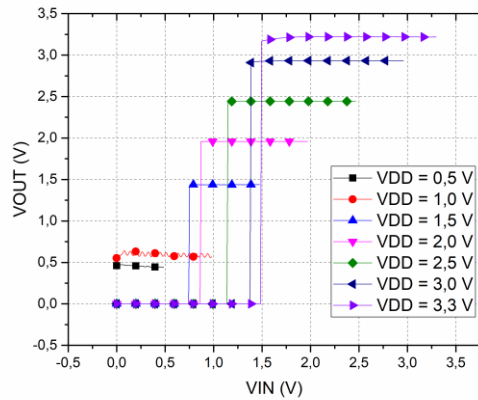


Fig.5. Caractéristique entrée-sortie de la porte ET pour plusieurs tensions d'alimentation V_{DD} .

Il convient premièrement de remarquer qu'une tension d'alimentation minimale de 1.5 V est nécessaire à la porte logique pour fonctionner. Il est également possible d'extraire de la courbe présentée sur la figure 5 la tension d'entrée pour laquelle un basculement de la tension de sortie se produit, et ceci pour toutes les valeurs de V_{DD} . D'autres courbes sont également tracées, représentant la consommation de la porte en fonction de la tension d'entrée. De ces courbes sont extraites les valeurs de courant I_{MAX} consommé par la porte lors de son basculement, ainsi que le courant de fuite I_{LEAK} (courant consommé lorsque les entrées sont fixées à des '0' ou '1' logiques. Toutes les valeurs extraites des caractérisations de la porte logique sont recensées dans un tableau qui fera office de documentation technique et qui servira de point de comparaison pour la partie « simulation de circuits ».

IV. Conception et simulation des circuits

Cette partie du projet a pour objectif de concevoir sous Cadence les schémas électriques des portes, puis de réaliser des simulations en régimes statiques (DC) et transitoires. Les simulations DC seront ensuite utilisées pour modifier les tailles des transistors afin d'obtenir les mêmes performances électriques entre les portes caractérisées dans la section III et celles simulées sous Cadence. Les effets de la variabilité du procédé de fabrication (P), de la tension d'alimentation (V) et de la température (T) sur les caractéristiques électriques de la porte seront également étudiés. Le dessin des masques (*layout*) des portes sera enfin réalisé puis vérifié à l'aide d'outils de *design rule checking* (DRC) et de *layout versus schematic* (LVS).

Réalisation des schémas et simulations statiques

Le schéma électrique, niveau transistor, de la porte ET est saisi sous Cadence, ce schéma est visible sur la figure 6.

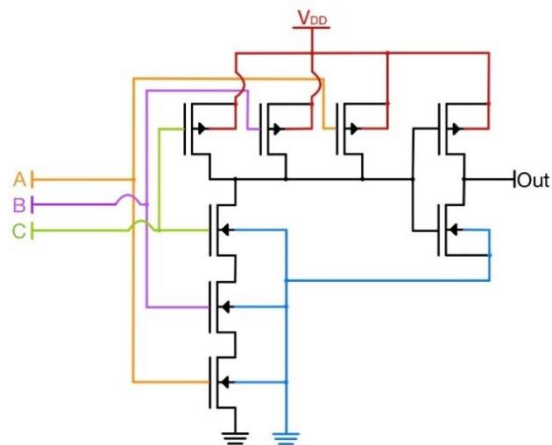


Fig.6. Schéma niveau transistor d'une porte ET à 3 entrées.

Les transistors PMOS sont dimensionnés afin d'être deux fois plus larges que les NMOS pour compenser la mobilité des porteurs de charges. Pour réaliser les simulations sous Cadence, un symbole de la porte est créé afin d'être instancié dans des schémas dédiés à la simulation (ou testbenchs). Pour les simulations DC, un schéma de test est réalisé en reliant chaque entrée de la porte à une source de tension, comme indiqué sur la figure 7.

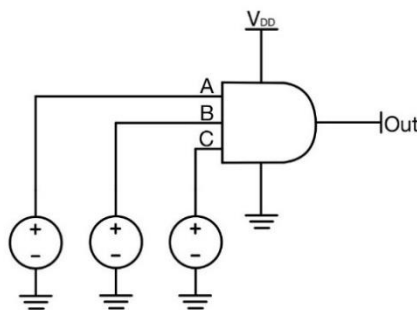


Fig.7. Schéma de la simulation statique de la porte ET.

Il convient premièrement de vérifier la table de vérité de la porte ET en appliquant toutes les combinaisons de '0' et de '1' logiques sur les entrées. Une fois cette étape validée, des simulations reprenant le principe des mesures effectuées dans la partie « caractérisation automatisée » sont effectuées. La tension en sortie de la porte ainsi que le courant d'alimentation sont donc simulés en fonction de la tension sur l'une des entrées de la porte (les autres entrées étant fixées à la valeur non prioritaire de la porte ('1')). Et cette simulation est lancée pour plusieurs valeurs de tension d'alimentation V_{DD} . De ces courbes de simulations, les mêmes paramètres que ceux contenus dans la section concernant caractérisation sur PCB sont extraits. Ces paramètres comprennent la valeur de la tension d'entrée pour laquelle un basculement de la sortie de produit, la consommation de fuite I_{LEAK} ou la consommation lors du basculement I_{MAX} . Le fait d'étudier ces grandeurs pour plusieurs valeurs de tension d'alimentation demande aux étudiants d'utiliser des simulations paramétriques. Et le fait d'extraire ces grandeurs sur plusieurs courbes nécessite l'utilisation des formules disponibles dans l'outil « *calculator* » de Cadence.

Les étudiants peuvent ensuite modifier les tailles des transistors de leur porte afin que les résultats de simulation se rapprochent de ceux obtenue en mesure. Il est notamment possible d'augmenter la valeur de la tension de basculement de la porte en augmentant la largeur des transistors PMOS, les rendant ainsi plus à-même de tirer la tension de sortie

vers V_{DD} . Cette étape permet de faire le lien entre les parties simulation de mesure en comparant les résultats obtenus par chaque binôme du groupe.

Simulations transitoires

Pour les simulations transitoires, la tension appliquée sur l'entrée A de la porte est remplacée par une alimentation V_{PWL} (Piece Wise Linear Voltage) pour effectuer des rampes de tension et ainsi pouvoir caractériser les paramètres transitoires du circuit. Un schéma de test correspondant à ces tests est présenté sur la figure 8.

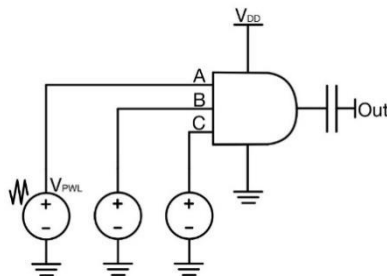


Fig.8. Schéma de la simulation transitoire de la porte.

La tension appliquée sur l'entrée 1 de la porte passe de 0V à V_{DD} avec un temps de montée de $10\mu s$ et un temps de descente de $10\mu s$. Les différents paramètres extraits des simulations transitoires sont :

Les temps de montée et de descente du signal de sortie (respectivement t_R et t_F) : temps nécessaire à la porte pour passer de 10% ou 90% de V_{DD} à 90% ou 10% (respectivement) de V_{DD} en sortie lorsque l'entrée change rapidement d'état.

Les temps de propagation (t_{PLH} et t_{PHL}) : temps nécessaire à la porte pour propager un changement d'état. t_{PLH} est mesuré lorsque la sortie passe d'un état bas à un état haut, et correspond à la durée entre l'instant où la tension d'entrée vaut 50% de V_{DD} et celui où la tension de sortie vaut 50% de V_{DD} . De même pour t_{PHL} lorsque la sortie passe d'un état haut à un état bas.

Les consommations statiques (ILEAK) et dynamiques (IMAX) de la porte

Une fois les simulations et extractions de paramètres DC et transitoires validés sur un corner PVT typique, il est possible d'automatiser tout le procédé de caractérisation de la porte.

Automatisation des simulations et études des corners PVT

Le logiciel Ocean (5) de Cadence est utilisé dans l'optique de caractériser de manière exhaustive les performances d'un circuit dans tous les corners de process (P), de température (T) et de tension d'alimentation (V). En effet les variations PVT ont un impact sur les conditions de polarisation ou la mobilité des porteurs dans le silicium, ce qui, à l'échelle d'un circuit, va notamment entraîner des variations de tensions de seuil des transistors, comme indiqué sur la figure 9.

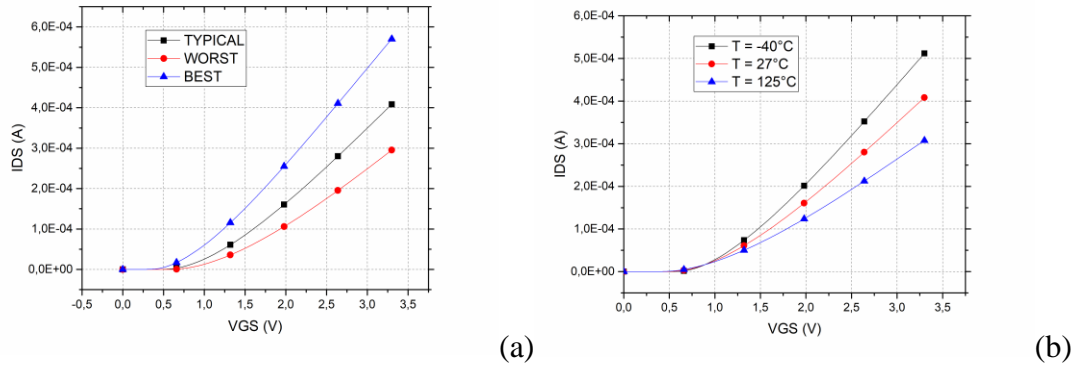


Fig.9. (a) Courbes de IDS en fonction de VGS pour 3 procédés de fabrication. (b) Courbes de IDS en fonction de VGS pour 3 températures.

La figure 9(a) représente l'évolution du courant drain-source I_{DS} dans un transistor NMOS en fonction de sa tension V_{GS} pour 3 procédés de fabrication à savoir typique, worst et best. Il est notamment remarquable que la tension de seuil des transistors NMOS baisse dans le cas « *best* » et augmente pour le corner « *worst* ». La figure 9(b) représente l'évolution du courant drain-source I_{DS} dans un transistor NMOS en fonction de sa tension V_{GS} pour 3 températures (-40°C , 27°C et 125°C). L'augmentation de la température entraîne une diminution de la tension de seuil des transistors NMOS et PMOS, et ainsi une augmentation du courant I_{DS} pour une même valeur de V_{GS} .

Le logiciel Ocean permet de lancer des milliers de simulations en boucle en modifiant les variables d'une simulation à l'autre. Il permet également d'enregistrer les résultats de simulation extraits auparavant des simulations unitaires sous ADE dans un fichier .csv. Ce fichier contiendra les résultats importants de chaque simulation pour chaque corner PVT et permettra de déterminer des valeurs typiques, maximales et minimales pour chacun des paramètres caractéristiques du circuit testé (6). Les conditions de simulation qui varient d'une itération d'Ocean à l'autre sont la température (de -40°C à $+125^\circ\text{C}$ par pas de 10°C), la tension d'alimentation (de 2,7V à 3,3V par pas de 100 mV) et le procédé de fabrication (typique, *worst* et *best*). Au total, 378 simulations sont lancées afin de couvrir tous ces cas PVT croisés et les résultats de simulation (DC comme transitoire) sont stockés dans un fichier csv contenant le même nombre de lignes.

L'analyse de ces résultats permet d'établir une documentation technique de la porte testée comportant un résumé de ses paramètres électriques. Sont notamment listées les valeurs minimales, typiques et maximales des grandeurs électriques. Le tableau I présente un exemple de documentation technique obtenue à partir des simulations Ocean de la porte ET.

TABLEAU I. Caractéristiques électriques de la porte ET extraites des simulations Ocean.

	Min	Typique	Max
TPLH (ns)	0,43	0,79	1,48
TPHL (ns)	0,54	1,03	2,03
TR (ns)	0,53	1,16	8,71
TF (ns)	0,69	1,15	2,11
IMAX (mA)	29,7	37,5	42,3
ILEAK (pA)	8,91	10,0	1680

Dessin des masques

Une fois les paramètres électriques des portes extraits et validés dans tous les corners PVT, le dessin des masques de la porte est réalisé en technologie AMS-0.35 μm à l'aide de l'outil *layout-XL* de Cadence. L'une des contraintes concernant cette partie est le fait que la hauteur des portes est imposée afin de respecter le flot de création de cellules standard pouvant être utilisées dans des étapes de synthèse et de placement/routage (PnR). Il est pour cela primordial que les cellules standard conçues aient toutes la même hauteur pour être insérées et connectées dans des rails d'alimentation. La figure 10 présente la vue *layout* de la porte ET réalisée.

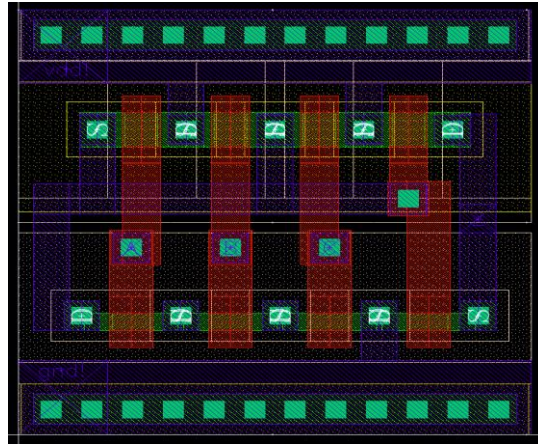


Fig.10. Dessin des masques de la porte ET en technologie AMS 0.35 μm .

Les transistors PMOS sont placés sur la partie haute de la figure 10 tandis que les NMOS occupent la partie basse. Les règles de design imposées par AMS sont vérifiées à l'aide d'un outil de *design rule checking* (DRC) tandis que les connexions sont vérifiées grâce à un outil de *layout versus schematic* (LVS), ces deux outils étant fournis par Assura. La surface totale de la porte atteint 24 μm^2 .

V. Conclusions

Ce projet permet à des groupes de 4 étudiants de travailler en groupe et en autonomie autour d'un cahier des charges. Ils réalisent dans un premier temps la rétro-ingénierie d'une porte ET 3 entrées CD4073BE de Texas Instruments pour concevoir leur propre porte ET 3 entrées. Le projet est scindé en deux parties distinctes se déroulant en même temps.

La première partie consiste en la caractérisation de la porte à l'aide d'un microcontrôleur qui permet de mesurer les premières caractéristiques de la porte. Afin de réaliser cette caractérisation automatisée, les étudiants ont besoin de concevoir un code embarqué sur une carte ST-Nucléo-L476RG afin de contrôler les entrées/sorties et les différents convertisseurs de la carte. Une carte PCB est également conçue à l'aide du logiciel EAGLE afin de disposer d'un banc de test.

Dans un deuxième volet, les étudiants travaillent sur la partie simulation sur Cadence, où ils automatisent l'extraction des données depuis les simulations et modifient les dimensions des transistors afin d'obtenir des caractéristiques similaires entre les portes mesurées et simulées. Enfin, le dessin des masques des portes est réalisé et vérifié à l'aide d'outils de DRC et LVS. De plus, une documentation technique contenant un résumé des performances du circuit est réalisée.

Remerciements

Les auteurs remercient Aix-Marseille Université (AMU) et Polytech pour le financement de la plateforme pédagogique IDlab pour l'enseignement des systèmes d'identification RFID et NFC, notamment via le projet IDEFI FINMINA et le FIP AMU. Ils remercient également le GIP-CNFM pour son support dans l'accès aux outils de conception de circuits intégrés (7-8).

Références

1. STMicroelectronics User Manual STM32 Nucleo-64 boards. Website: https://www.keil.com/boards2/stmicroelectronics/nucleo_1476rg/ (2015)
2. S. Z. Solehah Mohamad Zamri et al., "Design and Analysis of Integrated Circuit DC Parametric and Functional Testing Module with GUI using Matlab and Microcontroller Interfacing," *2021 IEEE Symposium on Industrial Electronics & Applications (ISIEA)*, Langkawi Island, Malaysia, pp. 1-10, doi: 10.1109/ISIEA51897.2021.9509997 (2021).
3. Texas Instruments.. CD4073BE Dat. Website: https://www.ti.com/lit/ds/symlink/cd4073b.pdf?HQS=dismous-null-mousermode-dsf-pf-null-ww&ts=1673581086427&ref_url=https%253A%252F%252Fwww.mouser.cn%252F (2003).
4. Autodesk-EAGLE: Website: https://www.autodesk.fr/products/eagle/features?us_oa=dotcom-us&us_si=b4f53dee-e045-4da0-888f-ebf4798df9ba&us_st=eagle (2023).
5. Cadence-Ocean manual: Website: https://community.Cadence.com/Cadence_technology_forums/f/mixed-signal-design/40120/Ocean-tutorial (2019).
6. A. Boliolo, L. Benini, G. de Micheli and B. Ricco, "Gate-level power and current simulation of CMOS integrated circuits," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **5**(4), 473-488, doi: 10.1109/92.645074 (1997).
7. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr>
8. INFORISM, INgénierie de FORMations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans démarre au cours de l'année académique 2023-2024.