

Simulation TCAD, fabrication, caractérisation électrique et extraction des paramètres physiques du procédé MOS

J. Postel-Pellerin^a, V. Della Marca^a, J.-D. Aguirre-Morales^a, R. Bouchakour^a, R. Laffont^a

^a Pôle CNFM PACA - Aix-Marseille Université - Polytech Marseille

Filière Microélectronique et Télécommunications

Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille Cedex, France

Contacts email : jeremy.postel-pellerin@univ-amu.fr, vincenzo.della-marca@univ-amu.fr,
jorge-daniel.aguirre@univ-amu.fr, rachid.bouchakour@univ-amu.fr, romain.laffont@univ-amu.fr

Dans le cadre du Cycle Ingénieurs de la Filière « Microélectronique et Télécommunications » de Polytech Marseille, différents enseignements sont directement articulés autour du procédé MOS proposé dans la salle blanche de l'Atelier Interuniversitaire de Micro-Nano Électronique (AIME, Pôle CNFM de Toulouse). En effet, les TP de physique des composants (3A) et les cours de technologie des composants (4A) portent sur la fabrication et la caractérisation électrique des dispositifs pour la microélectronique. Dans ce contexte nous avons fait une connexion directe avec les expériences dans la salle blanche de l'AIME pour préparer les élèves ingénieurs aux manipulations.

I. Fabrication des dispositifs pour la microélectronique

Dans la formation ingénieur en Microélectronique et Télécommunications (MT) de Polytech Marseille la physique des semiconducteurs et des composants représente un socle fondamental du tronc commun pour l'électronique.

Introduction

Depuis 1965 la loi de Moore (1) a empiriquement stipulé que le nombre de transistors dans un microprocesseur doit doubler chaque année. Cela a nécessité des avancées technologiques majeures et des investissements considérables, ce qui a conduit à l'émergence du concept « More than Moore ». Pour réduire les coûts de fabrication, les fondeurs se sont concentrés sur l'augmentation de la densité d'intégration, donc sur la diminution de la taille des dispositifs. Cela a également entraîné des procédés technologiques de plus en plus complexes, augmentant le nombre de masques nécessaires et rallongeant les temps de cycle. Ceci a conduit à des améliorations significatives en termes de consommation d'énergie, d'augmentation du nombre de transistors et au développement de systèmes sur puce (SoC) complets. Pour continuer à augmenter les performances des circuits, de nouveaux matériaux ont été explorés, notamment des isolants haute permittivité (High-K), des grille métalliques (Metal Gate), des substrats SOI (Silicon On Insulator) et de nouvelles architectures telles que les dispositifs verticaux et en tranchée. Les applications embarquées nécessitent des solutions différentes et flexibles pour répondre à des besoins spécifiques, ce qui stimule encore davantage la recherche et l'innovation dans le domaine des semi-conducteurs.

Les étapes de la fabrication

L'objectif des enseignements en technologies des composants est de donner aux élèves d'une part les bases nécessaires à la compréhension et l'utilisation des composants de la microélectronique et d'autre part de les initier à la simulation des procédés de fabrication. L'outil de simulation TCAD permet d'optimiser le temps de développement en prédisant le comportement électrique des structures conçues. Les étapes explorées dans les cours et les TP sont la production de silicium monocristallin ou polycristallin, la photolithographie pour la définition des motifs, l'oxydation pour les grilles de transistor et l'isolation, l'implantation ionique et la diffusion thermique, la gravure sèche ou humide. Ces étapes sont cruciales pour la création des circuits intégrés et essentielles pour garantir la fiabilité des composants électroniques.

La simulation TCAD

La mise en pratique du contenu du cours se fait à l'aide de la simulation TCAD du transistor NMOS, en utilisant la suite Sentaurus™ Workbench de Synopsys®, accessible via le CNFM PACA. Cet outil permet de simuler le procédé de fabrication complet (module Sentaurus Process (2)) et de réaliser la simulation électrique (module Sentaurus Device (3)) du transistor. Le but de la simulation process est de se rapprocher au maximum des étapes de fabrication des transistors réalisés à l'AIME (Pôle CNFM de Toulouse) (4). La figure 1 montre la réalisation de l'ensemble du procédé à partir d'un substrat de silicium cristallin dopé P. Pour un gain de temps de simulation, seule la moitié droite du composant est réalisée, puis une symétrie axiale est effectuée à la fin de la simulation pour obtenir le composant complet. Ici, seul le transistor NMOS court ($L_C = 6\mu\text{m}$) est présenté mais la simulation du transistor long ($L_L = 18\mu\text{m}$) est directement réalisable en modifiant les dimensions dans le fichier de commandes. L'oxydation de masquage est tout d'abord réalisée avec exactement les mêmes conditions que dans la salle blanche de l'AIME. L'étape de photolithographie 1 (comprenant définition du masque, dépôt de la résine photosensible, insolation UV, développement de la résine, gravure du SiO_2 , retrait de la résine) permet l'ouverture de la zone active du transistor (figure 1a). L'oxydation de grille et le dépôt du Polysilicium sont ensuite effectués (figure 1b). La photolithographie 2 permet alors de définir la grille et d'ouvrir les futures zones de Source et Drain (figure 1c). Contrairement au process en salle blanche où les zones de Source et Drain (dopage Phosphore) sont réalisées par diffusion à 1050°C , dans Sentaurus Process ces zones doivent être obtenues par implantation pour éviter une trop grande complexité d'implémentation pour les élèves, néanmoins suivie des étapes de redistribution à 1100°C et d'oxydation LTO à 420°C (figure 1d). La photolithographie 3 d'ouverture des contacts est alors réalisée avant le dépôt de 300nm d'Aluminium (figure 1e). Enfin la photolithographie 4 de gravure des contacts permet la définition des contacts de Grille et Drain (la Source sera obtenue par symétrie finale du Drain). La simulation étant bidimensionnelle (et non tridimensionnelle) afin de limiter le temps de simulation, le contact de grille est ramené dans le plan de coupe, contrairement à la réalité. Enfin, le recuit de l'Aluminium n'est pas nécessaire en simulation. Le demi-transistor est maintenant terminé (figure 1f). Après la symétrie axiale qui permet d'obtenir l'intégralité du composant virtuel, celui-ci peut être comparé en figure 2 à une image au microscope électronique, montrant une très grande similitude et donc une bonne représentativité du transistor simulé, notamment en termes de profondeur de jonction (x_j) et de longueur de diffusion (L_{diff}). Après ajout des contacts électriques, la simulation électrique des caractéristiques $I_D(V_D)$ et $I_D(V_G)$ est alors possible grâce à Sentaurus Device.

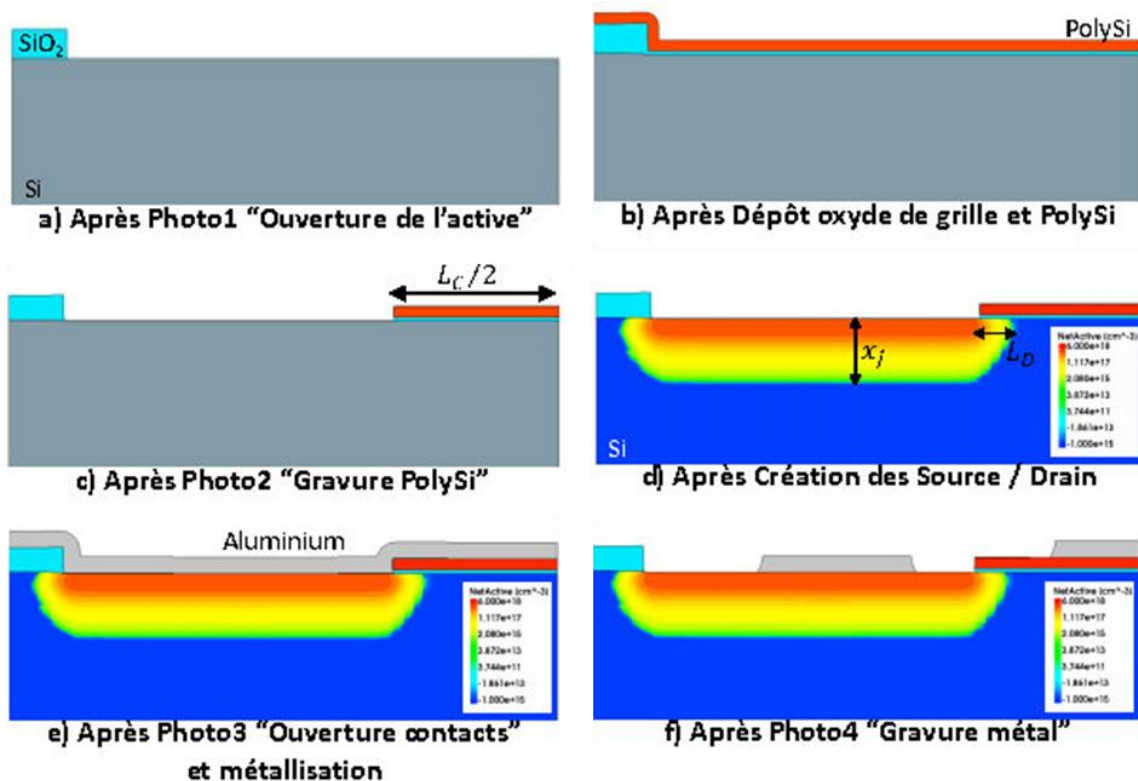


Fig.1. Visualisations sous Sentaurus Visual des fichiers ".tdr" correspondant aux principales étapes de la simulation process du transistor NMOS long.

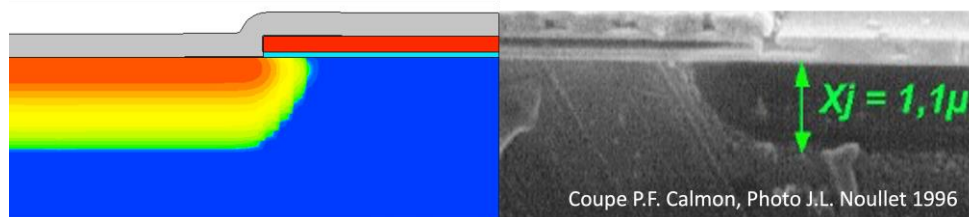


Fig.2. Vue après métallisation du transistor NMOS simulé (moitié gauche), comparé à une image au microscope électronique du transistor réel (moitié droite) (5).

Ces simulations ne seront pas détaillées ici mais permettent d'obtenir des caractéristiques $I_D(V_D)$ et $I_D(V_G)$ totalement cohérentes avec la réalité.

II. Caractérisation électrique et modélisation physique du transistor NMOS

Dans la suite de la formation du cycle ingénieur MT, la caractérisation électrique, l'extraction des paramètres et la modélisation des dispositifs MOS permet de donner une vision globale des différents processus entrepris par les ingénieurs en microélectronique.

Caractérisation électrique

La caractérisation électrique des deux transistors MOS (long et court) s'opère au sein d'une station de mesure à l'aide d'appareils pilotés par une liaison LAN-GPIB (figure 3, gauche). Cette procédure débute par le positionnement des pointes de mesure sur les pads métalliques correspondants : grille, drain, source et bulk (figure 3, droite). Les tensions à appliquer sur le drain et la grille sont imposées grâce à une alimentation de laboratoire

E3631A de Keysight (6) ; le courant de drain est mesuré grâce à un multimètre numérique 34401A de Keysight (7).

Deux transistors sont caractérisés : l'un (court) avec une longueur L_C de $6\mu\text{m}$ et l'autre (long) avec une longueur L_L de $18\mu\text{m}$. Les deux transistors ont une largeur W de $180\mu\text{m}$ et une épaisseur d'oxyde SiO_2 d'environ 63 nm .

L'extraction des caractéristiques électriques se fait via un outil développé sous LabView permettant le pilotage des instruments, l'acquisition des données et l'analyse graphique.

Plus précisément, cette dernière permet de définir la plage des tensions à appliquer et d'afficher en temps réel les valeurs de courant mesurées sous forme graphique, comme illustré à la figure 4. Cette interface LabView offre la possibilité de mesurer la caractéristique $I_D(V_G)$.

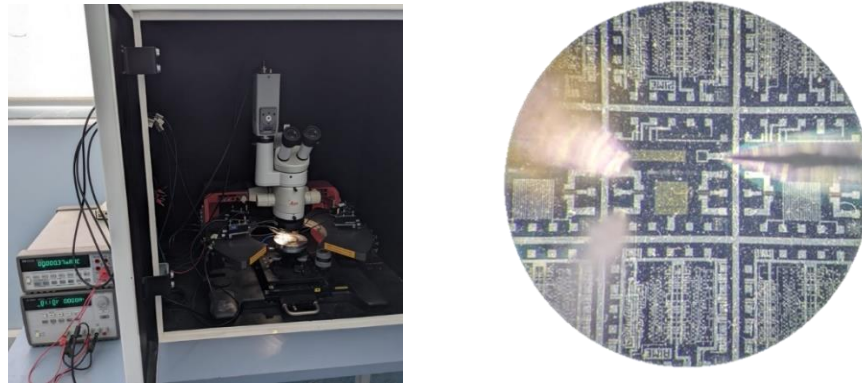


Fig.3. Vue de la station de tests sous pointes et des appareils de mesures associés (à gauche) et vue des pointes au-dessus du transistor MOS à caractériser (à droite).

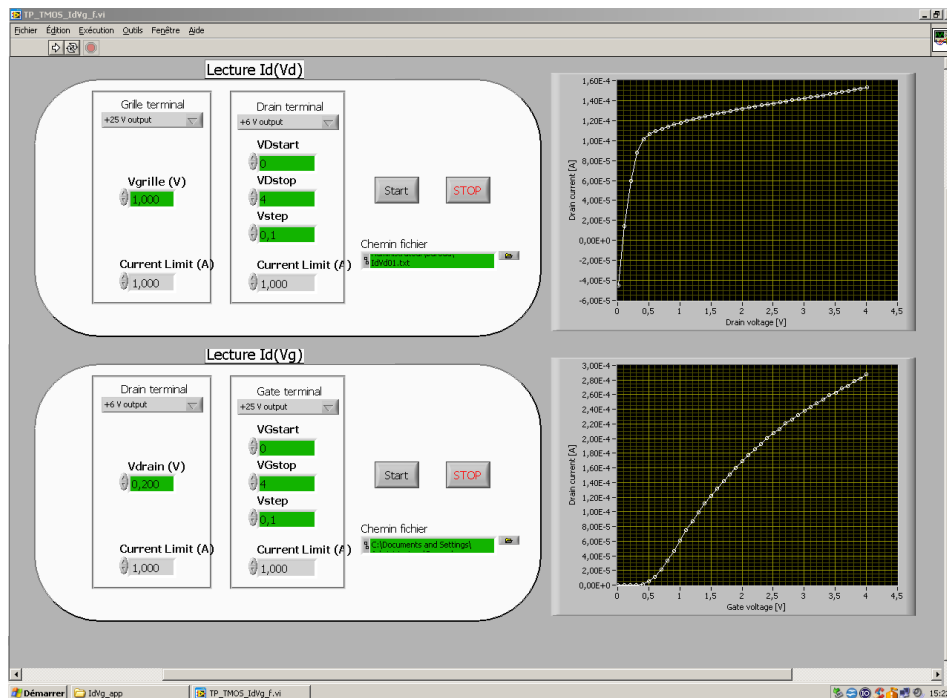


Fig.4. Vue de l'interface graphique développée sous Labview, permettant l'acquisition des mesures $I_D(V_D)$ et $I_D(V_G)$.

Autrement dit, elle permet d'imposer une tension de drain constante tout en faisant varier la tension de grille et de mesurer le courant de drain en conséquence. De manière similaire, la caractéristique de sortie $I_D(V_D)$ est également mesurée en maintenant une tension de grille constante.

Les figures 5a et 5b présentent respectivement les tracés des caractéristiques $I_D(V_D)$ pour une tension de grille de 2V et $I_D(V_G)$ pour une tension de drain de 0,2V. L'extraction des caractéristiques, spécifiques aux transistors ayant suivi un procédé de fabrication similaire, permet une visualisation immédiate de l'impact de la longueur de grille du transistor sur le niveau de courant obtenu. Cela offre la possibilité d'établir des corrélations avec les équations abordées en cours et les résultats des simulations Sentaurus Device. En outre, cette procédure fournit une vision des avantages et des limites des appareils de mesure pour une caractérisation précise.

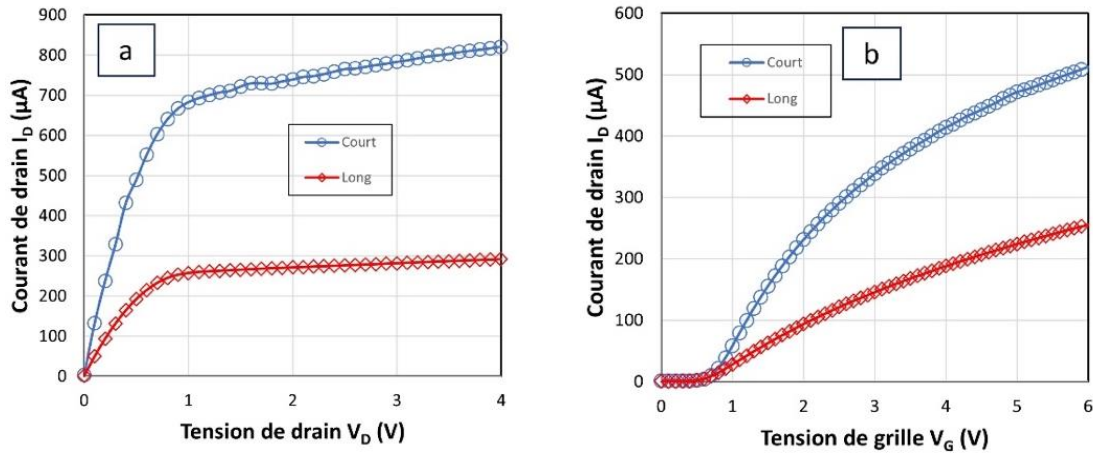


Fig.5. Tracés des caractéristiques a) $I_D(V_D)$ pour $V_G = 2V$ et b) $I_D(V_G)$ pour $V_D = 0,2V$ sur transistor long et court.

Extraction de la longueur de diffusion

Dans l'optique de comparaison avec les simulations TCAD précédemment exposées, l'accent est mis sur l'extraction de la longueur de diffusion sous la grille. Pour ce faire, il est possible de formuler des hypothèses à partir des équations du transistor MOS en régime de saturation afin d'obtenir cette valeur. En prenant le rapport des courants à même polarisation et en considérant que la longueur effective correspond à la longueur dessinée diminuée de deux fois la longueur de diffusion, on est en mesure d'exprimer l'équation pour la longueur de diffusion L_{diff} , comme illustré ci-dessous :

$$L_{diff} = \frac{I_D^L \cdot L_{dessin}^L - I_D^C \cdot L_{dessin}^C}{2 \cdot (I_D^L - I_D^C)} \quad [1]$$

où I_D^L et I_D^C sont les courants de drain des transistors long et court respectivement, et L_{dessin}^L et L_{dessin}^C sont les longueurs de grille dessinées respectives. La longueur de diffusion obtenue est d'environ 1,15 μm .

Extraction des paramètres

L'analyse des caractéristiques électriques permet l'extraction des paramètres essentiels pour évaluer les performances d'une technologie CMOS. Les transconductances des deux transistors, peuvent être extraites à partir des caractéristiques $I_D(V_G)$. Ce paramètre-clé

mesure la sensibilité du courant de sortie du transistor face à une variation de la tension de la grille.

Extraction de la mobilité des électrons μ_0 et de la réduction de mobilité θ

En règle générale, lorsque la densité de porteurs en surface du canal devient significative, certaines interactions avec le milieu ne peuvent pas être négligées. Cela a pour conséquence une diminution de la mobilité, comme indiqué dans l'équation ci-dessous.

$$I_D = \frac{W}{L} \mu_0 C_{ox} V_{DS} \frac{(V_{GS} - V_{th} - \frac{V_{DS}}{2})}{1 + \theta \cdot (V_{GS} - V_{th} - \frac{V_{DS}}{2})} \quad [2]$$

Les fonctions Y et W sont utilisées pour déterminer des valeurs clés telles que la tension de seuil V_{th} , la mobilité μ_0 et la réduction de mobilité θ (8). Leurs expressions sont fournies dans les équations suivantes :

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_{DS}} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) \quad [3]$$

$$W = \frac{1}{\sqrt{g_m}} = \sqrt{\frac{L}{W C_{ox} \mu_0 V_{DS}}} \left[1 + \theta \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) \right] \quad [4]$$

À partir des caractéristiques $I_D(V_G)$ et $g_m(V_G)$ pour le transistor long exposées précédemment, il est possible de calculer et tracer les fonctions Y et W (figure 6). L'intersection de la partie linéaire de la courbe Y avec l'axe des abscisses fournit la valeur de la tension de seuil. La mobilité μ_0 est obtenue à partir de la pente de cette partie linéaire, selon l'équation [5]. Le facteur linéaire de réduction de la mobilité θ , peut être extrait à partir de la pente de la courbe W donnée en équation [6].

$$pente Y = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_{DS}} \quad [5]$$

$$pente W = \theta \sqrt{\frac{L}{W C_{ox} \mu_0 V_{DS}}} = \frac{\theta}{pente Y} \quad \text{soit } \theta = pente W \cdot pente Y \quad [6]$$

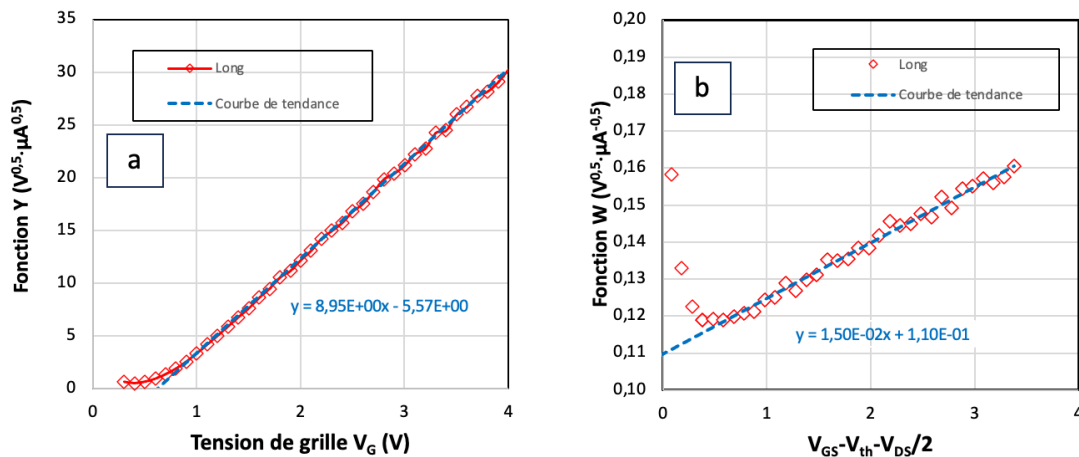


Fig.6. Tracé de : a) la fonction Y et b) la fonction W en fonction de V_G .

Valeurs des paramètres technologiques extraites pour les transistors long et court

Les valeurs extraites pour les transistors long ($L_L=18\mu\text{m}$) et court ($L_C=6\mu\text{m}$) sont regroupées dans le Tableau I.

TABLEAU I. Valeurs extraites pour les différents paramètres technologiques

Paramètres Technologiques	Transistor Long ($L_L=18\mu\text{m}$)	Transistor Court ($L_C=6\mu\text{m}$)
Tension de seuil V_{th}	0,72 V	0,85 V
Mobilité des électrons μ_0	731,1 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	759,4 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$
Coefficient de réduction de mobilité θ	0,13 V^{-1}	0,30 V^{-1}
Longueur de diffusion L_{diff}	1,15 μm	1,15 μm

Conclusion

En conclusion, au département Microélectronique et Télécommunications, nous avons développés des modules d'enseignement concernant la fabrication, la caractérisation électrique ainsi que la modélisation des composants à semiconducteurs. Ceci représente le noyau de compétences des futurs ingénieurs analogiciens et numériciens. De plus nous avons fait le choix d'adapter les enseignements aux travaux pratiques de l'AIME et précisément au procédé de fabrication du transistor MOSFET dans l'objectif de préparer au mieux les élèves aux manipulations en salle blanche.

Remerciements

Les auteurs remercient les pôles CNFM de Toulouse et PACA pour la mise à disposition des outils indispensables à la réalisation de ce travail avec les étudiants de Polytech Marseille, filière « Microélectronique et Télécommunications ». Les auteurs remercient également "France 2030" et le projet "ANR-23-CMAS-0024 INFORISM".

Références

1. G. E. Moore, Cramming more components onto integrated circuits, *Electronics*, **86**, 82-85, 1998.
2. Sentauros Process, Guide de l'utilisateur, version R-2020.09, Septembre 2020.
3. Sentauros Device, Guide de l'utilisateur, version R-2020.09, Septembre 2020.
4. AIME-Toulouse, Fabrication de composants NMOS Silicium - Version 2018, Online document: <https://www.aime-toulouse.fr/DOCPDF/TP/ProcessMOS2018.pdf>.
5. AIME-Toulouse, MOS en coupe (M.E.B.), Online document : <https://www.aime-toulouse.fr/TECHNO/COURSTECHNO/techno/m2d60.jpg>.
6. Alimentation stabilisée triple Keysight E3631A data sheet, Online document: <https://www.keysight.com/fr/en/assets/7018-06785/data-sheets/5968-9726.pdf>.
7. Multimètre numérique Keysight 34401A data sheet, Online document: <https://www.keysight.com/fr/en/assets/7018-06774/data-sheets/5968-0162.pdf>.
8. G. Ghibaud, New Method for the Extraction of MOSFET Parameters, *Electronics Letters*, **24**, 543-545, 1988.