

Conception de cellules nano-CMOS – Perspectives à dix ans

E. Sicard^a, S. Ben Dhia^{a, b}, L. Trojman^c

^a INSA de Toulouse, Toulouse, France

^b LAAS/CNRS, Toulouse, France

^c ISEP, Paris, France

Contact email : etienne.sicard@insa-toulouse.fr

La conception de cellules logique et analogique servant de base à la création de circuits intégrés a évolué graduellement au fil des progrès technologiques. Nous proposons dans cet article une synthèse de cette évolution avec une prospective à 10 ans. L'évolution de nos travaux pratiques vers la conception 3nm Nano-Sheet est aussi décrite, basé sur un retour d'expérience de deux promotions. Nous esquissons l'évolution des besoins en enseignement et recherche pour la prochaine décennie, et notre stratégie de mise à disposition de logiciel de conception nano-CMOS implémentant les évolutions majeures associées à chaque génération technologique.

I. Introduction

Au niveau le plus élémentaire, les circuits intégrés reposent sur des cellules de base, logiques et analogiques, dont l'association permet la conception de fonctions électroniques plus élaborées, elles-mêmes permettant de créer des systèmes complexes dont les plus emblématiques sont les cœurs de calcul des ordinateurs et des smartphones. Les progrès continus de l'industrie des semiconducteurs ont permis d'augmenter la densité, la complexité, la vitesse d'exécution tout en diminuant la consommation et le coût, à chaque génération, et ce depuis plus de 50 ans. On note cependant une stagnation de certains paramètres, comme la fréquence des processeurs qui évolue peu depuis plusieurs années.

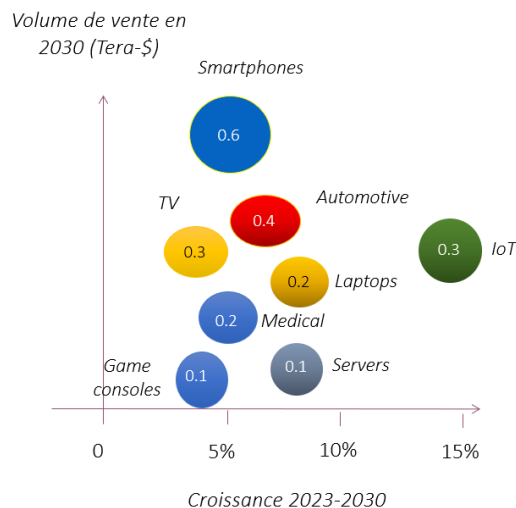


Fig.1. Croissance des principaux secteurs de l'électronique grand public d'après les prédictions cumulées (CAGR) pour la période 2023-2030 en Tera-\$.

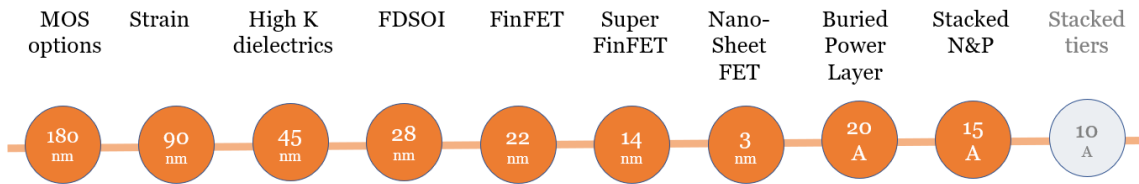


Fig.2. Principales avancées technologiques depuis 2000 et prospective 2030.

En compilant les tendances par grands secteurs de l'électronique grand public, les perspectives à 5 ans sont favorables, comme illustré Fig. 1, portées notamment par les smartphones (5G, 5G+), l'électronique automobile (Voiture électrique, Train etc.), l'IoE (Internet of Everything, domotique), les écrans (4K, 8K), ainsi que les dispositifs en lien avec la santé, la virtualisation, le Cloud et l'intelligence artificielle.

Nous résumons à la Fig. 2 les principales avancées technologiques depuis la technologie 180nm (2000) ayant permis le développement des technologies 3G, la technologie FinFET permettant les communications 4G (2010), et plus récemment l'introduction des Nano-Sheet avec la 5G (2020). Pour la décennie à venir, l'alimentation par substrat (*Buried Power Layers*) et l'empilement des transistors (*Stacked N&P C-FET*) offriront les performances attendues pour la 6G (2030) tandis que les recherches sur l'empilement des couches (*Stacked Tiers*) démarrent sur le modèle des mémoires Flash 3D (32-128 couches), pour une application en 2030 [IDRS 2022].

Une des évolutions marquantes de ces dernières années se situe au niveau du transistor élémentaire, qui est passé du MOS-FET au Fin-FET à partir du nœud 22nm, puis Nano-Sheet FET à partir du nœud 3nm, avec des bénéfices considérables en termes de densité de courant commuté, grâce à une approche 3D (Fig.3.).

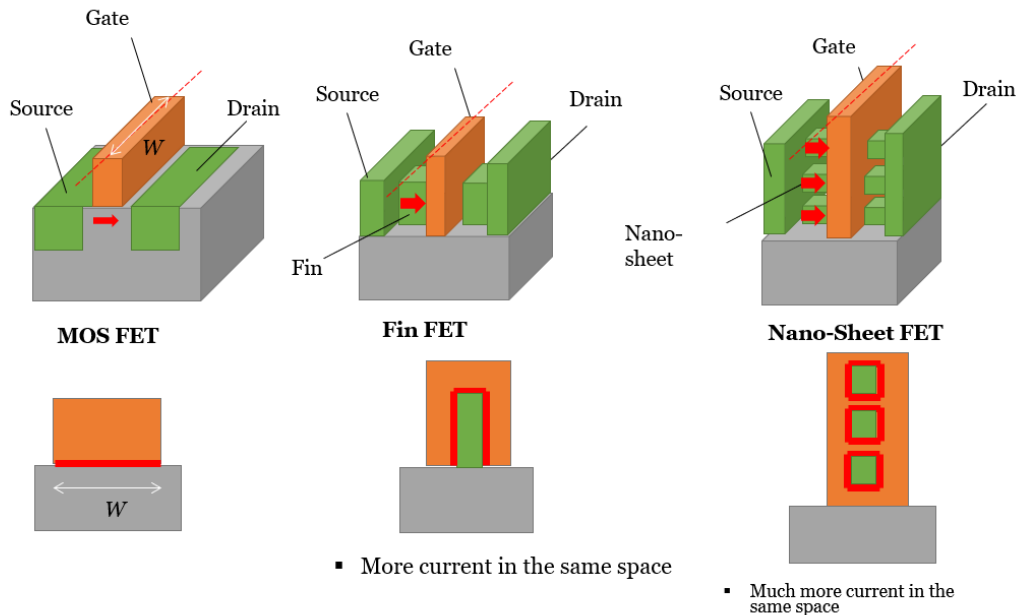


Fig.3. Comparaison des dispositifs de commutation MOS FET, Fin FET et NS-FET. La densité de courant surfacique du MOSFET s'approche du courant volumique dans le NSFET ce qui augmente le courant maximum ION.

II. Support à l'évolution technologique

A la suite des ouvrages pédagogiques sur la conception CMOS que nous avons publiés il y a une quinzaine d'années [1-2], nous avons implémenté différentes innovations technologiques dans le logiciel Microwind [3], et plus récemment le transistor NS-FET [4] abordé aux JPCNFM 2021 [5]. Le tableau I précise les liens en archives ouvertes vers *hal.science* des notes d'application pour différents nœuds technologiques. Les PDF cumulent plus de 50,000 téléchargements, notamment depuis l'Inde, les USA et le Maghreb, témoignant de l'intérêt des enseignants, ingénieurs et chercheurs pour des documents pédagogiques décrivant les évolutions technologiques des circuits intégrés.

TABLEAU I. Notes d'application sur l'implémentation des nœuds technologiques dans le logiciel *Microwind*, publiées sur *hal.science*.

Noeud technologique	Année d'introduction	Innovations	Note d'application publiée sur <i>hal.science</i>
90nm	2003	SOI substrate	hal-03324305
65nm	2004	Strain silicon	hal-03324309
45nm	2008	2nd generation strain, 10 metal layers	hal-03324315
32nm	2010	High-K metal gate	hal-03324299
20nm	2013	Replacement metal gate, Double patterning, 12 metal layers	hal-03324322
14nm	2016	FinFET	hal-01541171
7nm	2017	FinFET Quadruple patterning	hal-01558775
5nm	2021	FinFET EUV	hal-03254444
3nm	2021	Nano-sheet FET	hal-03377556
2nm/20A	2024	NSFet & Buried Power	hal-03902018
1.5nm/15A	2027	Stacked NSFet, Buried Power	To appear 2024
1.0nm/10A	2030	Stacked tiers	To appear 2025

Jusqu'en 2020, notre approche a consisté à se baser sur les publications issues des fabricants majeurs de circuits intégrés (*TSMC, Samsung, Intel, IBM, ST-Microelectronics, GlobalFoundries, etc.*) afin de situer les performances moyennes pour un nœud technologique donné. A partir de 2021, devant le nombre important de publications scientifiques utilisant Microwind et faisant référence à nos notes d'application (Plus de 700 articles identifiés fin 2023), nous avons configuré nos outils et publié les notes d'application en avance de phase par rapport à l'industrie. Cette approche pro-active a pour but de permettre à la communauté des enseignants et chercheurs d'esquisser l'évolution des performances des circuits sur des technologies futures. Au niveau pédagogique, nous avons introduit en TP de niveau M1 à l'INSA Toulouse la technologie 3nm Nano-Sheet en 2021, dans le cadre de TP de conception de cellules nano-CMOS.

III. Conception de cellules nano-CMOS

Plusieurs modifications notables accompagnent la génération Nano-Sheet, comme l'illustre la Fig. 4. Tout d'abord, contrairement aux décennies précédentes, la dimension des dispositifs élémentaires tels que les grilles de transistors (rouge) ou métallisations (bleu) se réduit très peu, ce qui est principalement lié à l'explosion des coûts de lithographie sur des dimensions approchant les dizaines de nanomètre. Le gain se fait autrement, selon 3 leviers : un transistor plus petit et performant (NS Fet au lieu de FinFET), une hauteur de

cellule plus faible (division par deux : 100 nm au lieu de 192 nm dans l'inverseur Fig. 4.), et une alimentation par le bas (*Back Side Power Delivery*) qui dégage de l'espace pour le routage [6].

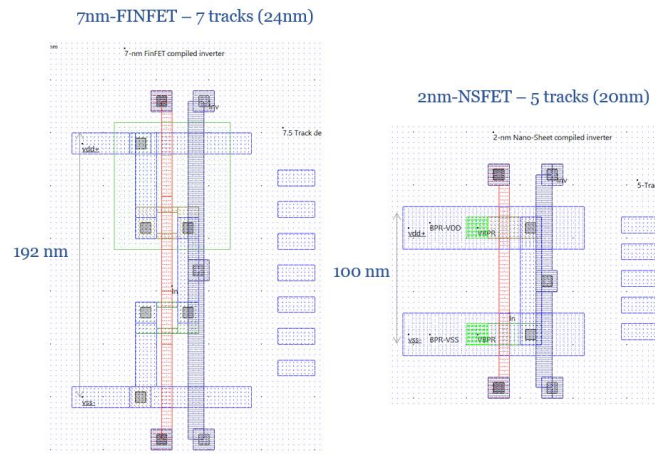


Fig.4. Comparaison entre le design d'un inverseur FinFET 7nm (à gauche) et Nano-Sheet 2nm/20A (à droite) [6].

La conception Nano-Sheet ne pose pas de problème particulier, même auprès des étudiants. Au contraire, elle ramène un degré de liberté qui avait été perdu au niveau des tailles de transistors FinFET, du fait des contraintes de nombre d'ailerons ou « fins » (2-fins, 4-fins typiquement). La conception est aussi simplifiée grâce à la suppression du puits (N-well) et de sa polarisation associée, libérant de l'espace silicium. Enfin, les améliorations apportées par l'alimentation « par en dessous » (*buried power*) améliorent non seulement les possibilités de routage, mais aussi l'intégrité des réseaux d'alimentation (*Power Integrity*) en diminuant les fluctuations parasites lors des commutations.

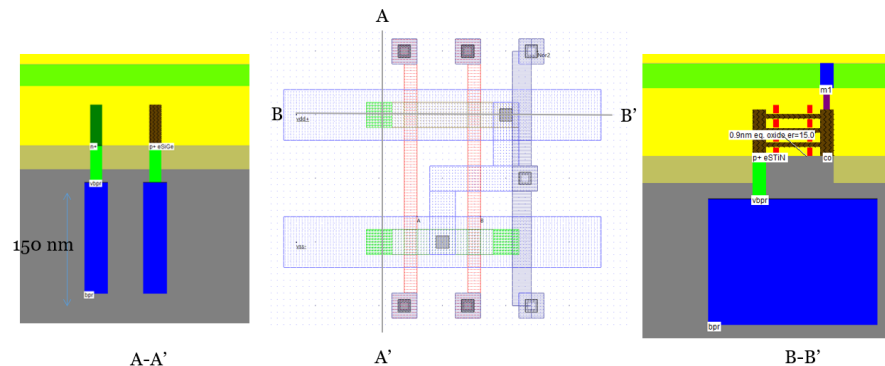


Fig.5. Vue en coupe d'une porte NAND en 2nm/20A avec les via dans le substrat vers le BPR (*Buried Power Layer*) [6].

Les vues en coupe d'une porte NAND sont reportées Fig. 5. Le substrat, quasi inutilisé et monolithique dans les générations passées, est devenu l'espace de routage des alimentations.

Un autre intérêt pédagogique des générations *Nano-Sheet* est de projeter nos étudiants dans des performances en termes de densité, vitesse et de consommation correspondant à des technologies devant servir de support à des grands projets d'ingénierie tels que la 6G [7] ou la voiture autonome [8].

IV. Vers l'intégration 3D

Anticipant les nœuds technologiques de la prochaine décennie, nous avons implémenté une innovation majeure qui consiste à empiler les transistors N-FET et P-FET l'un sur l'autre. Cette innovation, appelée *Complementary FET C-FET*, permet de réduire de moitié la surface des cellules élémentaires, et pourrait apparaître en technologie 1,5nm/15A [9-10]. Les vues 2D et 3D d'un inverseur montrent une modification radicale de la conception, par rapport aux approches à base de FinFET et NS-FET de la Fig.4. [11]. Le challenge pédagogique est considérable, car l'approche C-FET constitue une rupture par rapport à l'approche planaire, et nécessite un recours constant aux vues 3D pour s'assurer de la bonne concordance des connexions verticales, telles que le via P/N, ce qui alourdit la tâche des étudiants et enseignants.

Ce défi pédagogique de conception en CFET est une anticipation sur le programme d'enseignement des étudiants puisque cette technologie serait, au mieux, commercialisée à partir de 2027. Cela dit, pour les ingénieurs et chercheurs, il s'agit d'évaluer dès à présent l'apport possible de cette approche 3D, d'autant que la littérature scientifique sur le sujet est déjà conséquente [10]. Nous devrions publier une note d'application et configurer Microwind pour la technologie C-FET 1,5nm courant 2024.

Bien que plus lointain (2030 d'après l'IDRS), l'empilement de couches semble une approche très prometteuse pour pousser encore plus loin l'intégration, avec l'annonce pour le nœud 1,0nm/10A de deux niveaux actifs de N/P empilés, comme esquissé Fig.7., puis en 0,7nm/7A de quatre niveaux actifs. L'implémentation de l'approche 3D et la navigation verticale entre plusieurs niveaux de transistors actifs nécessitera une adaptation de nos outils de conception, essentiellement basés sur la vue planaire des dispositifs. Il faudra être capable de naviguer simplement entre les différentes couches de cellules empilées, voire de manipuler des objets directement depuis les vues 3D.

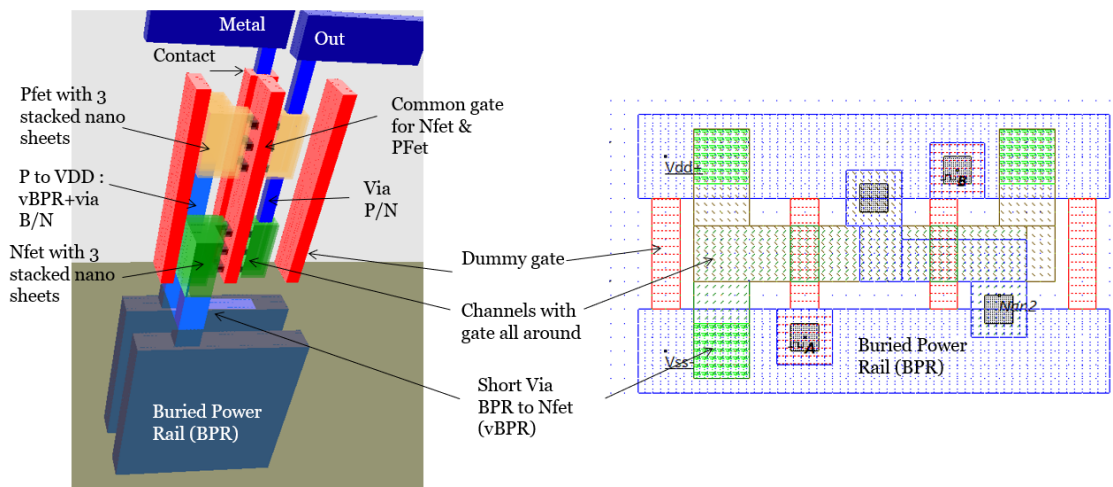


Fig.6. Vue en coupe d'un inverseur C-FET en 1,5nm/15A avec le PFET superposé au NFET [11].

Les possibilités de routage seront aussi découplées, avec des stratégies d'implémentation et d'optimisation de performances qui peuvent constituer autant de sujets de recherche et de publications dans le futur.

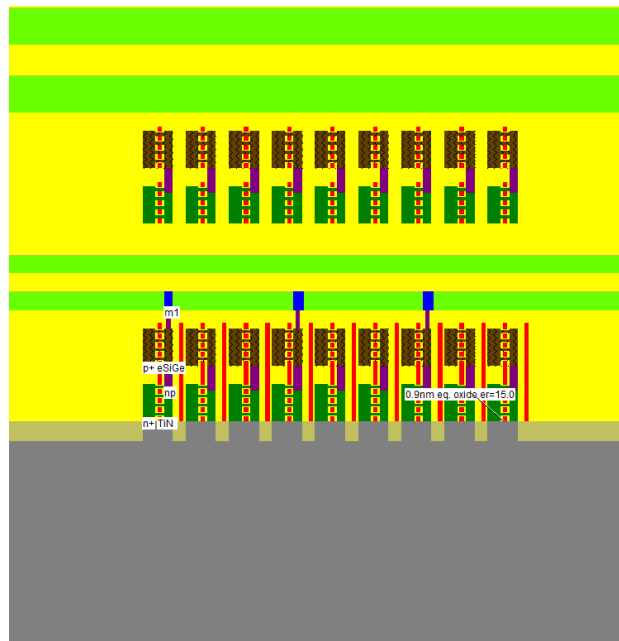


Fig.7. Vue en coupe de deux couches de C-FET séparées par deux niveaux de métaux, préfigurant la technologie 10A/1,0nm [11-12].

Remerciements

Les réalisations sont menées sur les plateformes du réseau national CNFM qui bénéficie du programme France 2030 dans un projet AMI-CMA INFORISM [14].

Références

1. E. Sicard, S. Ben Dhia, Basics of CMOS Cell Design. McGraw-Hill (2005).
2. E. Sicard, S. Ben Dhia, Advanced CMOS Cell Design. McGraw-Hill (2007).
3. S. Aziz, E. Sicard & S. Ben Dhia, Effective teaching of the physical design of integrated circuits using educational tools. IEEE Transactions on Education, **53**(4), 517-531 (2009).
4. E. Sicard & L. Trojman, Introducing 3-nm Nano-Sheet FET technology in Microwind. 2021. <https://hal.science/hal-03377556> (2021).
5. L. Trojman, F.V. Viteri, E. Sicard, Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec MicroWind, JPCNFM 2021, (2021).
6. E. Sicard & L. Trojman, Introducing 2-nm/20Å Nano-Sheet FET technology with Buried Power Rails and nano Through-Silicon-Vias in Microwind, <https://hal.science/hal-03902018> (2022).
7. M. Banafaa, 6G mobile communication technology: Requirements, targets, applications, challenges, advantages, and opportunities. Alexandria Engineering Journal, **64**, 245-274 (2023).
8. M. N. Ahangar, A survey of autonomous vehicles: Enabling communication technologies and challenges. Sensors, **21**(3), 706 (2021).
9. L. Liebmann, CFET Design Options, Challenges, and Opportunities for 3D Integration. IEEE IEDM 2021 (2021).
10. P. Schuddinck, PPAC of sheet-based CFET configurations for 4 track design with 16nm metal pitch. VLSI Technology and Circuits 2022, (2022).
11. E. Sicard, FinFET, Nano-Sheet cell design, Now & Road Ahead, An educational perspective, Annual Seminar ni2designs, Pune (2023).
12. IDRS Executive summary. Overall Roadmap Technology Characteristics (2022).
13. E. Sicard & L. Trojman, Introducing 1.5-nm/15Å Complementary Nano-Sheet FET technology in Microwind. A paraître *hal.science* (2024).
14. INFORISM, Ingénierie de FORMations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans a démarré au cours de l'année académique 2023-2024.