



Migration NIOS II vers NIOS V sur carte DE10-Lite : un levier technique et pédagogique pour l'enseignement des systèmes embarqués

Vincent Frick^{1*}

¹ Université de Strasbourg, IUT de Haguenau, Laboratoire ICube, Strasbourg, France

*Auteur de correspondance : vincent.frick@unistra.fr

Résumé : *L'enseignement des systèmes embarqués repose aujourd'hui sur des plateformes FPGA largement diffusées dans les établissements, comme la carte DE10-Lite d'Intel/Altera. Or, l'arrêt du support du processeur NIOS II par Intel rend nécessaire une adaptation des projets pédagogiques existants. La migration vers NIOS V, basée sur l'architecture RISC-V, s'impose donc progressivement. Si cette transition offre de réelles opportunités en matière d'ouverture et d'interopérabilité, elle soulève aussi des défis techniques, notamment autour de la compatibilité de certains matériels. Ce contexte constitue un terrain d'apprentissage riche, propice au développement de compétences en développement, maintenance, adaptation et pérennisation des systèmes embarqués.*

Mots clés : Migration NIOS II / NIOS V, Carte DE10-Lite, Systèmes embarqués.

Abstract: Migration from NIOS II to NIOS V on the DE10-Lite board: a technical and educational lever for teaching embedded systems.

Teaching embedded systems today relies on FPGA platforms that are widely used in educational institutions, such as Intel/Altera's DE10-Lite board. However, Intel's discontinuation of support for the NIOS II processor makes it necessary to adapt existing educational projects. Migration to NIOS V, based on the RISC-V architecture, is therefore gradually becoming essential. While this transition offers real opportunities in terms of openness and interoperability, it also raises technical challenges, particularly regarding the compatibility of certain hardware. This context provides a rich learning environment, conducive

to developing skills in the development, maintenance, adaptation, and long-term sustainability of embedded systems.

Keywords: NIOS II / NIOS V migration, DE10-Lite board, Embedded systems.

1. Introduction

Tous niveaux confondus, l'enseignement universitaire à l'électronique numérique et aux systèmes embarqués repose désormais systématiquement sur l'apprentissage et la mise en œuvre d'outils de CAO, associés à des plateformes matérielles de type FPGA. Les capacités en cellules logiques et les performances des cartes de développement, même d'entrée de gamme, sont généralement largement suffisantes pour réaliser des systèmes complexes et permettent ainsi de proposer aux étudiants des projets stimulants et enthousiasmants, comme par exemple la réalisation d'un nœud IoT communiquant sans fil (1).

Profitant des offres régulièrement proposées par le CNFM, notamment dans le cadre du programme « un étudiant, une carte », nombre d'établissements se sont largement équipés en cartes de développement FPGA, essentiellement de marque Xilinx ou Intel (2). Dans cet article, nous nous intéresserons plus particulièrement à la carte DE10-Lite, produite par la société Terasic, qui fabrique des cartes à base de FPGA Intel (3). Compacte et versatile, la carte DE10-Lite est utilisée à tous les niveaux dans plusieurs composantes de l'Université de Strasbourg (IUTs, Master SEME, Ecoles d'ingénieurs INSA et TPS). Elle est appréciée, tant par les enseignants que par les étudiants pour sa relative facilité de prise en main. L'outil de configuration DE10-Lite System Builder permet en particulier de créer une base de projet Quartus (outil CAO pour FPGA Intel) et de configurer les entrées sorties en quelques clics.

Le souhait de faire évoluer régulièrement les contenus pédagogiques s'inscrit en cohérence avec l'évolution rapide et constante des outils de conception, des systèmes d'exploitation et des environnements de développement. Il permet d'intégrer les technologies les plus récentes et de maintenir les enseignements en phase avec les pratiques industrielles. Toutefois, cette dynamique soulève des tensions, notamment lorsque certaines briques techniques ne sont plus supportées ou disparaissent des bibliothèques de modules IP, comme le processeur NIOS II entre autres. Ces ruptures techniques rendent difficile la mise à jour des contenus sans devoir reprendre en profondeur les projets existants ni remplacer un matériel encore pleinement fonctionnel.

Ces raisons, ajoutées à une conjonction de circonstances (changement d'infrastructures informatiques, d'architecture réseau et de systèmes d'exploitation) a accéléré la décision de procéder à la migration vers le NIOS V des projets de systèmes embarqués sur carte DE10-Lite, proposés dans le cadre des formations en BUT GEII et ingénieurs de Strasbourg. Plus particulièrement, nous nous intéresserons à la migration de systèmes développés sur DE10-Lite.

Cet article poursuit un double objectif. Il vise d'une part à accompagner les collègues et étudiants dans la migration de leurs systèmes existants ou la conception de nouveaux projets, afin qu'ils puissent tirer pleinement profit du potentiel matériel de la carte DE10-Lite et, surtout, en leur faisant gagner du temps et en évitant les écueils fréquents. À cette fin, la section II détaille les considérations techniques, tant matérielles que logicielles, liées à la transition des systèmes NIOS II vers NIOS V. D'autre part, l'article explore les enjeux pédagogiques de cette évolution, en mettant en lumière les opportunités qu'elle offre pour l'enseignement et l'apprentissage, ce qui constituera la section III. Enfin, la section IV conclura cet article.

2. Transition NIOS II vers NIOS V

2.1. NIOS II vs. NIOS V

Lancé en 2004 par la société Altera (aujourd'hui intégrée à Intel) le NIOS II, est un processeur softcore largement utilisé dans les systèmes embarqués à des fins pédagogiques et ou de développement préindustriel pour sa flexibilité et son intégration aisée dans les plateformes FPGA produites par notamment par Terasic, filiale d'Intel/Altera. Le NIOS II repose sur une architecture RISC 32 bits configurable qui se décline en trois versions : NIOS II/e (économique), NIOS II/s (standard) et NIOS II/f (rapide), chacune optimisée pour un compromis entre performances, consommation et occupation logique. Malgré une évolution architecturale majeure en 2008, avec l'introduction de l'unité MMU (Memory Management Unit), permettant l'exécution de systèmes Linux, et l'unité MPU (Memory Protection Unit), permettant l'exécution de systèmes comme FreeRTOS par exemple, le NIOS II reste un processeur propriétaire fermé dont l'interopérabilité est limitée à l'écosystème Intel/Altera. De plus, depuis 2023, le processeur NIOS II n'apparaît plus dans les bibliothèques de modules IP de Quartus et ne bénéficie plus du support Intel.

Le NIOS V est le successeur du NIOS II. Lancé officiellement en 2023, il repose quant à lui sur l'architecture ouverte RISC-V et se décline en trois variantes : NIOS V/c (compact), V/m (microcontrôleur), et V/g (usage général). S'il reste un processeur propriétaire, il marque une évolution stratégique en proposant une standardisation plus large, une meilleure interopérabilité et une extensibilité accrue.

La principale différence entre le NIOS II et le NIOS V réside dans le cœur d'instruction : NIOS II utilise une ISA propriétaire, tandis que NIOS V adopte l'ISA RISC-V, facilitant l'intégration avec les écosystèmes open-source. Le NIOS V offre également une meilleure évolutivité, notamment pour les applications nécessitant des extensions vectorielles ou des coprocesseurs spécialisés. En termes de performances, le NIOS V surpasse le NIOS II/f dans la plupart des benchmarks, tout en conservant une empreinte logique maîtrisée. Le tableau 1 rassemble les principales différences entre les deux architectures.

Le NIOS V est donc censé offrir une compatibilité native avec les outils RISC-V et une meilleure prise en charge des extensions personnalisées. Également, d'un point de vue pédagogique, l'ISA RISC-V est documentée et libre, ce qui constitue un atout évident pour l'enseignement de l'architecture processeur. Tous ces avantages « sur le papier » suggèrent donc qu'il existe un réel intérêt à procéder à la transition NIOS II vers NIOS V. Au regard des nombreux tests effectués avec l'outil de développement logiciel Ashling RiscFree, intégré dans la suite logicielle de développement systèmes embarqués Intel-Altera, la compatibilité avec les outils RISC-V est à ce jour concluante. En revanche, la prise en charge des extensions matérielles personnalisées est moins évidente et nécessite quelques manipulations et ajustements techniques proposés ci-après.

Tableau 1. Comparatif NIOS II vs. NIOS V.

Caractéristique	NIOS II	NIOS V
Architecture ISA	Propriétaire RISC 32 bits	RISC-V 32 bits (open-source)
Variantes	II/e, II/s, II/f	V/e, V/m, V/c
Bus	Avalon (propriétaire)	AXI4 (standard ARM AMBA)
Pipeline	5 à 6 étages (selon variante)	Pipeline optimisé RISC-V
Extensions personnalisées	Instructions personnalisées via HDL	Extensions RISC-V + instructions personnalisées
MMU / MPU	Optionnel (selon configuration)	Support natif RISC-V
Compatibilité OS	µC/OS-II, FreeRTOS, µClinux	FreeRTOS, Linux (via MMU)

Performance (DMIPS) @ 100 MHz	~50–60 DMIPS (NIOS II/f, version rapide)	~90–100 DMIPS (NIOS V/c, version lente)
Outils de développement	Quartus + NIOS II IDE	Quartus + RISC-V toolchain
Interopérabilité	Limitée à l'écosystème Intel	Large compatibilité open-source
Migration	Nécessite adaptation logicielle	Recommandée pour pérennité et évolutivité

2.2. Mémoire SDRAM de la carte DE10-Lite

Commercialisée depuis 2015, la carte DE10-Lite est aujourd'hui encore disponible à la vente et bénéficie toujours d'un support assuré par le fabricant, qui a mis à jour ses ressources et projets de démonstration début 2025. En outre, le FPGA MAX 10 dont elle est équipée supporte la nouvelle architecture de processeur NIOS V. Cette carte dispose d'une mémoire externe de type SDRAM d'une capacité 64 Mo (ISSI IS42S16400J ou équivalent) avec une interface 16 bits (4).

Jusqu'à la version 20.1 de Quartus, un module dédié pour le contrôle de cette SDRAM (SDRAM Controller Intel FPGA IP) était disponible dans la bibliothèque IP de l'outil Platform Designer servant à construire les systèmes embarqués à base de processeurs NIOS. La disparition de ce module dans les versions ultérieures de Quartus, et donc la perte de son support natif, rend l'implémentation de cette mémoire complexe. En effet, elle nécessite le recours à des alternatives comme MiSTer SDRAM controller ou des IP open source, qui demandent un effort d'intégration considérable (timing, interface Avalon, etc.) (5).

Nous proposons ici une solution plus simple. Celle-ci consiste à extraire le fichier .tcl et les fichiers HDL du contrôleur SDRAM depuis Quartus 20.1 pour les réintégrer dans des versions plus récentes. Les étapes d'importation sont décrites en annexe. Testé sur de nombreux designs pour la carte DE10-Lite, le contrôleur de SDRAM s'est révélé pleinement compatible avec les versions 21.1 à 24.1 de Quartus. Son retrait par Intel/Altera des bibliothèques natives de Quartus réside –sans doute– dans le fait que, pour pouvoir être compatible avec un système NIOS V, son implémentation requiert une configuration particulière de l'architecture du système embarqué. La raison est directement liée la structure même du NIOS V, basée sur le bus AXI (cf. Tableau 1) alors que le contrôleur est exclusivement dédié au bus Avalon.

La figure 1 montre les structures de systèmes NIOS II et NIOS V, respectivement (a) et (b). Dans le cas d'un système NIOS II (figure 1a), le contrôleur est directement connecté sur le bus Avalon. Dans cette configuration, le processeur NIOS peut être cadencé jusqu'à 100 MHz, fréquence généralement recommandée pour assurer une synchronisation optimale avec la mémoire SDRAM externe (typiquement 133 MHz, mais souvent configurée à 100 MHz pour des raisons de stabilité). Toutefois, plusieurs retours d'expérience et discussions techniques indiquent que des instabilités peuvent survenir lors du débogage via Eclipse, en particulier lorsque la communication entre le PC hôte et la carte FPGA s'effectue par le canal UART JTAG. Ces instabilités semblent liées à des limitations dans la gestion du flux de données sur l'interface JTAG, notamment en cas de fréquence élevée ou de surcharge du canal, ce qui peut perturber l'échange asynchrone entre le terminal Eclipse et le système embarqué (6).

Dans le cas d'un système NIOS V (Fig. 1b), le contrôleur de SDRAM doit impérativement être relié au bus AXI au moyen d'un pont (Avalon-MM Pipeline Bridge). Celui-ci est chargé de convertir les données entre le format Avalon historique et le format AXI. En outre, le NIOS V doit être cadencé à 50 MHz pour assurer une communication stable via le canal UART JTAG, en raison de limitations introduites dans les versions récentes de Quartus (23.1 et 24.1) visant à fiabiliser l'échange entre le PC et le système embarqué. Par ailleurs, pour maintenir la SDRAM à sa fréquence nominale de 100 MHz, l'ajout d'un module de franchissement de domaine d'horloge (Avalon-MM Clock Crossing Bridge) est nécessaire. On notera que les performances

du NIOS V sont équivalents, voire supérieures, à celles du NIOS II malgré une fréquence de fonctionnement divisée par deux (cf. tableau 1).

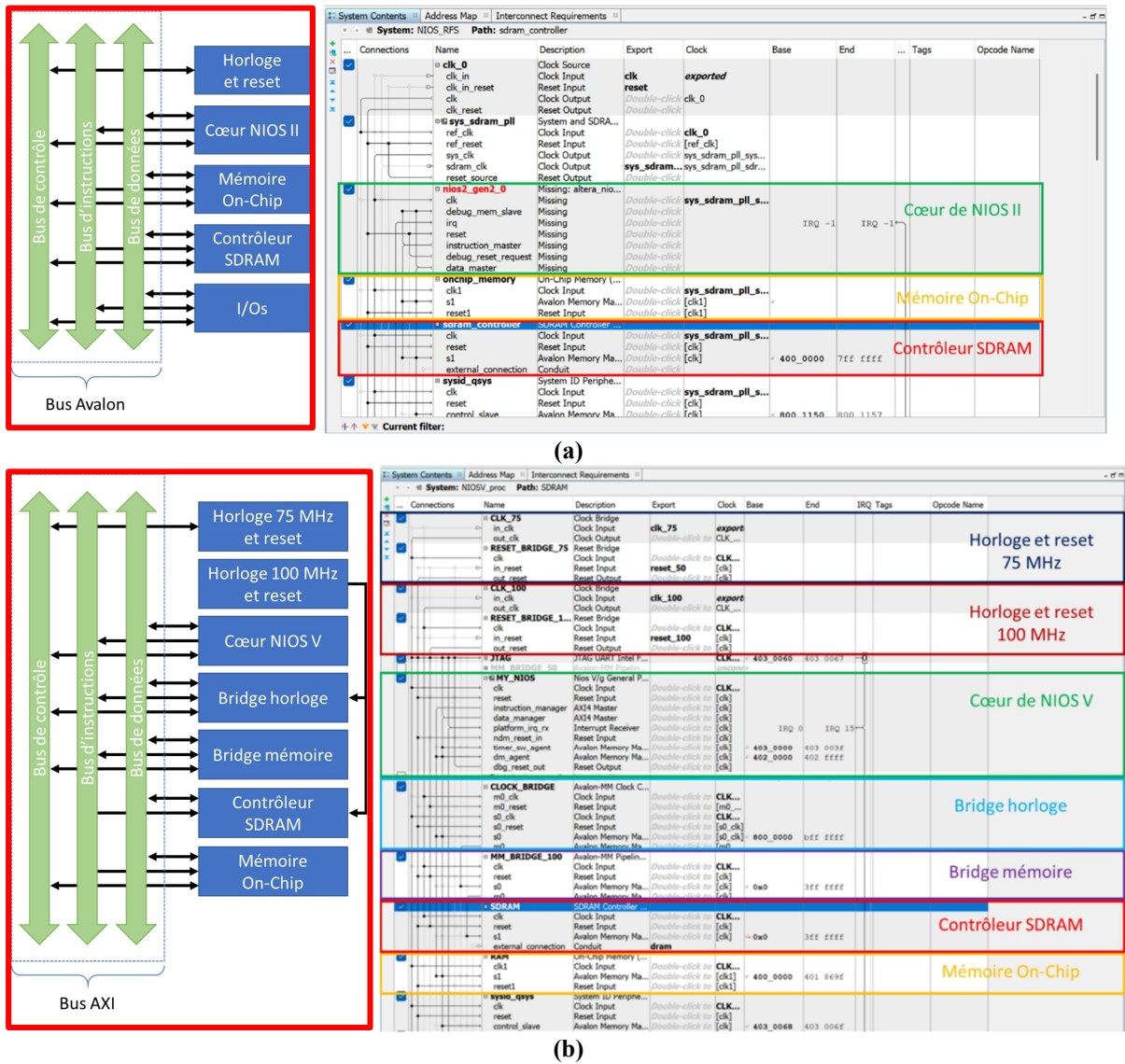


Figure 1. Fig.1.a) Synthétique d’architectures NIOS II (gauche) et de configuration dans Platform Designer (droite), b) Synthétique d’architectures NIOS V (gauche) et de configuration dans Platform Designer (droite), avec bridges AXI

2.3. Implications pédagogiques de la transition NIOS II → NIOS V

Au-delà d’une simple mise à jour technologique, la migration vers l’architecture NIOS V constitue une opportunité pédagogique intéressante pour les formations en électronique embarquée. Elle s’inscrit dans une dynamique d’alignement des contenus académiques sur les standards industriels émergents, tout en favorisant une approche ouverte, évolutive et durable de l’enseignement aux systèmes embarqués.

Elle est exploitée à tous les niveaux de formation, du BAC+2 au BAC+5. En particulier, pour les élèves ingénieurs en parcours « Systèmes embarqués et IoT » de l’INSA, elle est actuellement l’occasion d’aborder l’apprentissage des architectures processeur, notamment à travers l’étude du standard RISC-V, de ses ISA, et de ses implications sur la conception des systèmes embarqués.

Dans le cadre particulier de la mise en œuvre sur la carte DE10-Lite, cette transition permet de démontrer aux étudiants que des solutions concrètes existent pour exploiter pleinement le potentiel du matériel, même lorsque le support officiel du fabricant est interrompu.

La cohabitation temporaire des architectures NIOS II et NIOS V dans les plateformes Intel donne actuellement lieu à exercices comparatifs sur les performances, la consommation énergétique, la portabilité logicielle ou encore la structure des chaînes de compilation dans le cadre de travaux pratiques (TPs) du module de ElSpé 3 du parcours ESE (Électronique et Systèmes Embarqués) en deuxième année de BUT GEII à l'IUT de Haguenau. Ces TPs, bien que transitoires, s'avèrent particulièrement pertinents pour développer la compétence « maintenir », inscrite dans le programme pédagogique national du BUT GEII. Ils permettent aux étudiants de comprendre les enjeux liés à la migration logicielle, à la compatibilité descendante, et à la gestion de l'obsolescence. En pratique, les étudiants disposent de la base d'un système embarqué initialement développé pour NIOS II (1) et ont pour mission d'appliquer les modifications sous Platform Designer pour effectuer la migration vers NIOS V, en suivant une procédure pas à pas.

Également, en abordant cette transition comme un cas d'étude, les étudiants sont amenés à réfléchir aux problématiques de standardisation, de pérennité des systèmes embarqués, et de durabilité des choix technologiques. Cette démarche favorise une conscience critique des cycles de vie des architectures matérielles et logicielles. A l'échelle de l'IUT de Haguenau notamment, elle s'inscrit plus largement dans une volonté politique de maintien et « recyclage » des matériels existants, bienvenue dans le contexte budgétaire actuel.

3. Conclusion

La migration vers NIOS V est devenue incontournable, notamment en raison de l'arrêt du support du NIOS II par Intel. Si elle offre des avantages clairs en matière d'ouverture, d'interopérabilité et de compatibilité avec l'écosystème RISC-V, elle implique aussi quelques ajustements, notamment sur les ressources matérielles et les fréquences maximales. Pour faciliter cette transition, des solutions techniques concrètes ont été proposées, en particulier pour maintenir la compatibilité avec la SDRAM de la carte DE10-Lite. Au-delà de l'aspect technique, cette migration ouvre de nombreuses opportunités pédagogiques : elle permet de travailler sur des cas réels, de sensibiliser les étudiants à la pérennité des systèmes embarqués, et de développer des compétences en adaptation et en maintenance. Elle permet aussi de prolonger la vie d'un matériel encore performant, sans investissement supplémentaire, ce qui s'inscrit pleinement dans une logique de développement durable.

Références

- [1] V. Frick, F. Imbert, *Système Embarqué de Type Noeud IoT Communicant Sans Fil*, Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, EDP Sciences, 23 (2024), page 7.
- [2] Plateforme FPGA du CNFM : <https://web-pcm.cnfm.fr/page-fpga/>
- [3] Site Terasic – Carte FPGA : <https://www.terasic.com.tw/>
- [4] Documentation technique SDRAM : <https://www.issi.com/WW/pdf/42-45S16400J.pdf>
- [5] Contrôleur SDRAM tiers MiSTer : https://github.com/MiSTer-devel/Main_MiSTer/wiki/
- [6] Understanding UART Read Issues with Intel Nios II: A Comprehensive Guide,

<https://www.reference.com/science-technology/understanding-uart-read-issues-intel-nios-ii-comprehensive-guide>

Biographie des auteurs

Vincent Frick : Il a obtenu son doctorat en microélectronique et instrumentation à l'Université Louis Pasteur de Strasbourg en 2002, puis son HDR à l'Université de Strasbourg (Unistra) en 2011. Il a débuté sa carrière comme ingénieur de recherche chez SOCOMEC SA (1999-2002) avant de rejoindre l'Université de Strasbourg en 2003, où il est actuellement professeur. Il est co-responsable de l'équipe Électronique, Microélectronique et Modélisation des systèmes Multidomains (EM3) au sein du laboratoire ICube. Ses recherches portent sur les systèmes intégrés mixtes à très faible consommation pour la récupération d'énergie et l'instrumentation intelligente, la modélisation multiniveau des dispositifs et des systèmes, le traitement du signal et la commande des systèmes. Il mène des projets de recherche internationaux, nationaux et industriels et compte plus de 100 publications. Il effectue ses enseignements à l'IUT, à l'INSA de Strasbourg et à Télécom Physique de Strasbourg. Ses enseignements portent essentiellement sur l'électronique, analogique et numérique, la microélectronique et les systèmes embarqués.

ORCID : <https://orcid.org/0000-0001-9579-2466>